

平成 21 年 4 月 20 日現在

研究種目：基盤研究(B)
 研究期間：2006～2008
 課題番号：18360174
 研究課題名（和文） 非古典的ナノヘテロデバイス実現のためのヘテロ界面に関する
 先駆的基盤研究
 研究課題名（英文） Pioneer study on hetero-interfaces to realize non-classical
 nano-hetero-devices
 研究代表者
 土屋 敏章 (TSUCHIYA TOSHIAKI)
 島根大学・総合理工学部・教授
 研究者番号：20304248

研究成果の概要：ポストスケーリングデバイスとして有望視されている SiGe/Si ヘテロチャネル MOS デバイスにおいて、重要なチャネル部に導入された SiGe/Si ヘテロ界面について、その電気的特性を評価する手法を開発し、電気的品質やジュール熱による安定性を明らかにした。これらの結果は、非古典的ナノヘテロデバイス実現に向けて大きな寄与をするものである。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	10,700,000	3,210,000	13,910,000
2007年度	3,400,000	1,020,000	4,420,000
2008年度	700,000	210,000	910,000
年度			
年度			
総計	14,800,000	4,440,000	19,240,000

研究分野：工学

科研費の分科・細目：電気電子工学 ・ 電子デバイス・電子機器

キーワード：マイクロ・ナノデバイス，半導体超微細化，電子デバイス・機器，SiGe，ヘテロ界面，チャージポンピング法，MOS

1. 研究開始当初の背景

シリコン (Si) を基本材料として目覚しく発展してきた Si CMOS デバイス技術は、今日の情報化社会の高度化を支えてきたキーテクノロジーとして広く認識されている。さらに、今後 10 年、20 年後においても進化した CMOS ナノデバイスがやはり依然として社会を支えるキーデバイスであろうとの認識が強まっている。これは、高機能なシステムを高速かつ低消費電力で構成できるデバイスが CMOS 構成以外に候補が見当たらないことに起因している。ただし、将来の CMOS ナノデバイスは現在使用されている形態のいわゆる古典的 (クラシカル) Si CMOS デバイス

とは異なり、新たな材料や構造が導入された非古典的 (ノンクラシカル) CMOS であろうと考えられている。新たな材料としては、SiGe や Ge などが考えられており、さらに将来的にはカーボンナノチューブや磁性半導体などの新機能性材料も候補として考えられている。これらの新材料を用いた非古典的 CMOS ナノデバイスでは異種材料を混在させて発現する新たな機能を利用することも含めて、デバイス内に異種 (ヘテロ) 接合を多用する可能性が大きく、将来ナノデバイスの実現にはヘテロ接合の理解と利用が重要なキーワードになると考えられる。

ところで、Si MOS デバイスの今日までの驚

異的な発展は、長年にわたる MOS 界面の高品質化・高信頼化の広範かつ詳細な基礎研究・基盤研究に支えられて成し得たものである。言うまでも無く、MOS 構造は Si と Si 酸化物の異種材料を接合させたヘテロ構造の一種である。また、半導体同士のヘテロ構造は超格子構造も含めて主に GaAs 系を中心とした化合物半導体の光デバイスや電子デバイスに応用されてきた。しかし、近年では、上述のように超大規模集積システム用の Si MOS デバイスにおいても、ヘテロ構造を導入してデバイスを高性能化しようとする研究が活発化している。導入したヘテロ構造の真価を十分発現させるためには、デバイス特性に及ぼすヘテロ界面の影響という観点、そして、ヘテロ構造の高品質化・高信頼化という観点が必要になると考えられる。したがって、Si MOS デバイスにおける MOS 界面研究の歴史を振り返るまでもなく、今後、半導体ヘテロ界面、特に、ナノ薄膜ヘテロ界面に関する広範かつ詳細な学術的基盤研究が極めて重要になることは確実と考えられる。

2. 研究の目的

本研究では、このような非古典的ナノヘテロ CMOS デバイスの真価を十分発揮させるために必須となる、ヘテロ界面に関する基本的事項を明らかにすることを目的に、ナノ薄膜 SiGe/Si ヘテロ構造を例に、そのヘテロ界面準位密度の評価技術の確立、ヘテロ界面の電気的物性と品質、安定性を明らかにする。さらに、CMOS デバイスに応用した場合、デバイス特性に及ぼすヘテロ界面物性の影響を明らかにする。

3. 研究の方法

本研究では、ナノ薄膜 SiGe/Si ヘテロ界面準位密度の評価技術を確立し、ヘテロ界面の電気的品質とその安定性を明らかにして、ナノ薄膜ヘテロ界面の電気的物性を明らかにする。さらに、ヘテロ界面高品質化の指針を得ると共に、ナノ薄膜 SiGe/Si ヘテロ構造を MOS トランジスタに応用した場合、デバイス特性に及ぼすヘテロ界面物性の影響を明らかにする。

これらの研究を行う際の基礎となっているのが、申請者らが独自に考案した、ナノ薄膜 SiGe/Si ヘテロ界面準位密度を評価可能とする低温チャージポンピング (LTCP) 法である。LTCP 法の原理は次のようである。Si と SiGe のバンドギャップ差のほとんどが価電子帯上端のエネルギー差に現れる。そこで、Si/SiGe/Si ヘテロ積層構造に拡散層付き MOS キャパシタを形成し、低温化して負のゲート電圧を加えて半導体表面付近のバン

ドを曲げていくと、フェルミ・ディラック分布関数に従って、半導体表面では正孔反転層が形成されず、SiGe 層においてのみ反転層を形成することが可能となる。このため、図 1 に示すチャージポンピング法を用いると、MOS 界面準位からのチャージポンピング電流とは分離された、SiGe/Si ヘテロ界面準位のみからのチャージポンピング電流 (図 2 の 91K で現れる平坦部の電流) を検出できる。この電流から、SiGe/Si ヘテロ界面準位密度を求めることができる。

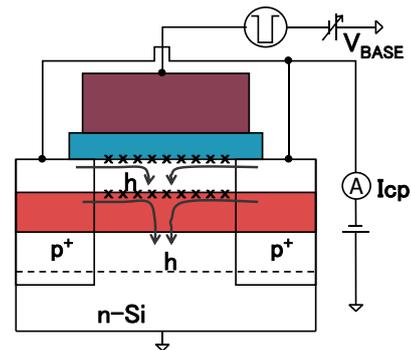


図 1

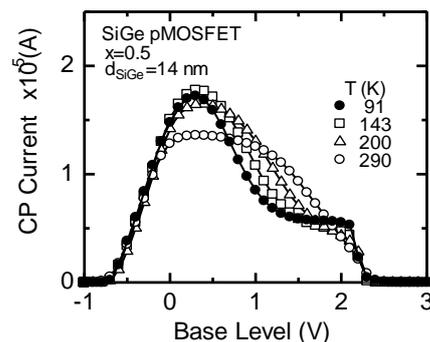


図 2

4. 研究成果

前述の LTCP 法の適用範囲は、ヘテロ界面内で均一分布を仮定できる界面準位に限られる。そこで、製造プロセスやバイアス・ストレスなどに起因して生じると考えられる局所的な分布を有するヘテロ界面準位の存在とその準位密度をも評価できるように検討を進めた。ナノ薄膜 SiGe/Si ヘテロ構造内に形成した MOS トランジスタを用いて、高バイアス電圧を印加することによって発生すると考えられる局所領域に分布したヘテロ界面準位を LTCP 法で評価・解析することを試み、局所的に存在するヘテロ界面準位の密度評価ができるように拡張した。

図 3 は SiGe/Si ヘテロチャネル pMOSFET

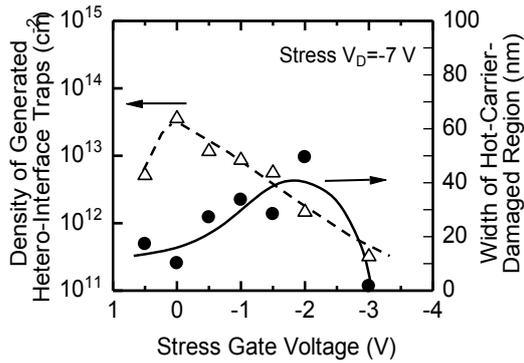


図 3

にドレイン電圧-7 V で種々のゲート電圧によるバイアス・ストレスを印加した際に、ドレイン付近に局所的に発生した SiGe/Si ヘテロ界面準位の密度および発生領域幅のストレスゲート電圧依存性を示したものである。このように数十 nm オーダの劣化領域幅を有する局所ヘテロ界面準位の評価を可能にした。

また、ヘテロ界面安定性の検討として、デバイスをパルス動作あるいは直流動作させてドレイン電流を流した状態でのヘテロ界面特性の変化について検討を行った。その結果、図 4 の低温チャージポンピング特性の変化からわかるように、ある動作時間経過後に突然、ホットキャリア劣化などとは異なる、あたかもヘテロ界面が消失したかのような急激かつ顕著な変化を示すことがわかった。このような急激な変化が生じるまでの時間に対するバイアス条件依存性の結果から、この変化がドレイン電流によって発生するジュール熱によって生じていることを明らかにした。

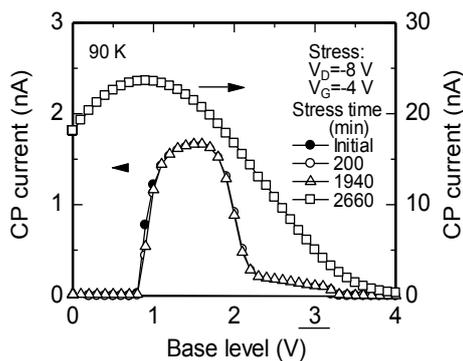


図 4

さらに、SiGe/Si ヘテロ構造における Ge 拡散の程度に有意差を設けた SiGe/Si ヘテロチャネル MOS トランジスタを用いて、ドレイン電流雑音特性、ホットキャリアやジュール熱ストレスによるヘテロ界面特性劣化に

ついて検討を行い、これらの特性や特性劣化は Ge 拡散効果と共にヘテロ構造の結晶性変化が関連していると考えられることがわかった。

これらの検討過程において、図 5 に示すように、チャージポンピング特性の立上り部分がチャージポンピング測定時のゲートパルス幅つまり ON 時間に依存するという新たな現象を見出した。これを契機に、チャージポンピング法を用いてヘテロ界面準位のエネルギー準位に関する知見を得る手法について検討を行った。図 6 に示すように、この現象が ON 時間に対して時定数を有する過渡特性を示し、考察の結果、この時定数が反転層内キャリアの界面準位への捕獲過程に係るものであることがわかった。チャージポンピング電流に寄与する界面準位のエネルギー範囲はバンドギャップ内の広範囲に及んでいる。つまり、キャリア捕獲の時定数はバンドギャップ内の広範囲なエネルギー領域に存在する界面準位の寄与を含んでいる。したがって、数個の界面準位しか有していないナノスケール MOSFET においては、この時定数を評価することによって界面準位の離散的エネルギー準位を評価することが可能となる。また、低温チャージポンピング法を用いて、SiGe/Si ヘテロ界面準位におけるキャリア捕獲過程の時定数も同様にして求められることを示した。

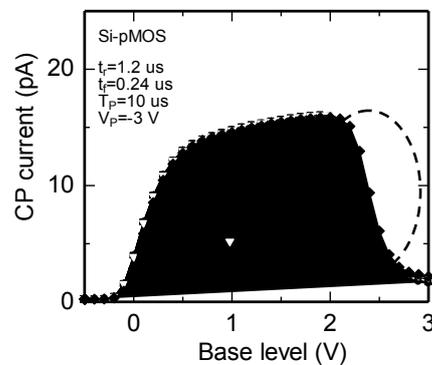


図 5

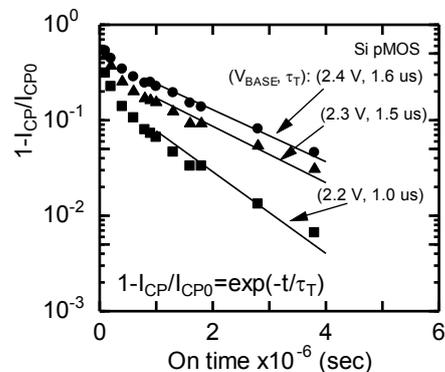


図 6

以上の検討により、ポストスケーリングデバイスとして有望視されている SiGe/Si ヘテロチャネル MOS デバイスにおいて、重要なチャネル部に導入された SiGe/Si ヘテロ界面について、その電気的特性を評価する手法を開発し、電気的品质や安定性を明らかにすることができた。これらの結果は、非古典的ナノヘテロデバイス実現に向けて大きな寄与をするものである。また、反転層内キャリアの界面準位への捕獲過程に係る過渡チャージポンピング特性に関する研究結果は、数個以下の界面準位しか含まない今後のナノスケール MOSFET における特性揺らぎの研究にも応用することができ、その有用性は大きい。

5. 主な発表論文等

[雑誌論文] (計 5 件)

- ① S. Takehiro, M. Sakuraba, T. Tsuchiya, and J. Murota, "High Ge fraction intrinsic SiGe-heterochannel MOSFETs with embedded SiGe source/drain electrode formed by in-situ doped selective CVD epitaxial growth," *Thin Solid Films*, vol. 517, no. 1, pp. 346-349, Nov. 3, 2008.
- ② T. Tsuchiya, S. Mishima, M. Sakuraba, and J. Murota, "Hot carrier degradation of a SiGe/Si hetero-interface and experimental estimation of the density of locally-generated hetero-interface traps," *Jpn. J. Appl. Phys.*, vol. 46, no. 8A, pp. 5015-5020, Aug. 2007.
- ③ 竹廣 忍, 櫻庭政夫, 室田淳一, 土屋敏章, "B ドープ SiGe 選択 CVD 成長により形成された極浅ソース・ドレインと高 Ge 比率歪 SiGe ヘテロチャネルを有する高性能 pMOSFET," 電気学会論文誌 C, *IEEJ Trans. EIS*. vol. 126, no. 9, pp. 1079-1082, Sep. 2006.
- ④ 土屋敏章, 櫻庭政夫, 室田淳一, "SiGe/Si ヘテロ MOSFET におけるホットキャリアによるヘテロ界面準位の発生," 電気学会論文誌 C, *IEEJ Trans. EIS*. vol. 126, no. 9, pp. 1101-1106, Sep. 2006.
- ⑤ T. Tsuchiya, M. Sakuraba, and J. Murota, "Characterization of Hot-Carrier Degraded SiGe/Si-Hetero-PMOSFETs," *Thin Solid Films*, Vol. 508, Issues 1-2, pp. 326-328, 5 June, 2006.

[学会発表] (計 12 件)

- ① T. Tsuchiya, K. Yoshida, M. Sakuraba, and J. Murota, "Capture/Emission Process of Carriers in Interface Traps Observed in the Transient Charge-Pumping Characteristics of MOSFETs," 39th IEEE Semiconductor Interface Specialist Conference (SISC 2008), San Diego, USA, Dec. 11-13, 2008.
- ② 土屋敏章, "シリコン及びシリコン系ヘテロ MOS デバイスの信頼性物理," 第 5 回薄膜材

料デバイス研究会, 奈良 100 年会館, pp.27-33, 2008 年 10 月 31 日-11 月 1 日. (招待講演)

- ③ T. Tsuchiya, K. Yoshida, M. Sakuraba, and J. Murota, "Transient Charge-Pumping Characteristics Related to Heterointerface Traps in SiGe/Si-Hetero-Channel pMOSFETs," 4th International Workshop on New Group IV Semiconductor Nanoelectronics, Sendai, Japan, pp. 55-56, Sep. 25-27, 2008.

- ④ 土屋敏章, "MOS デバイスにおける信頼性物理とヘテロ界面に関する研究," 応用物理学会中国四国支部貢献賞受賞記念講演, メルパルク松山, 松山, 2008 年 8 月 1 日.

- ⑤ T. Tsuchiya, K. Yoshida, M. Sakuraba, and J. Murota, "Transient Charge-Pumping Characteristics Related to Heterointerface Traps in SiGe/Si-Hetero-Channel pMOSFETs," 4th International SiGe Technology and Device Meeting, Hsinchu, Taiwan, pp. 64-65, May 1-14, 2008.

- ⑥ T. Tsuchiya, M. Sakuraba, and J. Murota, "Instability of a SiGe/Si-hetero-interface in hetero-channel MOSFETs due to Joule heating," 3rd International Workshop on New Group IV Semiconductor Nanoelectronics, Sendai, pp. 17-18, Nov. 8-9, 2007. (Invited Paper)

- ⑦ T. Tsuchiya, M. Sakuraba, and J. Murota, "Reliability and instability of a SiGe/Si-hetero-interface in hetero-channel MOSFETs," 5th International Conference on Silicon Epitaxy and Heterostructures (ICSI-5), Marseille, France, pp. 125-126, May 20-25, 2007. (Invited Paper)

- ⑧ S. Takehiro, M. Sakuraba, T. Tsuchiya, and J. Murota, "High Ge fraction intrinsic SiGe-heterochannel MOSFETs with embedded SiGe source/drain electrode formed by in-situ doped selective CVD epitaxial growth," 5th International Conference on Silicon Epitaxy and Heterostructures (ICSI-5), Marseille, France, pp. 365-366, May 20-25, 2007.

- ⑨ T. Tsuchiya, S. Mishima, M. Sakuraba, and J. Murota, "The Instability of the SiGe/Si-Hetero-Interface in Hetero-MOSFETs due to Bias Stress," 37th IEEE Semiconductor Interface Specialist Conference (SISC 2006), San Diego, USA, P. 15, Dec. 7-9, 2006.

- ⑩ T. Tsuchiya, M. Sakuraba, and J. Murota, "Hot-Carrier-Degradation of Hetero-Interface in SiGe/Si-Hetero-MOSFETs," 2nd Int. Workshop on New Group IV Semiconductor Nanoelectronics, Sendai, Japan, pp. 83-84, Oct. 2-3, 2006.

- ⑪ S. Takehiro, S. Kawada, M. Sakuraba, T. Tsuchiya, and J. Murota, "Fabrication of Sub-100-nm Gate-Length SiGe-Heterochannel MOSFETs with In-Situ Doped Selectively

Epitaxial SiGe Sources/Drain,” 2nd Int. Workshop on New Group IV Semiconductor Nanoelectronics, Sendai, Japan, pp. 11-12, Oct. 2-3, 2006.

⑫ T. Tsuchiya, M. Sakuraba, and J. Murota, “Quantitative Evaluation of Interface Traps in a Nanometer-Thick SiGe/Si Heterostructure in Hetero MOS Devices,” 2006 Asia-Pacific Workshop on Fundamental and Application of Advanced Semiconductor Devices (AWAD2006), Tohoku Univ., Sendai, Japan, pp. 21-24, July 3-5, 2006. (Invited Paper)

6. 研究組織

(1) 研究代表者

土屋 敏章 (TSUCHIYA TOSHIKI)
島根大学・総合理工学部・教授
研究者番号：20304248

(2) 連携研究者

室田 淳一 (MURATA JUNICHI)
東北大学・電気通信研究所・教授
研究者番号：70182144

櫻庭 政夫 (SAKURABA MASAO)
東北大学・電気通信研究所・准教授
研究者番号：30271993

(3) 研究協力者

竹廣 忍 (TAKEHIRO SHINOBU)
東北大学・電気通信研究所・助手

三島誠史 (MISHIMA SEIJI)
島根大学・総合理工学研究科・博士前期課程

吉田啓一 (YOSHIDA KEIICHI)
島根大学・総合理工学研究科・博士前期課程

森 祐樹 (MORI YUKI)
島根大学・総合理工学研究科・博士前期課程