

平成 21 年 6 月 1 日現在

研究種目：基盤研究（C）
 研究期間：2006～2008
 課題番号：18500036
 研究課題名（和文） FPGA デバイスのプロセスばらつき測定法とこれを用いた設計法の開発
 研究課題名（英文） Development of FPGA Design Methodology Considering Process Variation
 研究代表者
 越智 裕之（OCHI HIROYUKI）
 京都大学・大学院情報学研究科・准教授
 研究者番号：40264957

研究成果の概要：本研究では IEEE-754 準拠単精度浮動小数点除算器を例として取り上げ、高性能であり、かつ任意のクロック周波数のシステムで利用可能なハードウェア設計資産の提供を試みた。この除算器は最も高性能な構成となるよう内部生成したローカルクロック信号で動作し、外部とは非同期のハンドシェイク方式でやりとりしている。また、このような回路の設計を自動化する環境を構築し、商用 FPGA デバイスでその有用性を示した。

交付額

（金額単位：円）

	直接経費	間接経費	合計
2006年度	600,000	0	600,000
2007年度	600,000	180,000	780,000
2008年度	800,000	240,000	1,040,000
総計	2,000,000	420,000	2,420,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：再構成デバイス、非同期回路、集積回路設計自動化

1. 研究開始当初の背景

近年の集積回路技術の進歩に伴い、トランジスタは極限まで微細化され、プロセスばらつきが顕著となり、製造歩留まりや信頼性の確保は益々困難になってくると考えられる。微細化以前の設計フローが準用できるように製造技術や物理設計に閉じた世界で可能な対策を講じるのではなく、アーキテクトや上流設計者もプロセスばらつきの存在を陽に認めた上で、積極的にその影響の低減に取り組むことが不可欠と考えられるようになってきた。例えばクロックスキューに対応するべく、大域的には非同期インターフェースを導入した GALS (Globally-Asynchronous, Locally-Synchronous) という設計方法論が

提案されている。

他方、チップ上に搭載可能な回路規模は増大の一途を辿っており、ハードウェア設計資産の再利用を含めた設計効率化は今後益々重要となっている。近年の VLSI システムは、設計自動化の容易さなどから、単相同期式システムが主流となっているが、同期システムでは設計対象のクロック周波数毎に回路の最適化が必要であるため、クロック周波数が異なるシステム間でのハードウェア設計資産の流用が困難であるという問題点がある。従って、対象となるシステムのクロック周波数に合わせてハードウェア設計資産をカスタマイズする必要があるが、高スループットな同期式回路を実現するためにはクロック

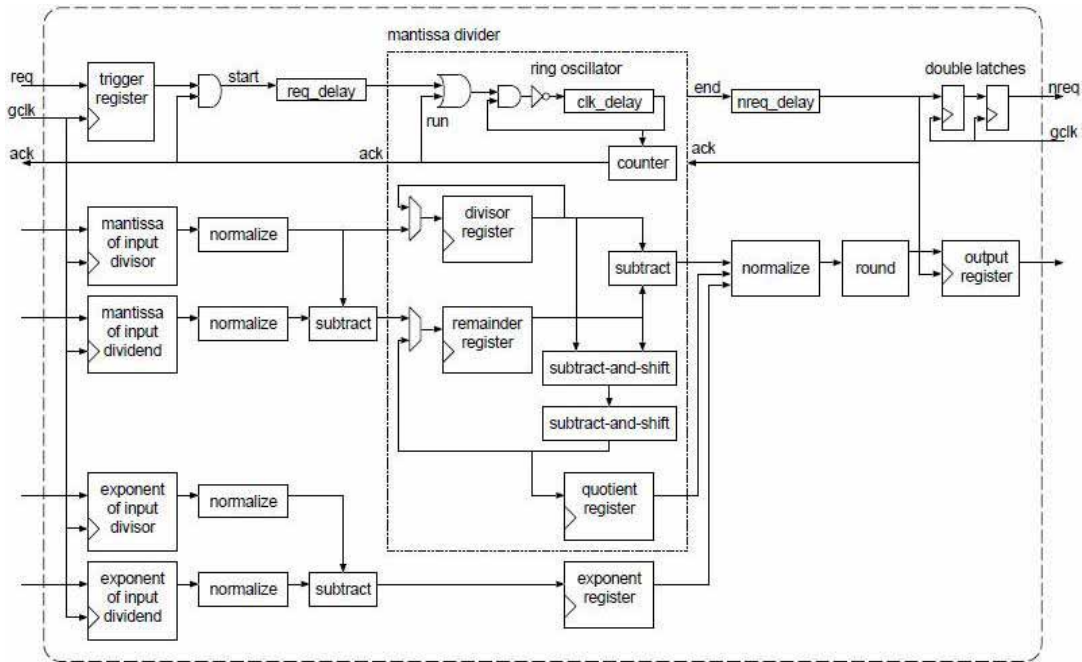


図 1 開発した非同期式単精度浮動小数点除算器の構成

周波数に応じてレジスタ間の組み合わせ回路の段数を最適化しなければならず、このためには、レジスタトランスファレベルの回路記述の段階でレジスタ挿入を最適に行う必要がある。しかし上流工程で配置配線後の遅延時間を精密に見積もることは困難であるから、相当の工数をかけて回路記述と遅延解析の繰り返しを行う必要がある。

2. 研究の目的

前節で述べた遅延ばらつきへの対応、ならびにシステムのクロック周波数に依存しないハードウェア設計資産の構築という要求に鑑み、本研究では以下の研究・開発に取り組む。

- プロセスばらつきやクロックスキューなどに頑強で、かつグローバルクロック周波数の制約を受けない非同期設計のメリットを享受すべく、商用で広く出回っている FPGA デバイスを対象としてハードウェア設計資産の非同期化のケーススタディーを行い、その有用性を明らかにする。さらに、ここで得られた知見に基づいて設計自動化手法を開発する。
- 既存 FPGA 上で動作する汎用的な設計資産の開発に取り組む。この際、入出力インターフェースに同期回路とのインターフェースのための glue logic を付け加えることで一般的な FPGA 設計の中に組み込むことも可能となるようにする。

3. 研究の方法

本研究では、具体的なハードウェア設計資産の例として、IEEE-754 準拠の単精度浮動小数点除算器を取り上げた。同期式設計された単精度浮動小数点除算器の設計資産は研究代表者らが以前に開発したものがあつたが、同期式設計では、動作周波数に応じて組み合わせ回路段数を調整したものを多数用意しておかなければ、幅広いニーズに対応できる設計資産とはなりえなかつた。これを対象とし、以下の 2 点の研究開発を行った。

(1) 本研究では、上に述べた同期式の単精度浮動小数点除算器を非同期化した。その際、浮動小数点除算器の中で回路規模、性能、消費電力等の面で最も大きな位置を占める仮数部の除算器をグローバルクロック周波数とは無関係に最適化するため、内部に適切な周波数のローカルクロック信号を発生するリングオシレータを導入してこれで動作させることとした。他方、その前後の前処理回路（非正規化数の正規化）や後処理回路（除算結果の正規化、丸め）さらにその外部の同期式システムとはハンドシェイク方式で非同期に接続する構成とした（図 1）。

(2) 上で得られた知見を元に、遅延素子を含む非同期式設計資産の開発を自動化する設計フローの開発を行った（図 2）。

4. 研究成果

(1) 商用 FPGA 向け非同期回路設計資産開発 [学会発表 1~4]

3.(1)で述べた非同期式浮動小数点除算器

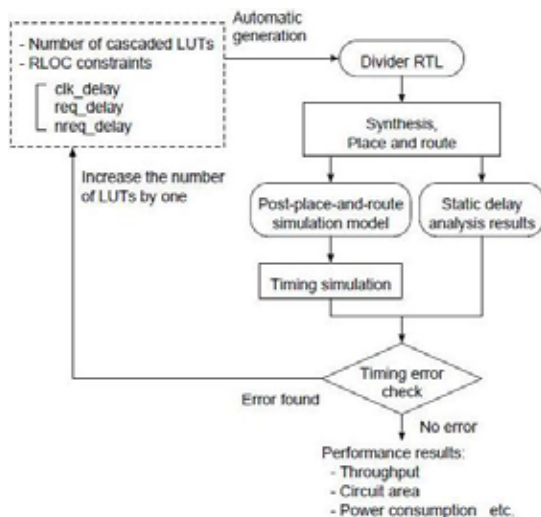


図2 開発した設計自動化フロー

ジュールを Xilinx 社の FPGA デバイス Virtex-II XC2V1000 をターゲットとして実装し、評価した。6 種類のクロック周波数に最適化された同期式設計と比較したところ、回路規模についてはどの周波数においても提案除算器が優れていた。また、回路規模あたりのスループット、および消費電力あたりのスループットについても同期式とほぼ同等の値を達成し、グローバルクロック周波数によらず安定した性能を発揮できることを示した。これにより、非同期式ハードウェア設計資産の有用性を示唆することができた。

(2) 商用 FPGA 向け非同期回路設計手法開発 [論文誌 1, 学会発表 5]

(1)で得られた知見を元に、遅延素子を含む非同期式ハードウェア設計資産の開発を自動化する設計フローの開発を行った。まず、遅延素子を構成するべく多段接続された LUT が FPGA デバイス内に一直線に並ぶよう、相対位置制約(RLOC)を課すようにした。これにより、既存の FPGA 向け配置配線ツールを利用して再現性よく遅延素子を実現できるようになった。次に、遅延素子段数決定、論理合成、配置配線、タイミング検証(シミュレーション)、遅延素子段数変更、というイタレーションを伴う設計フローを自動的に実行する環境を構築した。

この設計環境を用い、IEEE-754 準拠の非同期式単精度浮動小数点除算器を Xilinx 社の FPGA デバイス Virtex-4 (XC4VFX12)をターゲットとして実装した。シミュレーションには Menter Graphics 社 ModelSim SE 6.2e を、論理合成、配置配線には Xilinx 社 ISE 9.2i を、消費電力については、配置配線後のネットリストと遅延情報を用いたミュレーションを行い、その結果を ISE に付属の消費電力解析ツール XPower を用いて見積った。5 種類のクロック周波数(40、60、75、

110、130MHz) に最適化された同期式設計のものと比較した。

回路規模(図 3)については、評価を行った全てのクロック周波数に渡り、同期式より小さく抑えることができた。同期式は各クロック周波数で減算シフト段数の異なる設計となっているため、回路規模に増減が生じている。これに対し、非同期式のものとは同一の設計(減算シフト段数 2 のもの)を 5 種類の外部周波数で動作させているため回路規模は一定であり、同期式に比べ回路規模を小さく抑えることができた。

消費エネルギー(図 4)についても、同期式設計より小さく抑えることができた。同期式設計の場合は常に全ての部分がグローバルクロックにより駆動されているが、非同期式設計では実際にデータが通過するフリップフロップ、配線のみで電力が消費されるため、消費エネルギーを小さく抑えることができたと考えられる。

スループット(図 5)もほぼ同等以上の性能が得られた。非同期式回路については動作周波数によらずほぼ一定の性能を示しているが、同期式は周波数により性能のばらつきがみられる。これは同期式設計の場合、減算シフトやレジスタなどの取りうる回路構成が限られており演算に要するサイクル数が離散値となることによる。そのため動作周波数とうまく調和すれば高いスループットが得られるが、そうでなければ性能が低下してしまい、条件によりばらつきが生じることになる。

また、開発した非同期式単精度浮動小数点除算器を FPGA デバイス Xilinx 社 Virtex-4 (XC4VFX12) が搭載された評価ボード ML403 上に実装し、ランダムに発生させた 100 万パターンに対し浮動小数点除算を行って演算結果を検証した結果、全ての演算が正しく行われることが確認できた。

5 . 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

[1] Masayuki Hiromoto, Hiroyuki Ochi, and Yukihiro Nakamura: "An Asynchronous IEEE-754-Standard Single-Precision Floating-Point Divider for FPGA", IPSJ Trans. on System LSI Design Methodology, Vol.2, pp.103-113, Feb. 2009. 査読有

[学会発表] (計 5 件)

[1] 廣本 正之, 越智 裕之, 中村 行宏: "非同期式設計による FPGA 向け IEEE754 準拠単精度浮動小数点除算器", 電子情報通信

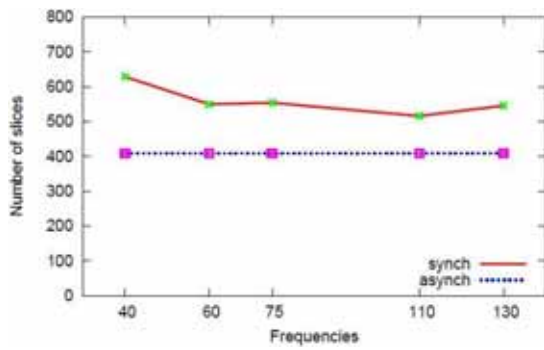


図 3 必要 FPGA スライス数の比較

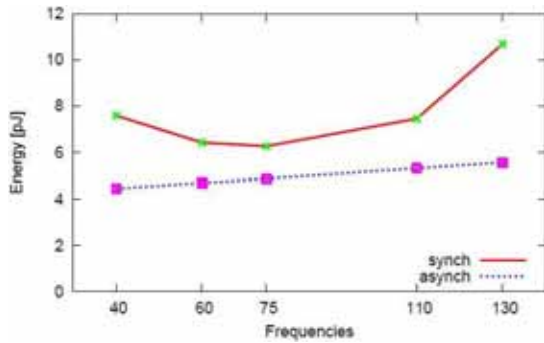


図 4 動的消費エネルギーの比較

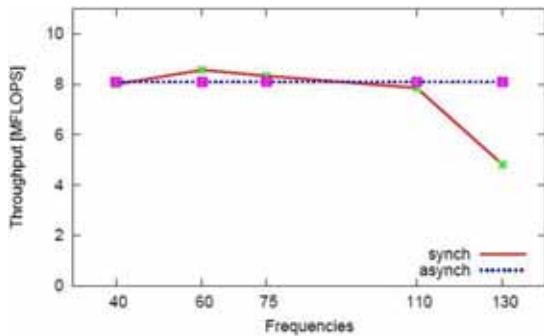


図 5 性能の比較

学会技術研究報告 (於 屋久島 環境文化村 センター), Vol.107, No.559, DC2007-105, pp.127-132, 2008 年 3 月.

- [2] Masayuki Hiromoto, Shin'ichi Kouyama, Hiroyuki Ochi, and Yukihiro Nakamura: "An Asynchronous Single-Precision Floating-Point Divider and its Implementation on FPGA", in Proc. of the 14th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2007) (Hokkaido, Japan), pp.294-301, Oct. 2007.
- [3] 廣本 正之, 神山 真一, 越智 裕之, 中村 行宏: "非同期単精度浮動小数点除算器の方式検討とFPGA実装", 第30回パルテノン研究会 (於 東京都 青山オーバルビル 15 階 Nasic セミナーホール), pp.43-48,

2007 年 6 月.

- [4] 廣本 正之, 高橋 温子, 神山 真一, 越智 裕之, 中村 行宏: "非同期単精度浮動小数点除算器の方式検討とFPGA実装", 電子情報通信学会技術研究報告 (於 京都府 京大会館), Vol.107, No.32, VLD2007-10, pp.19-24, 2007 年 5 月.
- [5] 高橋 温子, 神山 真一, 越智 裕之, 中村 行宏: "非同期単精度浮動小数点除算回路のFPGAへの実装検討", 第29回パルテノン研究会 (於 東京都 青梅市 プリヂストン奥多摩園), pp.1-6, 2006 年 12 月.

6 . 研究組織

(1)研究代表者

越智 裕之 (OCHI HIROYUKI)

京都大学・大学院情報学研究科・准教授
研究者番号:40264957