

平成 21 年 5 月 25 日現在

研究種目：基盤研究（C）

研究期間：2006～2008

課題番号：18500039

研究課題名（和文）SoC, SiP の断線・短絡故障の電流テスト法に関する研究

研究課題名（英文）Current Testing for Opens and Shorts in SoCs and SiPs

研究代表者

橋爪 正樹（HASHIZUME MASAKI）

徳島大学・大学院ソシオテクノサイエンス研究部・教授

研究者番号：40164777

研究成果の概要：

SoC（System on a Chip）、SiP（System in Package）という IC およびそれらを用いた回路製造時に断線や短絡故障が発生する。近年、それらの応用製品の信頼性要求が高まり、それらの故障を確実に発見する検査法の開発が求められている。本研究では IC、回路への電源電流測定によりそれを実現する検査法と検査回路の開発を行い、従来では見逃す故障も発見できることを明らかにした。

交付額

（金額単位：円）

	直接経費	間接経費	合計
2006年度	1,300,000	0	1,300,000
2007年度	1,100,000	330,000	1,430,000
2008年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	3,400,000	630,000	4,030,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：SoC, SiP, ディペンダブルコンピューティング, 断線, 短絡, 電流テスト

1. 研究開始当初の背景

SoC, SiP の IC が製造され始めたが、それまでの検査法では製造時に発生する断線、短絡故障の発見が困難で見逃す場合があった。それらの IC をプリント配線板の上にはんだ付けする際にもそれらの故障をそれまでの検査法では発見できない場合があった。そこでそれらを確実に発見する検査法の開発が社会から強く求められていた。

2. 研究の目的

SoC, SiP 内に作られる回路はアナログ・デジタル混在のマイクロコンピュータ回路である。個別素子を使いプリント配線板上

にマイクロコンピュータ回路を作製する場合と異なり、測定可能な信号がほんの一部に限られるのが、この回路の検査を困難にしている主たる原因である。その回路を論理値測定による検査法で検査容易となるように「スキャン設計」や「BIST」等の検査容易化設計が設計段階で施されるようになっている。それに伴い、ある程度は検査が容易となっている。しかし、その検査容易化設計を施しても発見を見逃したり発見できない故障が現実には多数存在する。本研究では、スキャン設計等の論理値測定による検査法の検査容易化設計が施されていても発見が特に困難で

あり、かつ、故障の発見要求が高い下記の3種類の回路に発生する故障を対象故障とし、それらの故障の発見を可能にする検査法とその検査法のための検査回路、検査容易化設計法の開発を目的としている。

(1)SoC 内のマイクロコンピュータ回路のバスに発生する断線・短絡故障

マイクロコンピュータ回路はマイクロプロセッサとメモリなどとの間がバスと呼ばれる信号経路でつながれており、そこに発生する断線、短絡故障の発見が著しく困難となっている。その故障を電氣的に短時間で発見する検査法を開発する。

(2)SoC 内の A/D、D/A 変換器の断線・短絡故障

ほとんどの SoC 内には A/D、D/A 変換器が内蔵されている。それらの回路の出力信号測定で検査するのではなく、電氣的にそれらの回路を検査し、それらの回路内の断線、短絡故障を発見する検査法とその検査容易化設計法を開発する。

(3)SiP 内のダイ間の接続時に発生する断線・短絡故障

現在、SiP で使用されるダイ自体は十分検査され、それに故障が含まれることは少なくなっている。しかしそのダイ間を SiP 内で接続する際に断線、短絡故障が発生する。それらの故障を電氣的に検査し発見する検査法と検査容易化設計法を開発する。

3. 研究の方法

電源から IC や回路に供給される電源電流を測定しその異常で故障を発見する「電流テスト法」の有効性は CMOS 論理 IC の検査では既に実用的に明らかにされている。しかし本研究で対象とする故障に対しては既存の電流テスト法では検査できず、新たな電流テスト法が開発が必要となっている。そこで本研究では対象故障の発見を可能にする電流テスト法を開発した。具体的には本研究で対象とする3種類の回路に発生する故障に対して次の研究を行った。

(1)SoC 内のマイクロコンピュータ回路のバスに発生する断線・短絡故障の電流テスト法の開発

マイクロプロセッサとメモリ間の故障は従来の検査法では最も発見しにくいので、本研究ではその故障を発見する検査法を開発した。本研究代表者の過去の研究で、短絡故障が発生していない場合にのみホールド状態となる検査プログラムを通常動作時のクロック周波数より高い周波数で動作させ、ホールド状態の電源電流よりも大きな電流を観測したら故障と判定する検査法の有効性は確認済みである。そこで、本研究ではその検査法を本研究で対象とする断線・短絡故障を発見できるように改良し、そのための検査

プログラムの開発を行った。

(2)SoC 内の D/A 変換器の断線・短絡故障の電流テスト法および検査容易化設計法の開発

A/D 変換器は D/A 変換器を用いて作ることができるので、本研究では D/A 変換器の電流テスト法とその検査を容易とする検査容易化設計法を開発した。SoC 内の D/A 変換器の検査を困難とする原因の一つは全入力を印加しないと検査できない点にある。そこで本研究では全入力を検査しなくても少ない検査入力数で検査できる検査法を開発した。

(3)SiP 内のダイ間配線の短絡・断線故障の電流テスト法と検査容易化設計法の開発

SiP 内のダイ間配線の短絡・断線故障の検査が可能か否かを調査するには SiP を試作する必要がある。しかしそれは企業でないと行えない。SiP 内のダイ間配線の短絡・断線故障発生時に現れる故障の影響はプリント配線板と IC をはんだ付けする際に発生する短絡・断線故障発生時に現れる故障の影響とほぼ同じであるため、本研究ではプリント配線板と IC をはんだ付けする際に発生する短絡・断線故障を電流テスト法で発見する検査法の開発とその検査容易化設計法を開発した。

4. 研究成果

本研究では下記の研究成果が得られた。

(1)SoC 内のマイクロコンピュータ回路のバスに発生する断線・短絡故障の電流テスト法の開発

本研究では汎用マイクロプロセッサ Z80 だけでなく、計測制御用として現在多用されている PIC、さらに今後多くの組み込み機器内で使用される SuperH を用いたマイクロコンピュータ回路のバスに発生する故障を電流テストで発見するための検査プログラムの開発を行い、その検査法での検査可能性を計算機シミュレーションで明らかにした。このアプローチは世界的に類がなく、また最も現在の検査法では検査困難な箇所をこの方法で短時間で発見できるため、今後普及することが期待できる。

(2)SoC 内の D/A 変換器の断線・短絡故障の電流テスト法および検査容易化設計法の開発

D/A 変換器として様々なものがあるが、本研究では最も基本的な抵抗ストリング型 D/A 変換器、デコーダ型 D/A 変換器を研究対象としその検査容易化設計法を3種類開発した。どれも一長一短があるものの、いずれかの検査容易化設計法を用いて設計すればそこに発生する断線・短絡故障の多くを線形時間オーダの検査時間で発見できることを明らかにした。このアプローチも世界に類がなく、

特色のあるアプローチである。ただ現時点では実用的な応用が可能かまでは IC が試作できておらず実験による確認が行えていない。しかし、今後ますます IC 内に D/A 変換器が組み込まれその検査が困難となることが確実であるため、本アプローチでの研究の重要性が高まるものと思われる。

(3)SiP 内のダイ間配線の短絡・断線故障の電流テスト法と検査容易化設計法の開発

本研究ではプリント配線板と IC とのはんだ付け時に発生する断線・短絡故障を発見する電流テスト法を 2 種類、そのための検査回路を 4 種類開発した。さらに検査容易化設計法を 1 種類開発した。それらの成果を利用することで SiP 内のダイ間配線の短絡・断線故障の発見が期待できる。さらに提案した検査容易化設計法を利用することで、今後、主流となる 3 次元実装 IC の検査も容易にすることが可能であることから、その検査容易化設計法の価値は高まると思われる。その検査容易化設計回路に関しては非常に有効であるため特許出願済みで特許取得の予定である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 14 件)

- (1)小野安季良, 一宮正博, 四柳浩之, 高木正夫, 橋爪正樹, CMOS ゲート回路を断線センサとして用いた部品結合不良検出法, エレクトロニクス実装学会誌, Vol.12, No.2, pp.137-143, 2009, 査読有り
- (2)Akira Ono, Hiroyuki Yotsuyanagi, Masao Takagi, Masaki Hashizume, Open Lead Detection of QFP ICs Using Logic Gates as Open Sensors, Proc. of International Conference on Electronics Packaging 2009, pp.434-439, 2009, 査読有り
- (3)Yutaka Hata, Masaki Hashizume, Hiroyuki Yotsuyanagi, Yukiya Miura, Current Testble Design of Resistor String DACs for Open Defects, Proc. of 2008 International Technical Conference on Circuits/Systems, Computers and Communications, pp.1533-1536, 2008, 査読有り
- (4)Akira Ono, Masahiro Ichimiya, Hiroyuki Yotsuyanagi, Masao Takagi, Masaki Hashizume, Open Lead Detection Based on Logical Change Caused by AC Voltage Signal Stimulus, Proc. of 2008 International Technical Conference on Circuits/Systems, Computers and Communications, pp.241-244, 2008, 査読有り
- (5)Akira Ono, Masahiro Ichimiya, Hiroyuki Yotsuyanagi, Masao Takagi, Masaki Hashizume, Test Method for Detecting Open Leads of Low Voltage LSIs, Proc. of International Conference on Electronics Packaging 2008, pp.457-462, 2008, 査読有り
- (6)Masaki Hashizume, Yuuki Ogata, Mitsuru Tojo, Masahiro Ichimiya, Hiroyuki Yotsuyanagi, Interconnect Open Detection by Supply Current Testing under AC Electric Field Application, Proc. of IEEE International Workshop on Current and Defect Based Testing, pp.25-29, 2007, 査読有り
- (7)Masaki Hashizume, Yutaka Hata, Tomomi Nishida, Hiroyuki Yotsuyanagi, Yukiya Miura, Current Testable Design of Resistor String DACs, Proc. of 16th Asian Test Symposium, pp.399-403, 2007, 査読有り
- (8)Masaki Hashizume, Masahiro Ichimiya, Akira Ono and Hiroyuki Yotsuyanagi, Test Circuit for Vectorless Open Lead Detection of CMOS ICs, <http://www.molesystems.com/BTW/material/BTW07/Papers/BTW07-Paper%202.3.pdf>, IEEE 6-th International Board Test Workshop, 2007, 査読有り
- (9)高木正夫, 橋爪正樹, 一宮正博, 四柳浩之, 交流電界印加時の電流テストによる CMOS LSI のリード浮き検出のための印加交流電圧, エレクトロニクス実装学会誌, Vol.8, No.3, pp.219-228, 2007, 査読有り
- (10)Ono Akira, Masaki Hashizume, Masahiro Ichimiya, Hiroyuki Yotsuyanagi, Open Lead Detection of CMOS Logic Circuits by Low Pressure Probing, Proc. of International Conference on Electronics Packaging 2007, pp.359-364, 2007, 査読有り
- (11)Eiji Tasaka, Masaki Hashizume, Seiichi Nishimoto, Hiroyuki Yotsuyanagi, Takahiro Oie, Ikuro Morita, Toshihiro Kayahara, At Speed Testing of Bus Interconnects in Microcomputers, Proc. of IEEE 7th Workshop on RTL and High Level Testing, pp.123-127, 2006, 査読有り
- (12)Tojo Mitsuru, Masahiro Ichimiya, Hiroyuki Yotsuyanagi, Masaki Hashizume, Current Testing of Interconnect Opens between CMOS LSIs Having Scan Cells, Proc. of IEEE International Workshop on Current and

Defect Based Testing, pp.39-42, 2006, 査読有り

- (13) Masaki Hashizume, Hiroyuki Yotsuyanagi, Test Circuit for Open Lead Detection of CMOS ICs Based on Supply Current, the IEEE European Board Test Workshop, <http://www.molesystems.com/BTW/material/EBTW06/EBTW06%20Papers/EBTW06-4-1-Hashizume.pdf>, 2006, 査読有り
- (14) Masaki Hashizume, Masahiro Ichimiya, Hiroyuki Yotsuyanagi, Takeomi Tamesada, Open Lead Detection Based on Supply Current of CMOS Logic Circuits by AC Voltage Signal Application, Proc. of International Conference on Electronics Packaging 2006, pp.147-152, 2006, 査読有り

[学会発表] (計 17 件)

- (1) 橋爪正樹, 秦豊, 四柳浩之, 三浦幸也, 抵抗ラダー型 DAC の電流テスト容易化設計, 電子情報通信学会総合大会, 2009年3月17日, 愛媛大学.
- (2) 小野安季良, 一宮正博, 四柳浩之, 高木正夫, 橋爪正樹, 検査回路の電源電流測定による IC の電源リード浮き検査能力評価, エレクトロニクス実装学会講演大会, 2009年3月11日, 関東学院大学.
- (3) 橋爪正樹, 一宮正博, 四柳浩之, 小野安季良, 高木正夫, QFP IC のリード浮きの電氣的検出用回路, エレクトロニクス実装学会講演大会, 2009年3月11日, 関東学院大学.
- (4) Masaki Hashizume, Akihito Shimoura, Masahiro Ichimiya, Hiroyuki Yotsuyanagi, Test Circuit for Locating Open Leads of QFP ICs, IEEE 7-th International Board Test Workshop, Sep.18, 2008, Fort Collins, USA.
- (5) 嶋本竜也, 田坂英司, 茅原敏広, 四柳浩之, 橋爪正樹, PIC16F84A 内のバス故障用実時間テストプログラム, 電気関係学会四国支部連合大会, 2008年9月27日, 徳島大学.
- (6) 秦豊, 四柳浩之, 橋爪正樹, 三浦幸也, 電流テスト容易化抵抗ストリング型 D/A 変換器の故障検出能力, 電気関係学会四国支部連合大会, 2008年9月27日, 徳島大学.
- (7) 加藤健二, 一宮正博, 四柳浩之, 橋爪正樹, 0.35 μ m CMOSIC の配線断線時の故障動作の実測, 電気関係学会四国支部連合大会, 2008年9月27日, 徳島大学.
- (8) 橋爪正樹, 一宮正博, 四柳浩之, 下谷光生, 多田哲生, 小山健, 電流テストによる QFP IC のリード浮き診断回路, 電気関係学会四国支部連合大会, 2008年9月27日, 徳島大学.
- (9) 内倉健一, 一宮正博, 四柳浩之, 橋爪正樹, 交流電圧信号印加時の論理値異常によるリード浮き検出回路の試作, 電気関係学会四国支部連合大会, 2008年9月27日, 徳島大学.
- (10) 小野安季良, 一宮正博, 四柳浩之, 高木正夫, 橋爪正樹, 電流テストによる QFP CPLD IC のリード浮きの検査能力評価, 第22回エレクトロニクス実装学会講演大会, 2008年3月18日, 東京大学.
- (11) 秦豊, 飯野純一, 四柳浩之, 橋爪正樹, 三浦幸也, 抵抗ストリング型 D/A 変換器の電流テスト容易化設計, 電気関係学会四国支部連合大会, 2007年9月29日, 徳島大学.
- (12) 嶋本竜也, 田坂英司, 茅原敏広, 四柳浩之, 大家隆弘, 橋爪正樹, Z80 のバス縮退故障の実時間テストプログラム, 電気関係学会四国支部連合大会, 2007年9月29日, 徳島大学.
- (13) 滝川徳郎, 東條充, 一宮正博, 四柳浩之, 橋爪正樹, 0.35 μ m CMOS プロセスで試作した IC のリード浮きの電流テスト可能性評価, 電気関係学会四国支部連合大会, 2007年9月29日, 徳島大学.
- (14) 東條充, 一宮正博, 四柳浩之, 橋爪正樹, 交流電界印加時の電流テストによる試作 IC 内断線の検査, 電気関係学会四国支部連合大会, 2007年9月29日, 徳島大学.
- (15) 小野安季良, 一宮正博, 四柳浩之, 橋爪正樹, 月本功, 高木正夫, 論理 IC 実装時に発生する抵抗を伴うリード浮きに対する電流テスト能力評価, マイクロエレクトロニクスシンポジウム, 2007年9月14日, 甲南大学.
- (16) 橋爪正樹, 一宮正博, 四柳浩之, CMOS QFP IC のリード浮きの電氣的検査法, 第38回国際電子回路産業展, 2007年5月31日, 東京.
- (17) 東條充, 一宮正博, 四柳浩之, 橋爪正樹, 交流電界印加による電流テスト用検査装置の試作, 電気関係学会四国支部連合大会, 2006年9月26日, 愛媛大学.

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 2 件)

- (1) 名称: 電子回路の配線故障検査法とその検査容易化回路
発明者: 橋爪正樹, 一宮正博, 四柳浩之
権利者: 青野敏博
種類: 特許
番号: 特願 2006-309430
出願年月日: 平成 18 年 11 月 15 日

国内外の別：国内

(2)名称：論理回路の断線故障の検査装置

発明者：橋爪正樹，一宮正博

権利者：青野敏博

種類：特許

番号：特願 2006-114044,

出願年月日：平成 18 年 4 月 18 日

国内外の別：国内

○取得状況（計 0 件）

[その他]

6. 研究組織

(1)研究代表者

橋爪 正樹(HASHIZUME MASAKI)

徳島大学・大学院リソテクノサイエンス研究部・教授

研究者番号：40164777

(2)研究分担者

なし

(3)連携研究者

なし