様式 C-19

# 科学研究費補助金研究成果報告書

平成２１年　５月２０日現在

研究種目：基盤研究（C）
研究期間：2006～2008
課題番号：１８５００００４１
研究課題名（和文）　誤りからの自己回復機能を持つ SoC ベース・ディペンダブル・プロセッサの基礎的検討

研究課題名（英文）　A Basic Study on SoC Base Dependable Processor with Self-healing Mechanism for Faults

研究代表者
福本　聡（FUKUMOTO SATOSHI）
首都大学東京・システムデザイン研究科・准教授
研究者番号：５０２４７５９０

研究成果の概要：誤りからの自己回復機能を持つディペンダブル・プロセッサを実現するための基礎的検討をおこなった．過渡的な誤りがプロセッサのクロック信号系だけに同時多重に作用する故障モデル，および，組合せ回路部分だけに同時多重に作用する故障モデルのそれぞれに対するディペンダブル・プロセッサ構成方法の有効性と限界についての知見を得た．また，種々の耐故障プロセッサの性能・信頼性を解析的に評価するための統一的なモデルとなり得る確率モデルを提案した．

交付額

（金額単位：円）

| | 直接経費 | 間接経費 | 合　計 |
|---|---|---|---|
| ２００６年度 | 1,900,000 | 0 | 1,900,000 |
| ２００７年度 | 800,000 | 240,000 | 1,040,000 |
| ２００８年度 | 800,000 | 240,000 | 1,040,000 |
| 年度 | | | |
| 年度 | | | |
| 総　計 | 3,500,000 | 480,000 | 3,980,000 |

研究分野：総合領域
科研費の分科・細目：情報学　・　計算機システム・ネットワーク
キーワード：

## １．研究開始当初の背景

(1) 半導体微細加工技術のテクノロジノードの主流が，90nm から 65nm および 45nm へ移行するとき，PVT（Process / Voltage / Temperature）に代表される変動要因を吸収できる VLSI 設計・テスト・検証の実現が極めて困難になると予想されていた．またそのような環境で製造された VLSI は，放射線などに起因する一時的な誤り（ソフトエラー）の危険に常に晒されることになるとの指摘があった．そこで，これらの変動や誤りをシステムレベルで吸収する技術の検討・開発が期待されていた．

(2) 冗長化による耐故障計算技術自体は古くから用いられていた．例えば，スペースシャトルでは５重系，新幹線では６重系システムが制御系コンピュータに適用されている．これらのシステムでは，極めて高い信頼性の要求水準を達成すべく，システム高信頼化のための開発コストは度外視されている．また，これらは比較的短いミッション

タイムを前提とした非修理系のシステムであり，即時的な自己回復機能は実現されていない．
(3) 研究代表者らは，低価格な汎用のプロセッサシステムにおいて，長期間にわたる高信頼化を実現する研究を行っていた．それらは近年の自動車搭載用高信頼プロセッサの需要傾向にも適合したものであった．その時点での，リアルタイム回復可能な多重化プロセッサシステムの新しい原理を提案し，特許申請も行っていた．

２．研究の目的

本研究の目的は，誤りからの自己回復機能を持つディペンダブル・プロセッサをSoC(System on a Chip)レベルで実現するための基礎的検討をおこなうことである．ここでは，システム冗長構成技術をSoCに応用することで，VLSIテストで検出困難な故障やソフトエラーをプロセッサ内でマスクし，外部に誤りを伝播させることなく処理を継続する自己回復機能の実現を目指す．研究代表者らは，このようなディペンダブル・プロセッサシステムをSiP(System in Package)によって低コストで実現するための検討をすでにおこなっている（国際出願番号：PCT/JP2005/002069)．本研究では，これをさらに継続し，SoCによって自己回復可能なディペンダブル・プロセッサシステムを実現するための基盤の確立を目指す．このプロセッサ実現の基本的なアイディアは，２重化による誤り検出と，内部の順序回路情報の回復である．

しかし，実際のSoCで容認できるスペース／時間オーバヘッドを得るためには，ハードウェアオーバヘッドを大幅に削減しながら十分な誤り検出と高速な状態回復機能を維持するアーキテクチャおよびアルゴリズムを実現する必要がある．具体的には以下の要素技術について検討する．

(1) 空間冗長オーバヘッドおよび時間冗長オーバヘッドの削減

プロセッサを構成する全てのモジュールを２重化するのではなく，事実上ディペンダブル・プロセッサの構成では省略できる冗長モジュールについて検討する．また，状態回復のために必要な順序回路情報を取得するための種々のチェックポインティング機構を比較・検討して，時間冗長オーバヘッドの削減について考察する．

(2) 複数の異なるハードウェア実装および共通モード故障の解析評価

同一仕様で異なるハードウェア実装した複数のプロセッサコアを用いて，遅延故障やクロストーク故障，さらにソフトエラーに対するそれぞれのコアの故障耐性について測定・評価する．これは，論理レベルおよび物理レベルでの各種故障挿入によって実行する．また，２重化による耐故障性を実現する上で最も問題となる，共通モード故障への応答についても観測・評価し，これを回避する手法を検討する．
(3) アーキテクチャと状態回復アルゴリズムの設計・評価

上記(1)，(2)から得られた知見を基に，本研究のディペンダブル・プロセッサの状態回復機能を実現するアーキテクチャとアルゴリズムの設計・評価をおこなう．実用的な規模でのプロセッサをVHDLで設計し，FPGAによって試験実装する．状態回復の機能とスペース／時間オーバヘッドを評価し，各種故障挿入に対するシステムレベルの応答を見ながら，問題点を明らかにするとともにその解決手段を検討する．

３．研究の方法

(1) 空間冗長オーバヘッドの削減

SoCベースのディペンダブル・プロセッサを実現するための空間冗長性について検討する．具体的には，誤り検出機構であるコンパレータの最小化や，チェックポイントデータを記憶するためのレジスタのハードウェア量削減を試みる．そのための基本的な方針として，プロセッサの命令ごとに必要なコンパレータ機能とチェックポイントデータの量がフェッチサイクルレベルでは非常に少ないことなどを利用する．
(2) 複数の異なるハードウェア実装

同一の命令セットアーキテクチャでありながら，異なるハードウェア実装を持つ複数のプロセッサコアを設計・試験実装し，論理レベルでの様々な故障挿入に対する応答を観る．異なるハードウェア実装の実現手法としては，論理合成のコンパイルオプションを変えてレイアウトを変える方法や，配線ツールの設定で配線パターンを変えるなどの方法を用いる．
(3) アーキテクチャおよび誤り回復アルゴリズム

いわゆるデュプレックス（２重化）システムの誤り検出・回復アルゴリズムについて考える．通常２重系では，誤り回復は困難であるが，本研究では空間冗長性すなわちチェックポインティングと部分的再試行によってこれを可能にする手法を検討する．

４．研究成果

誤りからの自己回復機能を持つディペンダブル・プロセッサを実現するための基礎的検討をおこなった．その結果，二つの過渡故障モデルに対する耐故障プロセッサの実現手法と，解析的な性能・信頼性評価手法に関する成果を得た．

(1) キャパシタ放電にともなう電磁波がひきおこす過渡故障がプロセッサに与える影響に関する実験的考察

電磁波による過渡故障は基本的に一過性の故障であるが，宇宙線等によるソフトエラーと比較して，多くの場合，故障の範囲が広く，影響力も大きいと考えられる．これは，宇宙線などが回路に対して‘点’で作用するのに対して，電磁波は ‘面’で作用し，絶対的なエネルギーも大きいためである．

従来のアーキテクチャレベルの過渡故障対策は，ソフトエラーによる微小な（通常 1 ビットの）誤りの回避が目的であった．一方，電磁波は広範囲の（複数ビットの）過渡故障を引き起こすことが予想される．そのような過渡故障に対するアーキテクチャレベルの対策は，これまでほとんど報告されていない．

われわれは，まず，キャパシタ放電による電磁波が FPGA 上に実装された順序回路にどのような影響を与えるのかを調べた．この実験によって，本研究における第一の故障モデルを設定した．これは，過渡的な誤りがプロセッサのクロック信号だけに作用するというものである．次に，この故障モデルに対して耐性を持つ時間冗長プロセッサをハードウェア記述言語 VHDL で設計し，FPGA に実装した．さらに，実装した時間冗長プロセッサに対する過渡故障挿入実験をおこなった．
その結果，想定した故障モデルに対して完全な耐性を実現することはできなかったものの，通常プロセッサの正常動作率が 45% であるのに対して，時間冗長プロセッサの正常動作率が 79%に達することを確認した．

(2) 第一の故障モデルに耐性を持つプロセッサの設計方法の詳細検討

本研究のディペンダブル・プロセッサ実現手法では，レジスタのみを二重化し，一方のレジスタを用いて行った演算の結果を他方のレジスタに格納することで，冗長化したレジスタの両方に同じ誤りが発生することを防いでいる（図１）．また更新した値を比較検証

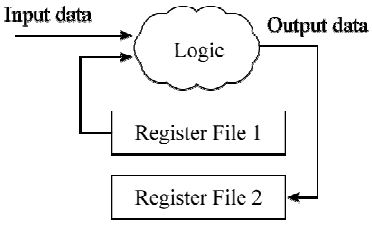


図１：レジスタの二重化と交互更新

することで誤りの検出を可能とし，誤り検出時は再度同じ演算を行うことで誤った状態を上書きする（図２）．この方式では命令1ステートごとに演算と比較を行うため，通常のプロセッサに比べ2 倍の実行時間がかかるが，信頼性の著しい向上が見込める．

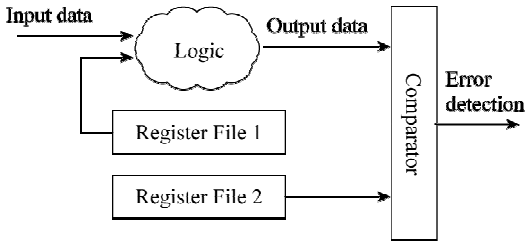


図２：更新した値と再試行の値を比較

本研究では，この方式を適用したプロセッサを設計し，そのハードウェアオーバヘッドを評価した．さらに顕在化した誤りに対する状態回復率を信頼性の評価尺度として，シミュレーションによる評価を行った．提案手法を適用したプロセッサでは，10,000回の実行のうち4,422 回で誤りが発生したが，そのすべてで状態回復に成功し，その回復率が100%であることを確認した．しかし，比較検証のための組合せ回路部分のディレイを厳密に考慮すると，前提とする故障モデルに完全に耐性を持つプロセッサを実現するには，制御回路の一部に非同期式順序回路の設計を取り入れる必要があることが明らかとなった．

(3) 第二の故障モデルに対するディペンダブル・プロセッサ設計方法の検討

第一の故障モデルへの対策として，回路のレジスタを二重化して交互に更新する方式の時空間冗長プロセッサを提案し，クロック信号に同時多重に発生する過渡故障に対して著しい信頼性向上が期待できることを示した．これに対して第二の故障モデルとして，クロック以外の組合せ回路部分の信号線に同時多重に発生する過渡故障を想定し，時空間冗長によるディペンダブル・プロセッサ回路の高信頼化手法を提案した．

この手法では，定義されていない回復不可能な状態への遷移を回避するために，多相クロックを用いて状態間ハミング距離の管理を行った．具体的な構成としては，三重化レジスタ回路に三相クロックを適応したものと（図３），二重化レジスタおよび二ビット

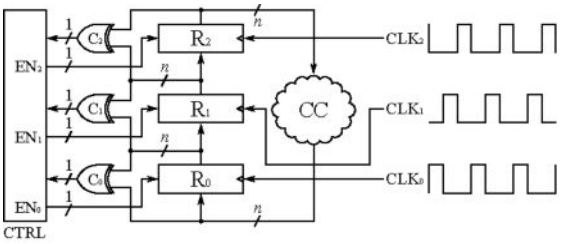


図３：レジスタ三重化回路の構成

フラグに四相クロックを適応したものとを考案した．提案手法を適用したプロセッサ回路を設計し，一般的な多重化冗長構成と比較

して低い面積オーバヘッドとなることを確認した（図４）．また，マルコフモデルによる確率解析ならびに論理シミュレーションの実行で，提案手法の適用によって順序回路の過渡故障に対する信頼性が著しく向上することを定量的に確認した．

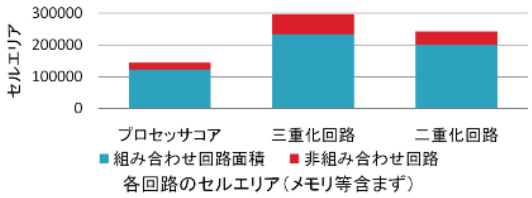


図４：論理合成結果によるオーバヘッド比較

(4) ディペンダブル・プロセッサの解析的評価手法の検討

種々の耐故障プロセッサの性能・信頼性を解析的に評価するための統一的なモデルとなり得る確率モデルについて考察した．システムサイクルの概念を導入することで，評価尺度である相対性能比の期待値と分散を簡単な形で導出できることを明らかにした．また，具体的な耐故障プロセッサに提案モデルを適用して解析例を示した．

５．主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計　２件）


① 福本聡，新井雅之，岩崎一彦，“安全･安心のための半導体設計･テスト技術，”OR 学会誌，Vol.52，pp.409-415，2007，査読あり

② M. Kimura, M. Arai, S. Fukumoto, and K. Iwasaki, ``Time Redundancy Processor with a Tolerance to Transient Faults Caused by ElectromagneticWaves,'' Proceedings of Workshop on Dependable and Secure Nanocomputing, pp. 248-254, 2007, 査読あり．


〔学会発表〕（計　９件）


① 丸本耕平，新井雅之，福本聡，岩崎一彦，“同時多重に発生する過渡故障を前提にレジスタを重化した陣所回路，” 電子情報通信学会総合大会，2009 年３月，愛媛大学．

② 福本聡，新井雅之，岩崎一彦，“耐故障プロセッサ評価モデルの解析について，” 電子情報通信学会技術研究報告，DC2008-61，pp. 11-13，2008 年 12 月 12 日，サンライフ萩．

③ 福本聡，新井雅之，岩崎一彦，“耐故障プロセッサの信頼性・性能評価手法に関する一考察，” 電子情報通信学会技術研究報告，DC2008-24，pp. 13-16，2008 年 10 月 20 日，国立情報学研究所．

④ 木村真琴，新井雅之，福本聡，岩崎一彦，“同時多重に発生する過渡故障を前提とした高信頼プロセッサ設計，”電子情報通信学会技術研究報告，DC2008-13，pp. 13-18，2008 年 6 月 20 日，機械振興会館．

⑤ 小日向秀雄，新井雅之，福本聡，“CMOS LSI の ESD/Latch-up 故障の解析―実データでの故障モード解析―，”電子情報通信学会技術研究報告，DC2007-67，pp. 1-6，2008 年２月，機械振興会館．

⑥ 丸本耕平，新井雅之，福本　聡，岩崎一彦，“故障挿入による TMR プロセッサの耐縮退故障性評価，”第 6 回情報科学技術フォーラム(FIT2007)，2007 年 8 月，中京大学．

⑦ 福本聡，新井雅之，岩崎一彦，“安全・安心のための半導体設計・テスト技術，”日本オペレーションズリサーチ学会第５７回シンポジウム，No. 57，pp.71-78，2007 年 3 月，鳥取大学．

⑧ 福本聡，新井雅之，岩崎一彦，“ディペンダブル VLSI，”第 10 回システムＬＳＩワークショップ講演資料集，No. 10，pp.171-180，2006 年 11 月，北九州．

⑨ 木村真琴，新井雅之，福本聡，岩崎一彦，“過渡故障に耐性を持つ時間冗長プロセッサの検討，”電子情報通信学会技術研究報告書，DC2006-14，pp.13-18，2006 年 8 月，高知．


〔図書〕（計　０件）

〔産業財産権〕

○出願状況（計　０件）

○取得状況（計　０件）

〔その他〕　なし

６．研究組織

(1)研究代表者


福本　聡（FUKUMOTO SATOSHI）

首都大学東京・システムデザイン研究科・准教授

研究者番号：50247590


(2)研究分担者


岩崎　一彦（IWASAKI KAZUHIKO）

首都大学東京・システムデザイン研究科・教授

研究者番号：40232649

新井　雅之（ARAI MASAYUKI）

首都大学東京・システムデザイン研究科・助教

研究者番号：10336521


(3)連携研究者　なし