

科学研究費補助金研究成果報告書

平成 2 1 年 6 月 5 日現在

研究種目：基盤研究（C）

研究期間：2006～2008

課題番号：18560327

研究課題名（和文） 光学近接効果を考慮した歩留まり最適レイアウト生成

研究課題名（英文） Yield optimum layout generation under optical proximity effect

研究代表者

池田 誠 (IKEDA MAKOTO)

東京大学・大規模集積システム設計教育研究センター・准教授

研究者番号：00282682

研究成果の概要：

集積回路の製造において用いられる微細なパターンの光転写において不可避となっている光学近接効果補正に対して、本研究では、設計パターンと製造されるパターンから逆問題を解くことにより補正を実施する手法の検討、パターン転写による製造不良を削減可能であることを示した。さらに、転写におけるばらつきがデジタル設計向けのセルにおける遅延、リークに与える影響の検討を行い、光学近接効果を考慮した場合のセルレイアウトの最適化によりセルのリーク電力低減に効果的であることを示した。

交付額

（金額単位：円）

	直接経費	間接経費	合計
2006 年度	1,300,000	0	1,300,000
2007 年度	1,400,000	420,000	1,820,000
2008 年度	700,000	210,000	910,000
総計	3,400,000	630,000	4,030,000

研究分野：工学

科研費の分科・細目：電気電子工学

キーワード：電子デバイス、電子機器、マスキレイアウト設計

1. 研究開始当初の背景

集積回路の最小寸法が 90nm から 65nm さらに 45nm を目前とした時期において、光学的なパターン転写において近接光学効果補正 (OPC) の最適な適用が大きな課題となっていた。これらは、製造不良軽減のためには不可欠である。さらに、セルにおけるリーク電力の増大が大きな問題となり、さらに製造ばらつきによりリーク電力が大幅に変動問題を解消する必要があった。

2. 研究の目的

本研究では、OPC を考慮してレイアウト設計を行うことで、歩留まりを最適とするレイアウトを生成する手法の開発を行うことを目的とする。OPC を考慮したレイアウト自動合成のため、まずモデルベース OPC シミュレータを実装し、レイアウトパターンの検証を行い、得られた光強度マップからレイアウトがパターン補正に対して親和性が高いかどうかを定量的に評価するための指標の構築を行う。具体的にはウェハ上に転写されるべき所望のパターンから OPC の逆シミュレーションを用いてマスク上のパターンを推定し、そのマスクによって転写されるパターンが所望のレイアウトとどの程度一致しているかによって評価を行うことが可能であると考えている。連続的な光強度マップからクリティカルスポットを検出する技術および定量的にレイアウトを評価できる指標にはいまだ確立した技術は無く、本研究によって微細化に対応した指標として、OPC の観点からレイアウトを比較評価できる指標を提供することが目的である。

本研究では、スタンダードセルレイアウトを対象としてレイアウトの評価を行う。スタンダードセルレイアウトは VLSI の最も基本的な構成要素であり、それらの性能・品質は最終的に合成される VLSI の性能・品質に非常に大きな影響を持っている。通常スタンダードセルレイアウトは、論理合成および配置配線時に指定の遅延時間を満たすように面積をコストとして選択・配置されるが、上記のような定量的指標を用いて各セルに OPC 親和性というコストを割り当てておき、歩留まりを考慮した論理合成・レイアウト最適化を行うことで、OPC 親和性の高い VLSI レイアウトを合成することを可能とする。歩

留まりを考慮した論理合成やレイアウト最適化手法は近年いくつかの手法が提案されているが、今後の微細なプロセスでは、VLSI の歩留まりまで考慮した場合、このような指標の元で合成された回路が面積コストのみで合成されたレイアウトよりもトータルコストにおいて安価になる。本研究では、このトータルコストを最小とする VLSI 設計を目的とする。

3. 研究の方法

1. モデルベース OPC のアルゴリズムの調査・実装

マスクパターンからリソグラフィによりウェハ上にどのようなパターンが転写されるかをシミュレーションするためにモデルベースの OPC シミュレータが必要である。まず、一般的に使用されているモデルベース OPC のアルゴリズムを調査し、その実装を行う。まず評価のターゲットとしてセルレイアウトという面積の小さい範囲のシミュレーションを実現すればよいため、処理時間よりも精度を重視した実装を目指す。

2. レイアウトパターンの OPC に対する親和性の定量的評価

次にこのシミュレータを用いてレイアウトパターンに対するシミュレーションを行うことで、ウェハ上での光強度マップを得ることができるが、ウェハ上のパターンからの逆変換を同時に実現することで、所望のパターンがウェハ上に描かれるために必要なマスクパターンを推定することができる。さらに、推定されたマスクパターンからウェハ上に転写されるパターンをシミュレーションにより求め、所望のパターンとのずれを検知することで、レイアウト内のクリティカルスポットの検出や親和性の評価が可能であると考えられる。この際に大規模行列の演算および逆行列演算が必要となることが考えられ、効率の良い実装が求められる。

3. 提案評価基準をコストとするセルレイアウト自動合成手法の実装・評価

指標を用いてセルライブラリ内の多数のセルをどのように評価し、それぞれにどのようなコストを割り当てるかについて検討を開始する。

提案された指標を用いてセルライブラリ内の各セルに歩留まりに対するコストを割り当てる。割り当てられた指標が現実に対応しているかどうかを確認するため、セルレイアウトパターンについて露光シミュレーションを行い結果を確認する。

4. 提案手法により自動合成されたセルを用いたライブラリの構築

次に、セルに割り当てられたコストを考慮して歩留まりを考えた論理合成・レイアウト最適化を行うための自動設計フローを検討・実装し、そのフローを用いてVLSIの自動設計を行う。設計されたVLSIが従来のフローで設計されたものと比較して、歩留まり・遅延・消費電力・面積などの指標においてトータルのコストを削減できているかどうか評価を行う。

5. 提案評価基準をコストとする歩留まりを考慮した回路トポロジ自動合成手法の検討

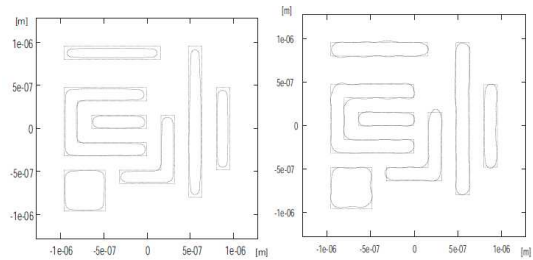
提案評価基準をコストとするセルレイアウト自動合成手法として、先に述べた網羅的セルレイアウト生成手法を利用し、レイアウト生成を行う。その結果を評価し、さらに効率の良いレイアウト自動生成手法の検討を行う。

4. 研究成果

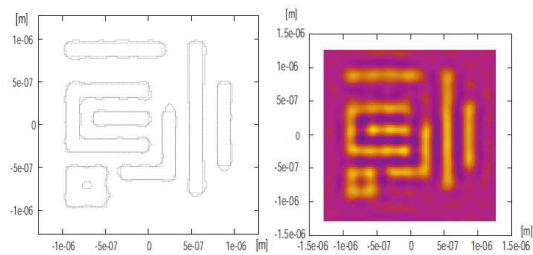
1. モデルベースOPCアルゴリズムの実装

ここでは、光強度分布を空間周波数成分に分解し高域遮断フィルターを掛けた上で、逆変換することで、マスク形状を得ることとした。

一般的に用いられている $\lambda = 193\text{nm}$, $NA=0.75$ というインコヒーレントな光学系において、最小解像寸法 20nm という設定にてシミュレーションを行った。これにより、



(a) 補正前のウェハ上のイメージの輪郭 (b) 補正後のウェハ上のイメージの輪郭



(c) 補正後に二値化したマスクの形状 (d) 補正後の二値化前のマスクの形状

図1に示すようなマスクパターンを用いることで、正確なパターン転写が可能となることを示した。

図1 モデルベースによる近接光学補正結果

2. レイアウトパターンのOPC親和性の定量的評価

近接光学効果によりトランジスタのゲート部分の形状が変形すると、特にオフ状態のリーク電流量が大きな影響をうけることになる。そこで、図2に示すとおりゲートを細いセグメントに分割し、セグメントごとのゲート長からリーク電流評価する手法の検討を行った。ここでは、代表的な6関数を実現するセルについて、面積最小の制約の中で網羅的にレイアウトパターンを生成し、生成されたセルにおけるリーク電流量の評価を行った。その結果、表1に示すとおり、セルごとの入力パターンにおいてリーク電流が最悪となる条件で、網羅的に生成されたレイアウトの中でリーク電流が最小となるセルは平均的なセルと比較してリーク電流を39%程度削減可能であることがわかった。

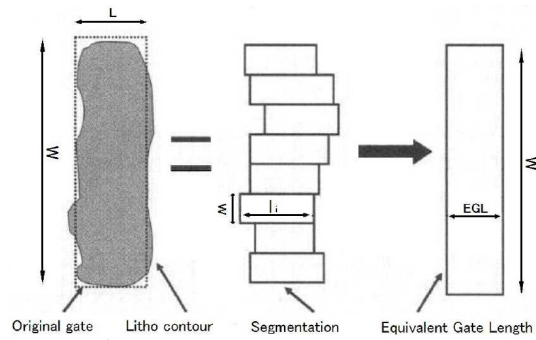


図2 ゲートパタンの近接光学効果によるゲートリーク評価

表1 レイアウトの網羅生成によるゲートリークの改善

Cell	Least [nA]	Greatest [nA]	Average [nA]	Improvement
ao222	518	6450	1610	67.8%
aoi21	161	446	337	52.2%
eno	656	3170	1834	64.2%
gen2	342	572	475	28.0%
mux2	2116	3128	2425	12.7%
xnor2	462	555	509	9.2%
aver.				39.0%

3. セルレイアウト合成と歩留まり評価

セルベースのデジタル設計において、LSIの歩留まりは、このセルの歩留まりに強い影響を受ける。そこで、近接光学効果によるセルの製造歩留まりを、露光時間と焦点距離のずれの2プロスパラメータで評価し、無欠陥の範囲の広さを歩留まりの資料として用いることで、網羅的に生成するセルレイアウトの中から歩留まりの最適化を行うこととした。これにより、歩留まり最適なレイアウトは、最悪レイアウトと比較して、欠陥発生率を1/16にまで低減が可能であることを示した。

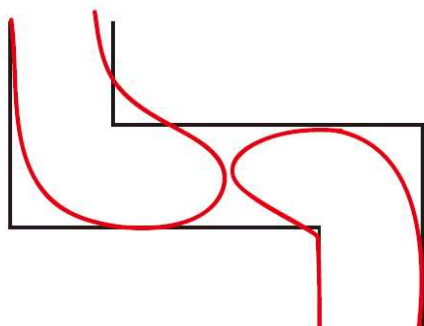


図3 近接光学効果によるプロセス欠陥の例

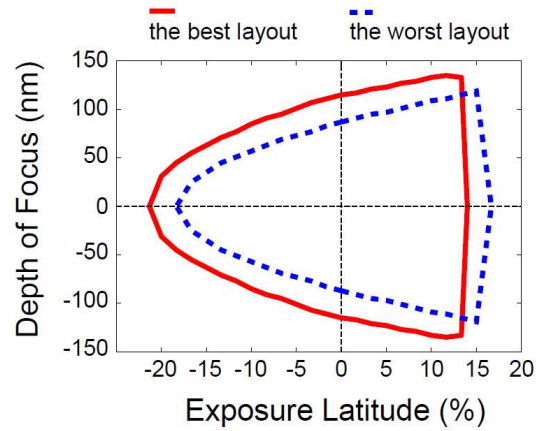


図4 プロセスウインドーとその改善例

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2件)

[1] T. Iizuka, M. Ikeda and K. Asada, "Timing Aware Cell Layout De-Compaction for Yield Optimization by Critical Area Minimization," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 15, No. 6, pp. 716-720, 2007.

[2] M. Sasaki, M. Ikeda and K. Asada, "A Temperature Sensor With an Inaccuracy of $-1/+0.8$ Using 90-nm 1-V CMOS for Online Thermal Monitoring of VLSI Circuits," IEEE Transactions on Semiconductor Manufacturing, Vol. 21, pp. 201-208, 2008.

〔学会発表〕（計 7 件）

[1] K. Ikai, J. Kim, M. Ikeda, and K. Asada, "Circuit Design using Stripe Shaped TFTs on Glass," IEEE Asia and South Pacific Design Automation Conference, Jan 20, 2009. Yokohama.

[2] J. Kim, K. Ikai, T. Nakura, M. Ikeda, K. Asada, "Variation Tolerant Transceiver Design for System on Glass," IEEE 34th European Solid State Circuits Conference (ESSCIRC) Fringe, Sep 15, 2008. Edinburgh, UK.

[3] M. Ikeda, "Delay Variation Measurements on DCVSL Using Logic Tester," University of Tokyo - UC Santa Barbara Joint Workshop, Sep 8, 2008. Santa Barbara, USA.

[4] K. Kurihara, T. Iizuka, M. Ikeda and K. Asada, "Process Variation Aware Comprehensive Layout Synthesis for Yield Enhancement in Nano Meter CMOS," IEEE International Conference on Electronics, Circuits and Systems (ICECS), Dec. 14, 2007. Marrakech, Morocco.

[5] M. Ikeda, K. Ishi, T. Sokabe and K. Asada, "Process Variation Aware Comprehensive Layout Synthesis for Yield Enhancement in Nano Meter CMOS," IEEE International Conference on Electronics, Circuits and Systems (ICECS), Dec. 12, 2007. Marrakech, Morocco.

[6] M. Sasaki, T. Inoue, M. Ikeda and K. Asada, "40 Frames/sec 16x16 Temperature Probe Array using 90nm 1V CMOS for On line Thermal Monitoring on VLSI Chip," IEEE Asian Solid State Circuits Conference (ASSCC), Nov. 14, 2007. Jeju, Korea.

[7] Z. Liang, M. Ikeda and K. Asada, "Analysis of Noise Margins Due to Device Parameter Variations in Sub-100nm CMOS Technology," IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems (DDECS), Apr. 11, 2007. Krakow, Poland.

6 . 研究組織

(1)研究代表者

池田 誠 (IKEDA MAKOTO)

東京大学・大規模集積システム設計教育研究センター・准教授

研究者番号 : 00282682

(2)研究分担者

佐々木 昌浩 (SASAKI MASAHIRO)

東京大学・大規模集積システム設計教育研究センター・助教

研究者番号 : 50339701