

平成 22 年 4 月 21 日現在

研究種目：基盤研究(C)  
研究期間：2006～2009  
課題番号：18560334  
研究課題名(和文) 新材料及び新構造 MOSFET の準バリスティック量子輸送モデリングに関する研究  
研究課題名(英文) Quasi-ballistic transport modeling of emerging MOSFETs with new channel materials and new device architectures  
研究代表者  
土屋 英昭 (TSUCHIYA HIDEAKI)  
神戸大学・大学院工学研究科・准教授  
研究者番号：80252790

研究成果の概要(和文)：次世代の超高性能情報処理回路を実現する新型トランジスタの設計ツールの開発と、新材料及び新構造を導入する際の設計指針について研究を行った。その結果、新材料として注目される III-V 族化合物半導体を実用化するには、トランジスタの電極(ソース・ドレイン)構造の設計が重要であること、また、新型ナノワイヤ構造トランジスタでは、準弾道輸送による性能向上が期待できる半面、量子力学的トンネル効果による漏れ電流の増大が微細化限界になり得ることを見出した。上記の成果はいずれも、新型トランジスタの研究開発において大変重要な知見を与えている。

研究成果の概要(英文)：This project focused on the development of a quantum mechanical design tool and a device design guideline to realize ultra-high performance information technology by introducing new channel materials and new device architectures. We found that an optimum structural design of source and drain electrodes is necessary for III-V MOSFETs to outperform the conventional Si-MOSFETs. Furthermore, in Si nanowire MOSFETs with gate-all-around architecture, the source-drain tunneling effects were found to possibly limit the further downscaling below 10nm gate length.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2006 年度	600,000	0	600,000
2007 年度	1,100,000	330,000	1,430,000
2008 年度	800,000	240,000	1,040,000
2009 年度	800,000	240,000	1,040,000
年度			
総計	3,300,000	810,000	4,110,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：電子デバイス・集積回路

## 1. 研究開始当初の背景

半導体大規模集積回路の性能向上は、これまで基本的に回路の最小構成ユニットである Si MOSFET の高性能化によって支えられて

きたが、最小微細化寸法が 100nm 以下になるにつれて、チャネル長の縮小化やゲート酸化膜の薄膜化といった寸法スケールングだけでは、十分な性能向上が難しいことが顕在化

してきた。これはトランジスタの微細化に、種々の物理的限界が見え始めてきたことに起因している。そこで、MOSFET のチャンネル材料や構造を改良することで性能向上を図ろうとする試みが近年脚光を浴びている。これには主に二つの方向性があり、一つは、チャンネルの速度・移動度を向上させるために、新チャンネル材料を用いる技術であり、もう一つは、短チャンネル効果を抑制するために、ゲート電極を立体化あるいは多重化（マルチゲート化）する技術である。以上のことから、今後の MOS デバイス技術開発においては、新チャンネル材料と立体ゲート構造の両方が重要となる。

## 2. 研究の目的

1. の背景から本研究は、新チャンネル材料及び立体ゲート構造を採用した新型 MOSFET の量子力学的設計ツールの開発と、それを用いた準バリスティック輸送下における新型 MOSFET の設計指針の構築と微細化限界の解明を目的とした。

## 3. 研究の方法

次世代の新型 MOSFET の設計には、電子の波動性に起因する量子力学的効果を取り入れたデバイスシミュレータが不可欠である。また、ゲート長がキャリアの平均自由工程と同程度以下にまで微細化されると、チャンネル内のキャリア散乱回数が数回程度にまで減少する準バリスティック輸送が顕在化してくる。したがって、量子力学的効果とキャリア散乱効果を同時に取り入れることができる量子補正モンテカルロ法をベースにして、ひずみ Si、Ge および III-V 族化合物半導体をチャンネルとする高移動度 MOSFET のデバイスシミュレータを開発し、それを用いた性能予測を実施した。

また、Si MOSFET の次世代高性能化技術の一つと期待されているバリスティック輸送の利用について、開発した量子補正モンテカルロシミュレータを用いて、ソース・ドレイン電極を金属に置き換えたショットキー MOSFET のバリスティック性能の評価を試みた。

一方、短チャンネル効果を抑制するための究極の立体ゲート構造であるゲートオールアラウンド型 Si ナノワイヤ MOSFET を解析・設計するために、量子力学的ウィグナー分布関数に基づく 3次元量子輸送シミュレータを開発し、Si ナノワイヤ MOSFET の動作特性の解明とその微細化限界についての検討を行った。

## 4. 研究成果

まず、新チャンネル材料として注目されているひずみ Si、Ge 及び III-V 族化合物半導

体をチャンネルとする高移動度 MOSFET を解析するための量子補正モンテカルロシミュレータを開発した。ひずみ Si は 2 軸性及び 1 軸性ひずみを考慮し、Ge は通常の(100)面の他、高性能化が期待できる(111)面も取り上げた。一方、III-V 族化合物半導体は GaAs、InP、InGaAs を取り上げた。このように多様なチャンネル材料を網羅した量子力学的モンテカルロシミュレータは世界でも例がなく、これにより系統的なチャンネル材料の性能比較が可能になった。その結果、III-V 族 MOSFET では、軽い閉じ込め有効質量による反転層広がりを抑えるために、極薄チャンネル (UTB) 構造が必須であることと、Si および Ge 系 MOSFET に対する優位性を保つためには、ソース・ドレイン電極のドーピング密度を Si および Ge 系素子と同程度にまで高濃度化する必要があることを見出した。

また、開発した量子補正モンテカルロシミュレータを用いて、ソース・ドレイン電極を金属に置き換えたショットキー MOSFET のバリスティック性能を評価した。その結果、ショットキー MOSFET は、チャンネルのソース端に形成される空間的に急峻なショットキーバリアにより、従来の PN 接合型 MOSFET に比べてソースへの後方散乱が抑制されバリスティック効率が向上することを、世界で初めて実証することに成功した。これは、将来の低消費電力・高性能集積回路を実現する上で、ショットキー MOSFET が有望な技術の一つであることを実証する成果である。

一方、立体ゲート構造 Si ナノワイヤ MOSFET では、ゲート長だけでなくチャンネル断面内もナノスケールに微細化されるため、量子補正モンテカルロ法よりも更に高精度な量子力学的ウィグナー分布関数に基づく 3次元量子輸送シミュレータを開発した。特に、ウィグナー輸送方程式の数値計算法に高精度化を施すことで、サブスレッショルドトンネル電流特性の予測精度を大幅に改善することに成功した。これにより、サブスレッショルド領域のソース・ドレイントンネル電流の影響を正確に評価することが可能になった。具体的には、ゲート長が 6nm 以下にまで微細化されると、ソース・ドレイントンネルリングが顕著に起こり始めるため、従来の古典的シミュレーションによる予測に比べて、実際には微細化限界の到来が早まることを明らかにした。

本研究で得られた上記の成果は、ひずみ Si 技術に続く新チャンネル材料・新構造技術の導入に向けた具体的な設計指針を提供しており、将来のエレクトロニクスの発展を支える集積化ナノデバイスの進歩に大きく貢献するものと考えている。また本研究の成果

は、グラフェンやカーボンナノチューブ等の非半導体系材料の導入も視野に入れた研究が将来重要になることを示唆しており、新しいナノエレクトロニクスの展開につながることを期待している。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 10 件)

- ① H. Tsuchiya, A. Maenaka, T. Mori, and Y. Azuma, "Role of Carrier Transport in Source and Drain Electrodes of High-Mobility MOSFETs," IEEE Electron Device Letters, Vol. 31, No. 4, pp. 365-367, Apr. 2010. 査読有.
- ② H. Tsuchiya, H. Ando, S. Sawamoto, T. Maegawa, T. Hara, H. Yao, and M. Ogawa, "Comparisons of Performance Potentials of Silicon Nanowire and Graphene Nanoribbon MOSFETs Considering First-Principles Bandstructure Effects," IEEE Trans. on Electron Devices, Vol. 57, No. 2, pp. 406-414, Feb. 2010. 査読有.
- ③ W. Wang, H. Tsuchiya, and M. Ogawa, "Enhancement of Ballistic Efficiency due to Source to Channel Heterojunction Barrier in Si Metal Oxide Semiconductor Field Effect Transistors," J. Appl. Phys., Vol. 106, No. 2, 024515, Jul. 2009. 査読有.
- ④ Y. Yamada, H. Tsuchiya, and M. Ogawa, "Quantum Transport Simulation of Silicon Nanowire Transistors Based on Direct Solution Approach of the Wigner Transport Equation," IEEE Trans. on Electron Devices, Vol. 56, No. 7, pp. 1396-1401, July 2009. 査読有.
- ⑤ T. Maegawa, T. Yamauchi, T. Hara, H. Tsuchiya, and M. Ogawa, "Strain Effects on Electronic Bandstructures in Nanoscaled Silicon: From Bulk to Nanowire," IEEE Trans. on Electron Devices, Vol. 56, No. 4, pp. 553-559, 2009. 査読有.
- ⑥ H. Tsuchiya and S. Takagi, "Influence of Elastic and Inelastic Phonon Scattering on the Drive Current of Quasi-Ballistic MOSFETs," IEEE Trans. on Electron Devices, Vol. 55, No. 9, pp. 2397-2402, 2008. 査読有.
- ⑦ T. Hara, Y. Yamada, T. Maegawa, and H. Tsuchiya, "Atomistic Study on Electronic Properties of Nanoscale SOI Channels," J. Physics: Conference Series, Vol. 109,

012012, 2008. 査読有.

- ⑧ Y. Azuma, T. Mori, and H. Tsuchiya, "Drive Current of Ultrathin Ge-on-Insulator n-Channel MOSFETs," Phys. Stat. Sol. (c), Vol. 5, No. 9, pp. 3153-3155, 2008. 査読有.
- ⑨ T. Mori, Y. Azuma, H. Tsuchiya, and T. Miyoshi, "Comparative Study on Drive Current of III-V Semiconductor, Ge and Si Channel n-MOSFETs based on Quantum-Corrected Monte Carlo Simulation," IEEE Trans. on Nanotechnology, Vol. 7, No. 2, pp. 237-241, 2008. 査読有.
- ⑩ H. Tsuchiya, K. Fujii, T. Mori, and T. Miyoshi, "A Quantum-Corrected Monte Carlo Study on Quasi-Ballistic Transport in Nanoscale MOSFETs," IEEE Trans. on Electron Devices, Vol. 53, No. 12, pp. 2965-2971, 2006. 査読有.

[学会発表] (計 44 件)

- ① H. Ando, S. Sawamoto, T. Maegawa, T. Hara, H. Yao, H. Tsuchiya, and M. Ogawa, "Performance Comparisons of Ballistic Silicon-Nanowire and Graphene Nanoribbon MOSFETs Considering First-Principles Bandstructure Effects," Extended Abstracts of Int' l Conf. on Solid State Devices and Materials (SSDM09), Sendai, pp. 984-985, 7-9 Oct., 2009. 査読有.
- ② H. Tsuchiya, A. Maenaka, T. Mori, and Y. Azuma, "Performance Projection of III-V and Ge channel MOSFETs (**invited**)," Extended Abstracts of Int' l Conf. on Solid State Devices and Materials (SSDM09), Sendai, pp. 250-251, 7-9 Oct., 2009. 査読有.
- ③ 安藤晴気, 澤本俊, 前川忠史, 土屋英昭, 小川真人, "第一原理バリステックシミュレーションによるグラフェントランジスタの性能予測", 第70回応用物理学会学術講演会, 11a-TH-8, p. 800, 2009年9月11日, 富山大学. 査読無.
- ④ 澤本俊, 前川忠史, 原孟史, 土屋英昭, 小川真人, "第一原理バリステックシミュレーションによるSiナノワイヤトランジスタの性能予測", 第70回応用物理学会学術講演会, 11a-TH-7, p. 799, 2009年9月11日, 富山大学. 査読無.
- ⑤ 土屋英昭, 前中章宏, 森隆志, 東祐介, 高移動度チャンネルMOSトランジスタの性能予測シミュレーション (**招待講演**), 応用物理学会ゲートスタック研究会-材料・プロセス・評価の物理-, pp. 25-28, 2009年1月23日. 査読無.

- ⑥山田吉宏, 土屋英昭, 小川真人, シリコンナノワイヤトランジスタの三次元量子輸送シミュレーション, 応用物理学会分科会シリコンテクノロジー, No. 105, pp. 76-81, 2008年11月14日, 機械振興会館(東京). 査読無.
- ⑦前川忠史, 山内恒毅, 原孟史, 土屋英昭, 小川真人, 第一原理計算によるひずみシリコンナノ構造チャネルの電子状態解析, 応用物理学会分科会シリコンテクノロジー, No. 105, pp. 82-87, 2008年11月14日, 機械振興会館(東京). 査読無.
- ⑧ Y. Yamada and H. Tsuchiya, Three-Dimensional Quantum Transport Simulation of Si-Nanowire Transistors Based on Wigner Function Model, Extended Abstracts of the 2008 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Hakone, pp. 281-284, 9-11 Sep., 2008. 査読有.
- ⑨ H. Tsuchiya and S. Takagi, Influences of Elastic and Inelastic Scatterings on Ballistic Transport in MOSFETs, Extended Abstracts of Int' l Conf. on Solid State Devices and Materials (SSDM07), Tsukuba, pp. 44-45, 19-21 Sep., 2007. 査読有.
- ⑩ H. Tsuchiya, K. Fujii, T. Mori, Y. Azuma, K. Okuda, and T. Miyoshi, On the Performance Limits of Emerging Nano-MOS Transistors: A Simulation Study (**invited**), Proceedings of 2007 7<sup>th</sup> IEEE Int' l Conf. on Nanotechnology (IEEE-NANO2007), Hong Kong, pp. 530-535, 2-5 August, 2007. 査読有.

他34件

[図書] (計 1 件)

- ①三好旦六, 小川真人, 土屋英昭, ナノエレクトロニクスの基礎, 培風館, 261P, 2007年11月2日).

## 6. 研究組織

### (1) 研究代表者

土屋 英昭 (TSUCHIYA HIDEAKI)  
神戸大学・大学院工学研究科・准教授  
研究者番号: 80252790