

令和 4 年 10 月 26 日現在

機関番号：17104

研究種目：基盤研究(B) (一般)

研究期間：2018～2020

課題番号：18H01431

研究課題名(和文)ダイヤモンド・パワーエレクトロニクス：革新的デバイス技術の提案と実証

研究課題名(英文)Diamond Power Electronics: Innovative Device Technology

研究代表者

大村 一郎 (Omura, Ichiro)

九州工業大学・大学院生命体工学研究科・教授

研究者番号：10510670

交付決定額(研究期間全体)：(直接経費) 13,800,000円

研究成果の概要(和文)：本研究では、ダイヤモンド材料に適した新しい耐圧構造(終端構造)とその設計方法を提案しデバイス試作した。シリコン、GaN、SiCなどの材料とデバイス構造に関する特性比較を行い、10kV以上の耐圧での優位性を理論的に確認した。また常温で不純物を活性化する新たな方法として、接合構造に低い電圧を印加する方法を検討した。安全面に配慮した試作環境を構築するために不純物ガス系はトリメチル系のガスに変更した。またP型、N型、真性半導体の三種類の半導体層を形成できるように別々の成膜装置を導入した。構築した上記環境での短結晶成膜によりデバイスを試作し電気評価を行った。

研究成果の学術的意義や社会的意義

ダイヤモンド材料による高耐圧デバイスの特性を他のパワー半導体材料と理論比較することで、その優位性を確認した。その際問題となる不純物の活性化について新しいアイデアを提案した。本研究で提案した評価用デバイス構造はダイヤモンド材料の基礎評価やデバイス性能の予測に活用できるものであり、ダイヤモンドパワー半導体実用化に大いに寄与すると考えられる。また試作デバイスは特徴ある電気特性を有しており、この原理を応用したデバイスの特許化を検討中である。

研究成果の概要(英文)：In this research, we proposed a new structure (termination structure) suitable for diamond materials and its design method, and prototyped the device. We compared the characteristics of materials such as silicon, GaN, and SiC and the device structure, and theoretically confirmed the superiority of withstand voltage of 10 kV or more. In addition, as a new method for activating impurities at room temperature, a method of applying a low voltage to the junction structure was investigated. In order to build a prototype environment that takes safety into consideration, the impurity gas system was changed to a trimethyl gas system. In addition, separate film deposition machines were introduced for three types of semiconductor layers, P-type, N-type, and intrinsic semiconductor. A device was prototyped by crystal film formation in the above environment, and electrical characteristics was obtained.

研究分野：パワー半導体

キーワード：超高耐圧パワー素子 RESURF構造 pip構造 ダイヤモンド

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

「超」ワイドバンドギャップ材料として注目を浴びているダイヤモンドは、ワイドバンドギャップ半導体である窒化ガリウムや SiC に対しても理論上のデバイス特性は一桁以上良好であり、直流送電 (HVDC) などに用いられる次々世代超高耐压デバイスとしての期待が高い。ところが、試作デバイスで実証されている実効臨界電界は理論値の 3 割以下であり、P 型層や N 型層を構成する不純物 (ドーピング) が常温でほとんど活性化しないため、理論上の高い性能を実現するには、新たな耐压構造と常温で不純物活性化する方法の提案が必須であると考えた。

ダイヤモンドを材料とする超高耐压デバイスに関する研究は、国内外で国のプロジェクトとして進められている。フランス・グルノーブル大学では、EU プロジェクト Horizon2020 の資金でベンチャーを立ち上げ、1000V クラスの SBD の試作を開始している (EMRS2017)。同じく欧州 Greendiamond PJ では、直流送電用の素子試作を目標にしている [2]。国内では産総研が様々なバイポーラデバイスを試作しデバイス特性を取得している [3]。ただし、高い終端効率 (理想に近い終端) を持つ終端構造は提案されておらず、ユニポーラ動作での活性化の問題も解決されていない。現在不純物の活性化を含めてデバイスシミュレーションが行われているが、理論値に比べて著しく低い特性となっている (グリーンダイヤモンド PJ 参加のケンブリッジ大学 EMRS2017)。

研究代表者は、次世代のパワー半導体用材料としてダイヤモンドが非常に有望であることを理論計算で求め IEEE 招待論文で整理した (T. P. Chow と共著 2017 年 [1])。一方、研究代表者が過去に行ったパワー半導体設計の経験に基づいて調査を行った。終端構造の最大の課題はダイヤ以上に高電界に耐えられる表面パッシベーション膜の形成が困難であり、高電界をダイヤモンド内に閉じ込め、弱めた電界を外部に出す独特の設計が必要である。シリコンなどとは違い不純物が常温で活性化しない原因として、ドーピングをしてもフェルミ準位がバンド端に近づかないという課題があった。

の終端構造の課題に対しては、電界の方向を転換する層を設けることで、縦方向の高電界をダイヤモンド内部に閉じ込め、外部には横方向の弱い電界を出すことが可能であり、高耐压が得られるという着想を得た。

の活性化の課題に対しては、従来提案されている高温環境での動作に限定するといった非実用的な方法ではなく、原理に立ち返って電子とホールフェルミ準位を別々に与える方法を考案した。この方法では、フェルミ準位が強制的にバンド端に近づき活性化が促進される。電位を与えるためにシリコンで使われているスーパージャンクション (SJ) 構造を作り、構造中の P、N 型層に低い電圧を印加する独自の方法で活性化を促進できないかと考えた。

2. 研究の目的

超高耐压デバイスの半導体材料としてダイヤモンド素子の実現には、十分な臨界電界を得るための新しいデバイス構造の提案が必要であり、常温での不純物活性化の方法の提案とその理論的実証が不可欠である。本研究では下記、の課題を解決しダイヤモンド超高耐压デバイスの有効性を明らかにする。

課題 高臨界電界を実証する終端構造

高耐压を実現する耐压構造 (終端構造) は「ガードリング構造」、「フィールドプレート構造」、「RESURF 構造」と呼ばれる 3 種類が広く用いられるが、ダイヤモンド素子への適用では超高電界に耐える表面パッシベーション膜が必要なため、これらの構造は採用できない。本研究ではダイヤモンド素子内部の非常に高い縦電界を、低い横電界に「転換」する「電界転換型終端構造」を提案し、高い臨界電界と耐压が得られることを実証する。

課題 SJ 構造と電圧アシストで常温不純物活性化

ダイヤモンドでは不純物の準位が深いため常温で活性化せず、p 型層や n 型層が十分に形成されない。特に FET などのユニポーラ素子では導通損失が著しく悪化する。提案者は、シリコンで採用されているスーパージャンクション (SJ) 構造に、わずかなアシスト電圧を印加する「電圧アシスト法」を新たに提案し、今までできなかった常温での不純物活性化を実証する。

新提案の「電界転換型終端構造」は量産技術への転換が可能であり、「電圧アシスト法」は今まで不可能であった常温での不純物活性化を可能にする。本デバイスは長距離エネルギー送電を安価に実現するコア技術であり、我が国の電力ネットワーク技術の競争力強化に貢献する。

3. 研究の方法

<ダイヤモンドデバイス耐压計算用の数値解析環境の整備と解析結果の妥当性確認>

ダイヤモンド材料のデバイス適用では材料特性モデルの再構成が必要であり、シノプシスの TCAD ツールをベースにモデルを作製。実験データにより検証後、耐压構造の詳細設計に活用する。またスーパージャンクション (SJ) 構造にアシスト電圧を印加することで、原理通り常温での不純物活性化が行われることを確認するとともに実証に向けたデバイス構造に落とし込む。

- < 終端構造と常温不純物活性化デバイス設計方法確立、安全対策 >
電界転換型 RESURF 終端構造のシミュレーションにより構造設計パラメータのテーブルを作成。また SJ 構造と電圧アシストにより不純物を活性化するデバイス構造設計を行う。並行してデバイス試作環境の特殊高圧ガスに対する安全対策を講じる。
- < 電界転換型 RESURF 形成および SJ 構造試作プロセス具体化 >
成膜等の条件に合わせて、電界転換型 RESURF 構造のマスク設計と各要素プロセスの TEG による確認を行う。
- < デバイス試作および評価 >
実験結果から実効臨界電界の解析を行い、理想臨界電界と実効臨界電界を比較し、従来の耐压構造に対する提案構造の有効性を確認する。
また、SJ 構造と活性化アシスト電圧による導通抵抗の改善を実証する。

4. 研究成果

4 - 1. 設計環境および解析ツールの開発

- < ダイヤモンドデバイス耐压計算用の数値解析環境の整備と解析結果の妥当性確認 >
ダイヤモンド素子の設計ツールを開発し、様々な条件での特性の見積もりができるようになった。またシリコン、GaAs、GaN、SiC、Ga₂O₃ など他の材料との比較も行い、特に高耐压領域でダイヤモンドの優位性が確認できた。10 kV を超える素子については、まずシリコン (IGBT) で TCAD を使用してシミュレーションを行い、現状技術の延長線上での導通損及びスイッチング損失の見積もりを行い、シリコンでの事実上の限界特性を確認した。シリコンではキャリア再結合やキャリア発生点から、10 kV 程度を超えると、急速に特性が悪化する。また SiC、GaN の計算では、パイポーラ型でビルトイン電圧が発生し、導通損失が増加する。ダイヤモンド素子で、10 kV 以上でもユニポーラ動作が可能であり、チップサイズ、スイッチング速度、導通損失のポイントで高い有意性を確認した。
- < 終端構造と常温不純物活性化デバイス設計方法確立 >
電界転換型 RESURF 終端構造の数式モデル解析を行い、簡易的に構造設計パラメータを求められるようにした。また電圧アシストによる不純物を活性化の理論化を行い構造について検討した。

4 - 2. 試作デバイスによる評価

- < デバイス試作環境の整備 >
デバイス試作のため特殊高圧ガスのドナー、アクセプタ (ジボラン、ホスフィン) の導入を検討したが、調査の結果、安全への配慮からドーピングガスを有機系ガス (トリメチルボロン、トリメチルホスフィン) に変更し、これらを用いたデバイス試作環境を立ち上げた。高圧ガス使用に対する安全対策を行い、警報システム等も見直しを行った。
安全対策は以下の通り実行した。

【高圧ガス】

安全の確保および災害発生を防止するために「高圧ガス保安法」および「一般高圧ガス保安規則」に従い、特殊ガス関連設備の配管、バルブ等は溶接接合を行うとともに、排気ダクトは生成物が堆積しにくい構造に設計、施工を行った。
一連の設備には、ガスの漏えいの検知、警報するための設備を設けており、万が一漏えいしたときには安全に除害設備により除害する構造とした。
実験室入室前に、ガス漏洩監視盤にてアラーム設定を確認する構造とした。また休日夜間等の警備巡回時にも漏洩監視盤を確認できるように、建屋 1 階の入り口付近に監視盤を設けた。
停電等により当該設備の安全機能が失われることのないよう、ガス検知機能には UPS (無停電電源装置) を設置した。
特定高圧ガスの使用・保安に関する業務を行う特定高圧ガス取扱主任者を置き、安全環境の保全を徹底した。
特定高圧ガス使用に移行する際には、定期保安検査を年 1 回受け、半年に 1 回の検知器系統の点検、年 1 回以上の頻度で自主検査を行うとともに、特定高圧ガス消費の届け出を福岡県工業保安課に届け出る。

【高電圧試験】

本研究には 1000V 以上の電圧におけるデバイス、回路実験は、下記の安全対策を行った。
高電圧実験に対する安全教育を半年に 1 度実施した。
フェールセーフ機能を備えた、インタロック付き安全ボックスを使用した。
KYT (危険予知トレーニング) の実施、ヒヤリハット事例の共有化を行った。
高電圧を扱う装置の使用記録簿を保存した。

<ダイヤモンド薄膜の評価>

デバイス試作に必要な i 型、p 型、n 型のダイヤモンド薄膜を成膜し膜内の不純物プロファイル进行调查した。ダイヤモンドの型に応じた専用の合成装置で不純物の影響を比較するため、合成条件のうち原料ガスの水素およびメタン流量、マイクロ波パワー、合成圧力は共通とした。p 型、n 型については不純物原料ガス濃度および流量を共通としたが、不純物の取り込み効率を考慮し基板はそれぞれ (100) と (111) の面方位のものを用いた。3 種類の膜で共通してホウ素とシリコンが一定量混入することが明らかになった。また、n 型薄膜では水素も多く検出された。試験構造にて i 層、および pn 接合を定性的、定量的に評価するためには、これら不純物の混入をコントロールするプロセスを検討しなければならない。p 型ダイヤモンド薄膜ドーパントはバックグラウンドに対して 4 桁程度で、また n 型ダイヤモンド薄膜では 2 桁程度でコントロールできることを確認した (図 1)。p 型ダイヤモンド薄膜に関して、p+層、p+層に堆積した p-層、p+層に堆積した i 層のホール効果測定を行い、i 層以外ではドーピング濃度に対応した p 型導電性を示すことを確認した (図 2)。

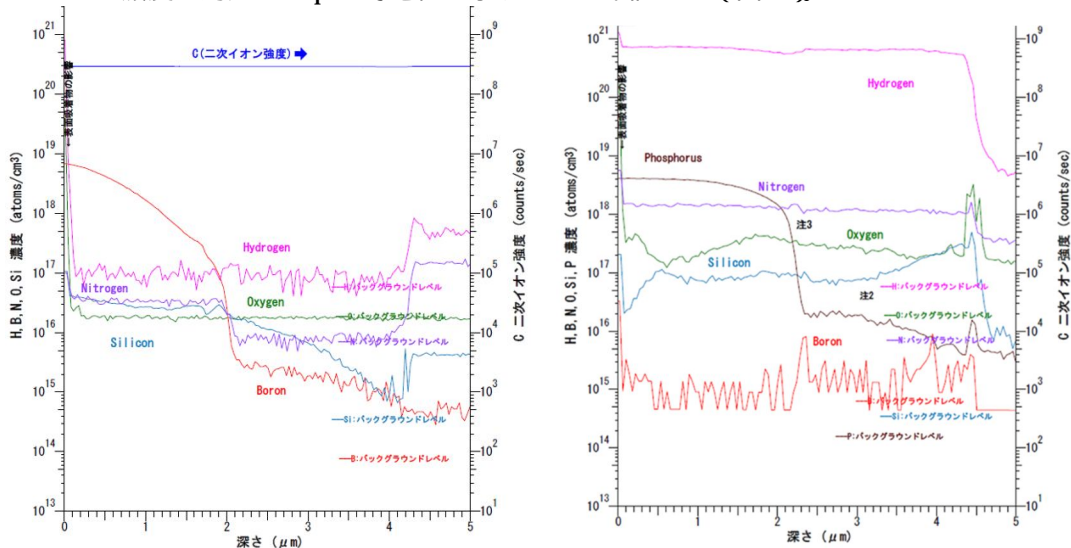


図 1 . 不純物濃度分布の例 : p 型ダイヤモンド (左) と n 型ダイヤモンド (右)

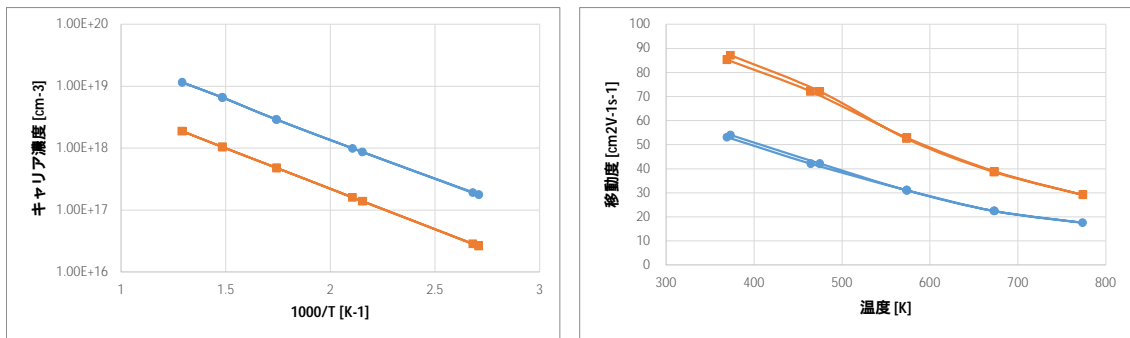


図 2 . 温度可変ホール効果測定結果の例

<TEG によるデバイス作製要素プロセスの確認>

本研究で提案するデバイス作製プロセスでは、不純物活性化アシスト構造の ipin の繰返し積層構造と、電界転換型 RESURF 構造のための多段型の不純物導入層の作製プロセスが必要である。試作デバイスの n 型層には、十分なキャリアを得るために 10^{19}cm^{-3} 程度の不純物濃度が必要であるが、現状では評価デバイスに用いるのに十分な特性の再現性が得られていない。そのため、先行して pip 構造で要素プロセスの確認を行い、n 型層の再現性が担保できた段階で pin 構造での評価に移行することにした。

繰返し積層構造作製プロセスの確認には、基板表面に p 層、i 層、p 層のダイヤモンド膜を順次合成し、不純物プロファイルおよび電気特性を評価した。その結果、ボロンドープした p 層では 10^{19}cm^{-3} 台のドーピング濃度を達成し、ホール効果測定により p 型であることも確認した。i 層合成プロセスの装置依存性を調べた結果、ボロンドープ用の装置を用いた場合、残留ボロンの混入が認められた。一方 i 型層合成専用の装置を用いた場合、高濃度のボロンをドーピングした薄膜上に i 層を合成しても薄膜内に不純物は混入せず (図 3)、基板温度 400 で十分な絶縁性が得られた。

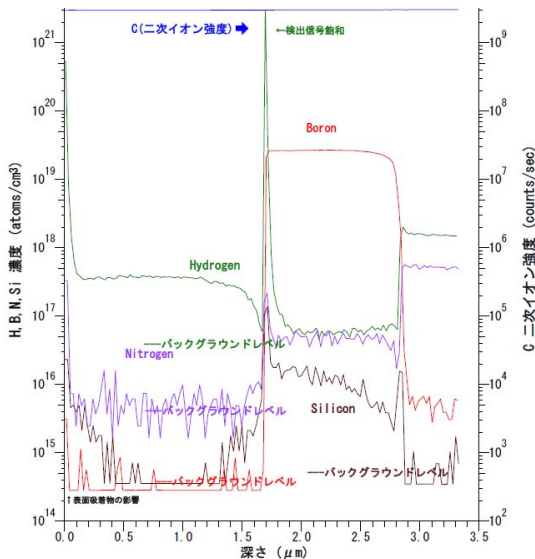


図3 . i 基板/p+層/i 層構造の不純物分布

多段型の不純物導入層作製方法として濃度勾配をつけた不純物層を堆積した後にエッチングする方法と、不純物層を段階的に選択成長させる方法が考えられる。前者の手法では、エッチング面のダメージによるリーク電流の定量化が困難であるため、本研究では選択成長を採用することとした。選択成長プロセス確認のため、本学マイクロ化総合技術センタの環境も含めプロセスインテグレーションを行い SiO₂ 薄膜をマスクとしたプロセスを確立した。

< TEG による電気特性評価 >

確立したプロセスで作製した pip 構造 TEG に電極を形成し i 層の耐圧および界面でのキャリア注入の様子を調査した。IV 特性には印加電圧に対するスナップバックが確認された(図4)。この現象は TEG 上のどの電極で測定しても発生することから、この構造の本質的な性質であると考えられる。スナップバックはバイポーラトランジスタ[4]や n+n+構造のシリコン素子[5]において発生することが知られており、本研究では p+層に挟まれた i 層に含まれる極微量の元素が関与していると考えられ、比較によりダイヤモンド高耐圧デバイス構造や終端構造で重要な i 層の特性を今後明らかにしていく。

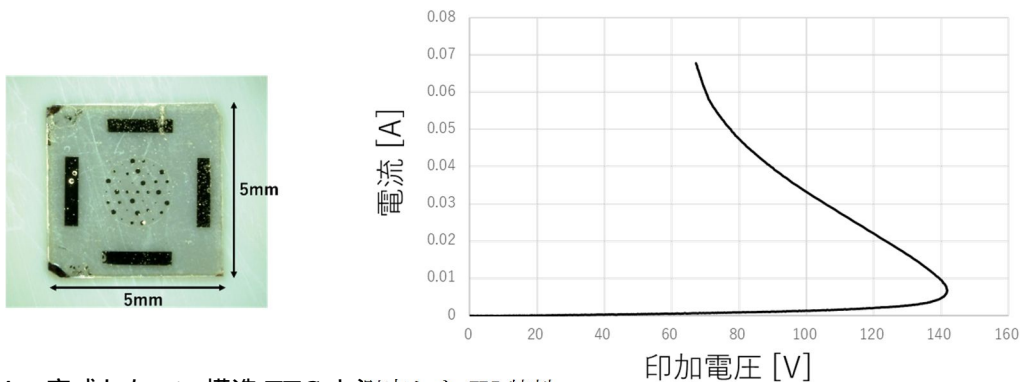


図4 . 完成した pip 構造 TEG と測定した IV 特性

4 - 3 .まとめ

本研究は、超高耐圧ダイヤモンド素子のための新しい耐圧構造と不純物活性化の方法の提案し、設計の理論化と試作による評価を試みた。設計に関しては素子設計ツールを開発するとともに、ダイヤモンドの高耐圧領域での優位性を確認した。デバイス試作に関しては、各種ダイヤモンド半導体の合成環境を整備し試作プロセスを考慮した方法で作製した i 層、n 層、p 層の特性評価を行った。また、TEG 作製を通して提案構造試作の要素プロセスを確認し、デバイス試作プロセスを確立した。n 型層特性の再現性が担保でき次第、提案構造のデバイス試作・評価まで完了した。

参考文献

[1] T.P.Chow 他, IEEE Transactions on Electron Devices, 64(3), pp. 856-873, 2017.
 [2] GreenDiamond Project web site : <https://www.greendiamond-project.eu/>
 [3] K. Oyama 他, Appl. Phys. Lett., 94, 152109, 2009.
 [4] G. Bertrand 他, IEEE Journal of Solid-State Circuits, 36 (9), pp. 1373-1381, 2001.
 [5] P. Hower 他, IEEE Transactions on Electron Devices, 17(4), pp. 320-335, 1970.

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計1件（うち招待講演 0件 / うち国際学会 1件）

1. 発表者名 Y. Matsumoto, A. Watanabe
2. 発表標題 TEG design for improving withstanding voltage of diamond power devices
3. 学会等名 9th International Symposium on Applied Engineering and Sciences (SAES2021) (国際学会)
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	渡邊 晃彦 (Watanabe Akihiko) (80363406)	九州工業大学・大学院生命体工学研究科・准教授 (17104)	
研究分担者	附田 正則 (Tsukuda Masanori) (00579154)	九州工業大学・大学院生命体工学研究科・特任准教授 (17104)	削除：2020年9月10日

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------