

令和 3 年 4 月 26 日現在

機関番号：12601

研究種目：基盤研究(B)（一般）

研究期間：2018～2020

課題番号：18H01489

研究課題名（和文）CMOSと整合性の高い強誘電体デバイスの集積化による超低消費電力システムの開拓

研究課題名（英文）Exploration on ultralow power system enabled by CMOS-compatible ferroelectric devices

研究代表者

小林 正治（Masaharu, Kobayashi）

東京大学・大学院工学系研究科（工学部）・准教授

研究者番号：40740147

交付決定額（研究期間全体）：（直接経費） 13,900,000円

研究成果の概要（和文）：本研究では強誘電体HfO<sub>2</sub>を用いたデバイスに関する材料・デバイス・応用に関する研究を行った。材料面では、酸化半導体IGZOが強誘電体HfO<sub>2</sub>と良好な界面を形成することを見出し、またHfO<sub>2</sub>系薄膜における強誘電性発現の起源を第一原理計算により明らかにした。デバイス面では強誘電体HfO<sub>2</sub>を用いたFeFETのデバイスモデルを分極のダイナミクスと電荷トラップを含めて包括的に構築するとともに三次元積層型高密度メモリデバイスを考案しプロトタイプ実証に成功した。応用面では強誘電体HfO<sub>2</sub> FeRAMをモノリシック集積した混載RAMのためにIGZOをアクセストランジスタを用いることを提案し有用性を実証した。

研究成果の学術的意義や社会的意義

現代のデータ駆動型社会においてはビッグデータを利活用することが必須である。しかしIoTエッジデバイスが取得するデータの総量はクラウドを形成するデータセンターのトラフィックよりもはるかに多いことが知られている。ビッグデータの利活用にはエッジデバイスでの大量のデータの蓄積、さらには機械学習を用いたスマートな情報処理が求められる。本研究はエッジデバイスに向けた高密度・低消費電力・高速でかつ実現性の高い次世代メモリデバイスの基盤となる材料・デバイス・応用技術を研究開発した。本研究の成果を基盤技術とするインフラシステムにより今後のビッグデータを利活用した戦略的な社会サービスのイノベーションが期待される。

研究成果の概要（英文）：In this study, we studied HfO<sub>2</sub>-based ferroelectric device in terms of material, device and application. For material, we found that oxide semiconductor IGZO forms defect-less interface with ferroelectric-HfO<sub>2</sub> and clarified the mechanism of the emergence of ferroelectricity in HfO<sub>2</sub> thin film by using first-principles calculation. For device, we developed comprehensive device model of ferroelectric-HfO<sub>2</sub> FeFET including the dynamics of polarization and charge trapping, and demonstrated prototype FeFET memory toward 3D vertically stacked memory device application. For application, we proposed and demonstrated IGZO access transistor that drives ferroelectric HfO<sub>2</sub> capacitor for monolithic integration of embedded FeRAM.

研究分野：集積ナノエレクトロニクス

キーワード：強誘電体 メモリ

## 様式 C - 19、F - 19 - 1、Z - 19 (共通)

### 1. 研究開始当初の背景

近年 Cyber-Physical-System(CPS)が重要なプラットフォーム技術となっている。現実(物理)空間でセンシングされた膨大なデータが、仮想空間のクラウドにおいて蓄積・処理・解析されて、新しい戦略的な社会サービスが提供される。CPS において、クラウド側では従来のハイパフォーマンスコンピュータが引き続き重要となる。一方、物理空間をセンシングする Internet-of-Things(IoT)デバイスの数は今後数兆個を超えると試算されており、必然的に低消費電力であることが重要となる。究極的には自分自身で必要な電力を発電して動作することが期待される。しかし環境によっては微弱な振動や電波から  $1\mu\text{W}$  程度しか電力が得られない場合がある。現在の商用のセンサーモジュールの消費電力が  $10\sim 100\mu\text{W}$  であることを考えると、今後  $10\sim 100$  倍程度の低消費電力化が必要となる。産業的には IoT デバイスの低消費電力化を実現し、いち早く現実空間に展開することが市場を取る上で極めて重要である。この低消費電力化の課題に対して私達は新しい電子デバイスによって解決したい。

IoT デバイスの特徴は、ほとんどの時間スリープ状態であり、時々目覚めてセンシング・データ処理・通信を行うといういわゆる間欠動作である。その場合消費電力を支配するのは電荷充放電のスイッチング電力ではなく、トランジスタ数の多いメモリにおける待機時リーク電流による消費電力である。待機時消費電力を低減するにはリーク電流の削減と低電圧動作が必要であり、そのための方法として私は大きく3つの方向性を考えている。

方向性 電流オンオフ比を向上させるために従来の MOSFET のサブスレショルド係数の下限値  $60\text{mV}/\text{dec}$  を切る急峻スロープトランジスタによる CMOS 回路の構築。

方向性 電源オフ前に状態を不揮発性メモリに待避し、電源オン時にはオーバーヘッドなく状態を復帰させ、スリープ中はモジュールの電源を極力落とすことで待機時消費電力の削減をはかるノーマリーオフコンピューティング。不揮発性(NV)SRAM はその重要な構成要素。

方向性 アーキテクチャの刷新による計算エネルギー効率の向上、特に超並列計算で学習・推論に対して極めてエネルギー効率の高いハードウェア人工ニューラルネットワーク。

これら3つはしかし、現状のシリコン CMOS だけで実現させることは難しく、新しいトランジスタ、メモリ、およびその集積化技術が必要である。CMOS プロセスと整合性が高くローコストで実現される必要があり、これまでにない革新的な材料・デバイス技術が望まれる。

### 2. 研究の目的

研究目的 :方向性 について、様々な急峻スロープトランジスタの中で、負性容量トランジスタ(NCFET)が有力な候補であると考え私は研究を進めてきた。NCFET は通常の MOSFET のゲート絶縁膜に強誘電体を導入しその負性容量を利用することで  $60\text{mV}/\text{dec}$  を下回るサブスレショルド係数をもたらすデバイスであり近年研究が進んでいる。単体トランジスタとしての研究は始まったが回路設計における課題については明らかになっておらず、回路動作の実証例もない。そこで本研究の一つ目の目的として、IoT の中核となる LSI チップで待機時消費電力の大半を占める SRAM のセルに注目し、低電圧動作で低リーク電流な強誘電体  $\text{HfO}_2$  ゲート絶縁膜 NCFET の SRAM セルの設計に伴う課題解決を図り、SRAM セルを試作・実証する。

研究目的 :方向性 について、科研費若手研究 B での研究成果として私は2つの強誘電体  $\text{HfO}_2$  キャパシタを SRAM のノードに組み込んだ NVSRAM の設計・試作・実証に成功した。しかしセルの安定性という観点ではアーキテクチャを変えることで更なる改善が期待できる。またプロセス温度は  $500^\circ\text{C}$  であり、バックエンドプロセスの信頼性を担保するには  $400^\circ\text{C}$  以下にする必要がある。そこで本研究の二つ目の目的として、ばらつきを考慮して低電圧でも高い安定性と信頼性を有する不揮発性 SRAM を検討し設計に伴う課題解決を図り、 $400^\circ\text{C}$  以下で強誘電体  $\text{HfO}_2$  キャパシタを集積した NVSRAM セルの試作・実証を行う。

研究目的 :方向性 について、ニューラルネットのシナプスを模倣するには多値またはアナログメモリが重要な役割を果たし、私は強誘電体トンネル接合(FTJ)メモリが有望と考える。そもそも強誘電体  $\text{HfO}_2$  を用いた FTJ の研究例は少ない。低電圧動作のためには強誘電体薄膜と電極界面で決まるトンネル障壁を適切に設計する必要があるが、その指針は明らかではない。そこで本研究の三つ目の目的として、原子レベルでのシミュレーションにより強誘電体  $\text{HfO}_2$  FTJ の設計指針を明らかにし、低電圧動作 FTJ の設計・試作実証を行う。そして FTJ を用いた人工ニューラルネットによる手書き文字の認識をデモンストラレーションする。

### 3. 研究の方法

研究目的 に対して:まず強誘電体  $\text{HfO}_2$  ゲート絶縁膜 NCFET を歩留りが高くばらつきが小さく作製できるプロセスを確立する。NCFET の実験データからモデルパラメータを抽出し、6T SRAM の設計を行う。NCFET のデバイスパラメータに対する安定性の感度解析とその物理的原因追求を行い設計に関わる課題を洗い出し設計の指針を確立する。その指針に従い NCFET の 6T SRAM を設計し、試作実証を大学のクリーンルームで行う。その後の産業界での展開のために  $65\text{nm}$  テクノロジー以降を想定した設計を行い特性予測を行う。目標としては  $0.5\text{V}$  以下での動作実証と、SRAM セル当たりのリーク電流  $<10\text{pA}$  をねらう。

研究目的 に対して:まず強誘電体  $\text{HfO}_2$  キャパシタおよび MOSFET のデバイスパラメータを抽出し、

それらのパラメータに対する安定性の感度解析を行い、設計に関わる課題を洗い出して設計の指針を確立する。特に低電圧化する際のノイズマージンに加えて、NVS RAM に固有のデータの待避・復帰動作マージン、さらにアクセス時間、消費電力のオーバーヘッドを分析する。これらの指針に従い NVSRAM を設計し、大学のクリーンルームで試作実証する。並行して強誘電体  $\text{HfO}_2$  キャパシタの信頼性を評価しその向上を図る。と同様 65nm テクノロジー以降を想定した設計を行い特性予測を行う。目標は 400 以下の強誘電体  $\text{HfO}_2$  キャパシタプロセスの開発、NVS RAM の 1V 以下動作実証、10 年保持・耐久性の保証である。

研究目的 に対して:まず第一原理計算によって低電圧で高い電流オンオフ比を実現する電極/強誘電体材料と構造を考案する。クロスポイント型の FTJ アレーを設計・試作し機能実証を行う。目標は 1V 以下で動作し電流オンオフ比 100 以上の動作実証および 10 年保持・耐圧の保証である。その後 FTJ の多値・アナログメモリ特性を確認し、FTJ アレーをシナプス網とする人工ニューラルネットのデモを行う。今回は FTJ シナプスの実装に注力し、ニューロンおよび学習回路は外部回路・ソフトウェアで実装する。

#### 4. 研究成果

##### 2018 年度

(1)これまで強誘電体  $\text{HfO}_2$  をゲート絶縁膜とする強誘電体トランジスタの動作は分極反転の静的な特性のみを用いてモデリングが行われていたが、ロジック・メモリの高速度動作に向けては分極反転のダイナミクスを考慮することが必要であり、特にサブスレシールド領域の動作理解には極めて重要と認識していた。そこで強誘電体の分極のダイナミクスを Preicach-Miller モデルとして導入した強誘電体  $\text{HfO}_2$  FeFET の TCAD モデルを構築し、サブスレシールド特性に与える影響を系統的に調査した。そして 60mV/dec を切るサブスレシールド係数が発現するには、分極反転に伴って空乏層容量による過渡的な脱分極効果が効いていることを明らかにした。これは現在「過渡的な負性容量効果」と呼ばれている。さらにこのメカニズムは分極反転の時定数と電圧掃引速度が同調するときに顕著であり、これまでの実験報告と一致していることを確認した。

代表論文: Chengji Jin, Takuya Saraya, Toshiro Hiramot, **Masaharu Kobayashi**, "On the Physical Mechanism of Transient Negative Capacitance Effect in Deep Subthreshold Region", Journal of Electron Device Society, 7, 368-374 (2019).

(2)強誘電体  $\text{HfO}_2$  を用いた FTJ の設計指針についてはほとんど報告例がなく、まずその設計指針を明らかにすることから始めた。FTJ の特性で最も重要なものの一つが大きな抵抗オンオフ比を実現することである。そのためにはオン時とオフ時で大きなトンネル障壁の非対称性を実現することが重要である。解析モデリングにより上部と下部の電極に金属電極を用いると大きな非対称性が得られないことがわかり、代わりに上部に金属、下部に半導体電極を用いたところ、両者の静電遮蔽効果が大きいことにより極めて大きなポテンシャル変動が起こりトンネル障壁の大きな非対称性が得られることが分かった。この知見をもとにデバイスの設計パラメータ領域を定め、具体的に 4nm の  $\text{HfO}_2$  薄膜で強誘電性が出るための材料と、スイッチング電圧が対称になるように適切な仕事関数をもつ金属電極を実現するプロセスを開発し、世界最高レベルのオンオフ比と多値動作の実現に成功した。試作した FTJ のデバイスパラメータを抽出して多層ニューラルネットワークのシミュレーションを行い、十分に高い画像認識率が得られることがわかった。

代表論文: **Masaharu Kobayashi**, Yusaku Tagawa, Fei Mo, Takuya Saraya, Toshiro Hiramoto, "Ferroelectric  $\text{HfO}_2$  Tunnel Junction Memory With High TER and Multi-Level Operation Featuring Metal Replacement Process", Journal of Electron Device Society, 7, 134-139 (2018).

##### 2019 年度

(1)強誘電体  $\text{HfO}_2$  FeFET においては、通常の MOSFET と比べて逆 DIBL と負性出力抵抗という特異な現象が起こることが実験的に報告されている。しかしその物理的要因については十分に解明されていなかった。そこで本研究では 2018 年度に構築したモデルをベースにこれらの現象の解明を行った。逆 DIBL はドレイン電圧が過渡的な負性容量効果の発現に影響を与え、大きなドレイン電圧が印加された状態ではドレイン近傍のポテンシャルが通常と異なり上昇しトランジスタの閾値が高くなることが原因であることがわかった。負性出力抵抗については、ドレイン電圧を掃引することでドレイン電圧が負性容量効果を誘引し、逆 DIBL と同様にドレイン電圧を印加するにつれてドレイン近傍のポテンシャルが通常と異なり上昇し閾値が高くなることが原因とわかった。これらの現象はデバイスの初期化条件に依存することも報告されており、今回のモデリングの結果は整合性がとれている。

代表文献: Chengji Jin, Takuya Saraya, Toshiro Hiramoto, and **Masaharu Kobayashi**, "Transient Negative Capacitance as Cause of Reverse Drain-induced Barrier Lowering and Negative Differential Resistance in Ferroelectric FETs", VLSI technology symposium 2019, pp.220-221, June 13, 2019.

(2)2017 年に強誘電体  $\text{HfO}_2$  キャパシタを集積した NVSRAM の提案を行い、そのプロトタイプ実証を行った。しかしプロトタイプではマイクロメートルサイズの大きなデバイスでの実証であったため、NVSRAM の有効性を示すためには、先端 CMOS テクノロジーを想定して実現可能性を示すことが重要であると認識していた。そこで今回、45nm テクノロジー以降の先端 CMOS テクノロジーを想定したセル構造の設計と動作マージンの調査を行った。その結果、6T4C セル構造の採用とコンタクト領域での強誘電体  $\text{HfO}_2$

キャパシタの形成技術を導入することで、高い動作マージンを維持しながら 14nm 級の CMOS テクノロジーでの NVSRAM の実現可能性を示した。NVSRAM は分極反転そのものではなく 2 つの分極状態でのキャパシタンスの差を利用するため、FeRAM と比べてよりスケーラビリティがあると考えられ、将来技術として大きく期待される。

代表文献: Kiyoshi Takeuchi, **Masaharu Kobayashi**, and Toshiro Hiramoto, "A Feasibility Study on Ferroelectric Shadow SRAMs Based on Variability-Aware Design Optimization", Journal of Electron Devices Society, 7, 1284 (2019).

(3)本年度は当初の研究目的を超えて新しく、IoT エッジデバイスでの大容量・低消費電力のストレージメモリとして NAND フラッシュメモリを代替する FeFET メモリの実現を目指すデバイス研究に挑戦・着手した。NAND フラッシュメモリでは現在大容量化のため三次元積層構造が採用されている。同じ 1T 構造の FeFET でも同様のアーキテクチャを採用することが望まれるが、大きな課題となるのがポリシリコンをチャンネルとして用いた場合、強誘電体 HfO<sub>2</sub> 材料との間に low-k の界面層を形成してしまい、それが電荷トラップと電圧損失につながり高信頼性・低電圧動作の障害となることである。そこで本研究では、ポリシリコンチャンネルに代わり酸化物半導体である IGZO をチャンネルとして用いることを提案した。IGZO はポリシリコンに匹敵する移動度を有する酸化物半導体であり、また強誘電体 HfO<sub>2</sub> との間に low-k 界面層を原理的に形成しない。実験により IGZO でキャッピングされた HfO<sub>2</sub> 薄膜が 400 程度のプロセス温度で高い強誘電性を示すこと、さらには安定した書き換え耐性を有することを確認し、実際に IGZO をチャンネルとする FeFET を設計・試作し、十分に大きなメモリウィンドウを有することを示すことに成功した。

代表文献: Fei Mo, Yusaku Tagawa, Chengji Jin, MinJu Ahn, Takuya Saraya, Toshiro Hiramoto and **Masaharu Kobayashi**, "Experimental Demonstration of Ferroelectric HfO<sub>2</sub> FET with Ultrathin-body IGZO for High-Density and Low-Power Memory Application", VLSI technology symposium 2019, pp. 42-43, June 11, 2019.

## 2020 年度

(1)HfO<sub>2</sub> 系薄膜における強誘電性は 2011 年ごろに発見されたが、その発現のメカニズムに関する部分的な研究は多く存在するが、統一的な理解はまだ得られていないのが現状である。私たちは HfO<sub>2</sub> 系薄膜を結晶化する熱プロセス課程を包括的に考慮したメカニズム解明に取り組んだ。まず第一原理計算によりドーパントとグレインの界面エネルギーが正方晶のエネルギーを下げ安定化することに有効に働くことを示し、さらに高温にしてエントロピーの効果を取り込むことで、正方晶が高温でさらに安定化し、核形成を促進することを明らかにした。次に正方晶を析出させた後の冷却過程で正方晶が単斜晶よりも運動学的に低い遷移障壁を有する強誘電体相へと相転移することを明らかにし、第一原理分子動力学法でも確認した。

代表文献: Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, and **Masaharu Kobayashi**, "A first-principles study on ferroelectric phase formation of Si-doped HfO<sub>2</sub> through nucleation and phase transition in thermal process", Applied Physics Letter, 117, 252904 (2020), December 21, 2020.

(2)2019 年度には大容量 FeFET メモリの実現に向けて三次元積層構造を採用することを提案した。FeFET メモリでも NAND フラッシュメモリと同様に、チャンネルは N 型のジャンクションレストランジスタ動作を用いることになる。その場合書き込み動作において、プログラム動作には多数キャリアである電子を速やかに誘起することができるが、消去動作には少数キャリアである正孔を誘起することが難しい。そこで NAND フラッシュメモリの動作にヒントを得て、FeFET でも GIDL を利用して成功を誘起することで効果的に消去動作ができる可能性を考え、まず TCAD シミュレーションで検証した。次に実際に SOI 構造のジャンクションレス型 FeFET を試作し、GIDL によって消去が確かに有効に行われ、GIDL がない場合と比べて大きなメモリウィンドウと高速消去動作ができることを実験的に示すことに成功した。

代表文献: Fei Mo, Jiawen Xiang, Xiaoran Mei, Yoshiki Sawabe, Takuya Saraya, Toshiro Hiramoto, Chun-Jung Su, Vita Pi-Ho Hu, and **Masaharu Kobayashi**, "Critical Role of GIDL Current for Erase Operation in 3D Vertical FeFET and Compact Long-term FeFET Retention Model", accepted in VLSI Symposium on Technology 2021.

(3)本研究の目的では当初強誘電体 HfO<sub>2</sub> キャパシタを用いた不揮発性メモリとして NVSRAM の研究のみを想定していた。NVSRAM はレジスタやキャッシュ、データバスにおけるフリップフロップなどに用いられることが想定される。一方昨今、大量のデータを用いる機械学習が頻繁に用いられるようになり、大容量のオンチップメモリと、メモリ-プロセッサ間の広帯域データ伝送が極めて重要となってきている。そのためメインメモリクラスの大容量メモリのオンチップ化および三次元集積化が望まれていることを認識している。そこで最終年度では強誘電体 HfO<sub>2</sub> キャパシタの高いスケーラビリティを生かして、高密度 FeRAM の三次元集積化のため、IGZO をチャンネルとするアクセストランジスタを用いた 1T1C セル型 FeRAM を配線層工程において三次元積層することを提案した。IGZO チャンネルの移動度はシリコンチャンネルには及ばないものの、メインメモリに必要とされるナノ秒オーダーのセル動作には十分であることを解析モデルにより明らかにした。そして実際に強誘電体 HfO<sub>2</sub> キャパシタと IGZO アクセストランジスタを集積したメモリセルを試作し、その動作実証に成功した。さらに SPICE シミュレーションにより微細セルで実際にサ

ピコ秒でのセル動作が可能であることを示した。

代表文献: Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, Mototaka Ochi, Hiroshi Goto, and **Masaharu Kobayashi**, “Mobility-enhanced FET and Wakeup-free Ferroelectric Capacitor Enabled by Sn-doped InGaZnO for 3D Embedded RAM Application”, accepted in VLSI Symposium on Technology 2021.

## 5. 主な発表論文等

〔雑誌論文〕 計14件（うち査読付論文 12件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Jin C., Su C. J., Lee Y. J., Sung P. J., Hiramoto T., Kobayashi M.	4. 巻 68
2. 論文標題 Study on the Roles of Charge Trapping and Fixed Charge on Subthreshold Characteristics of FeFETs	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Electron Devices	6. 最初と最後の頁 1304 ~ 1312
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TED.2020.3048916	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 小林正治	4. 巻 3月号
2. 論文標題 次世代高機能材料の動向	5. 発行年 2020年
3. 雑誌名 Yano E Plus (矢野経済研究所)	6. 最初と最後の頁 54-57
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 小林正治	4. 巻 89
2. 論文標題 強誘電体HfO <sub>2</sub> メモリの現状と課題	5. 発行年 2020年
3. 雑誌名 応用物理	6. 最初と最後の頁 314-320
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Mo Fei, Saraya Takuya, Hiramoto Toshiro, Kobayashi Masaharu	4. 巻 13
2. 論文標題 Reliability characteristics of metal/ferroelectric-HfO <sub>2</sub> /IGZO/metal capacitor for non-volatile memory application	5. 発行年 2020年
3. 雑誌名 Applied Physics Express	6. 最初と最後の頁 074005 ~ 074005
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1882-0786/ab9a92	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Jin Chengji, Saraya Takuya, Hiramoto Toshiro, Kobayashi Masaharu	4. 巻 8
2. 論文標題 Physical Mechanisms of Reverse DIBL and NDR in FeFETs With Steep Subthreshold Swing	5. 発行年 2020年
3. 雑誌名 IEEE Journal of the Electron Devices Society	6. 最初と最後の頁 429 ~ 434
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JEDS.2020.2986345	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Mo Fei, Tagawa Yusaku, Jin Chengji, Ahn MinJu, Saraya Takuya, Hiramoto Toshiro, Kobayashi Masaharu	4. 巻 8
2. 論文標題 Low-Voltage Operating Ferroelectric FET with Ultrathin IGZO Channel for High-Density Memory Application	5. 発行年 2020年
3. 雑誌名 IEEE Journal of the Electron Devices Society	6. 最初と最後の頁 717 ~ 723
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JEDS.2020.3008789	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Wu Jixuan, Mo Fei, Saraya Takuya, Hiramoto Toshiro, Kobayashi Masaharu	4. 巻 67
2. 論文標題 A Monolithic 3-D Integration of RRAM Array and Oxide Semiconductor FET for In-Memory Computing in 3-D Neural Network	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Electron Devices	6. 最初と最後の頁 5322 ~ 5328
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TED.2020.3033831	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Wu Jixuan, Mo Fei, Saraya Takuya, Hiramoto Toshiro, Kobayashi Masaharu	4. 巻 117
2. 論文標題 A first-principles study on ferroelectric phase formation of Si-doped HfO <sub>2</sub> through nucleation and phase transition in thermal process	5. 発行年 2020年
3. 雑誌名 Applied Physics Letters	6. 最初と最後の頁 252904 ~ 252904
掲載論文のDOI (デジタルオブジェクト識別子) 10.1063/5.0035139	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kiyoshi Takeuchi, Masaharu Kobayashi, Toshiro Hiramoto	4. 巻 59
2. 論文標題 A simulation study on low voltage operability of hafnium oxide based ferroelectric FET memories	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SGGB11
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/ab6cb4	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Takeuchi Kiyoshi, Kobayashi Masaharu, Hiramoto Toshiro	4. 巻 7
2. 論文標題 A Feasibility Study on Ferroelectric Shadow SRAMs Based on Variability-Aware Design Optimization	5. 発行年 2019年
3. 雑誌名 IEEE Journal of the Electron Devices Society	6. 最初と最後の頁 1284 ~ 1292
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JEDS.2019.2949564	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Jin Chengji, Saraya Takuya, Hiramoto Toshiro, Kobayashi Masaharu	4. 巻 7
2. 論文標題 On the Physical Mechanism of Transient Negative Capacitance Effect in Deep Subthreshold Region	5. 発行年 2019年
3. 雑誌名 IEEE Journal of the Electron Devices Society	6. 最初と最後の頁 368 ~ 374
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JEDS.2019.2899727	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kobayashi Masaharu, Tagawa Yusaku, Mo Fei, Saraya Takuya, Hiramoto Toshiro	4. 巻 7
2. 論文標題 Ferroelectric HfO <sub>2</sub> Tunnel Junction Memory With High TER and Multi-Level Operation Featuring Metal Replacement Process	5. 発行年 2019年
3. 雑誌名 IEEE Journal of the Electron Devices Society	6. 最初と最後の頁 134 ~ 139
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JEDS.2018.2885932	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -



1. 著者名 Jang Kyungmin, Kobayashi Masaharu, Hiramoto Toshiro	4. 巻 57
2. 論文標題 Role of gate current and polarization switching in sub-60 mV/decade steep subthreshold slope in metal/ferroelectric HfZrO <sub>2</sub> /metal/insulator/Si FET	5. 発行年 2018年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 114202 ~ 114202
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/JJAP.57.114202	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kobayashi Masaharu	4. 巻 11
2. 論文標題 A perspective on steep-subthreshold-slope negative-capacitance field-effect transistor	5. 発行年 2018年
3. 雑誌名 Applied Physics Express	6. 最初と最後の頁 110101 ~ 110101
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/APEX.11.110101	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

[学会発表] 計50件 (うち招待講演 26件 / うち国際学会 24件)

1. 発表者名 Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi
2. 発表標題 A First-Principles Study on Ferroelectric Phase Formation of Si-Doped HfO <sub>2</sub>
3. 学会等名 第68回応用物理学会学術講演会
4. 発表年 2021年

1. 発表者名 FEI MO, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi
2. 発表標題 Comparative Study on Memory Characteristics of Ferroelectric-HfO <sub>2</sub> Transistors with Different Structure of Oxide-Semiconductor Channel
3. 学会等名 第68回応用物理学会学術講演会
4. 発表年 2021年

1. 発表者名 項 嘉文, 張 文馨, 更屋 拓哉, 入沢 寿史, 平本 俊郎, 小林 正治
2. 発表標題 大容量低消費電力メモリ応用に向けたMoS2チャンネルを有するHfO2系強誘電体トランジスタの実験実証
3. 学会等名 第68回応用物理学会学術講演会
4. 発表年 2021年

1. 発表者名 莫非, 更屋 拓哉, 平本 俊郎, 小林 正治
2. 発表標題 Reliability characteristics of Ferroelectric-HfO2 capacitor with IGZO capping for non-volatile memory application
3. 学会等名 第68回応用物理学会学術講演会 (招待講演)
4. 発表年 2021年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Emerging Ferroelectric Devices for Energy-Efficient Computing
3. 学会等名 Semicon Korea (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto and Masaharu Kobayashi
2. 発表標題 A Monolithic 3D Integration of RRAM Array with Oxide Semiconductor FET for In-memory Computing in Quantized Neural Network AI Applications
3. 学会等名 VLSI Symposium on Technology (国際学会)
4. 発表年 2020年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Emerging Ferroelectric-HfO2 Based Device Technologies for Energy-Efficient Computing
3. 学会等名 2020 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA) (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 IGZO Channel Ferroelectric Memory FET
3. 学会等名 ACTIVE-MATRIXFLATPANEL DISPLAYS AND DEVICES (AM-FPD) 2020 (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Fei Mo, Saraya Takuya, Toshiro Hiramoto, Masaharu Kobayashi
2. 発表標題 Reliability characteristics of Ferroelectric-HfO2 capacitor with IGZO capping for 3D structure non-volatile memory application
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 Paul Johansen, Masaharu Kobayash
2. 発表標題 A Simulation Study on the System Performance of Neural Networks using Embedded Nonvolatile Memory
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 Jixuan Wu, Fei Mo, Saraya Takuya, Toshiro Hiramoto, Masaharu Kobayashi,
2. 発表標題 3D Integration of RRAM Array with Oxide Semiconductor FET for In-Memory Computing
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 On the Physical Mechanism of Negative Capacitance Effect in Ferroelectric FET
3. 学会等名 SISPAD 2020 (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Masaharu Kobayashi, Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto
2. 発表標題 3D Neural Network: Monolithic Integration of Resistive-RAM Array with Oxide-Semiconductor FET
3. 学会等名 ECS PRiME 2020 (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Ferroelectric-HfO2 Devices: Physics and Applications
3. 学会等名 ECS PRiME 2020 (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 小林正治
2. 発表標題 三次元ニューラルネットの実現に向けた抵抗変化型メモリと酸化物半導体トランジスタのモノリシック集積
3. 学会等名 NEDIA 第7回電子デバイスフォーラム京都 (招待講演)
4. 発表年 2020年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Ferroelectric-HfO2 transistor memory with IGZO channel
3. 学会等名 the 77th Fujihara Seminar (招待講演)
4. 発表年 2019年

1. 発表者名 Fei Mo, Yusaku Tagawa, Chengji Jin, MinJu Ahn, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi
2. 発表標題 Experimental Demonstration of Ferroelectric HfO2 FET with Ultrathin-body IGZO for High-Density and Low-Power Memory Application
3. 学会等名 VLSI technology symposium 2019, June 11th, 2019, Kyoto (国際学会)
4. 発表年 2019年

1. 発表者名 Chengji Jin, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi
2. 発表標題 Transient Negative Capacitance as Cause of Reverse Drain-induced Barrier Lowering and Negative Differential Resistance in Ferroelectric FETs
3. 学会等名 VLSI technology symposium 2019, June 13th, 2019, Kyoto (国際学会)
4. 発表年 2019年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Challenges and opportunities of ferroelectric-HfO <sub>2</sub> based transistor and memory technologies
3. 学会等名 Symposium on Nano Device Technology, TSRI, hsinchu, Taiwan, Apr. 4, 2019 (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Ferroelectric-HfO <sub>2</sub> based transistor and memory technologies enabling ultralow power IoT applications
3. 学会等名 2019 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2019), Busan, Korea (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 小林正治, 莫非, 多川友作, 金成吉, 安珉柱, 更屋拓哉, 平本俊郎
2. 発表標題 極薄IGZOチャネルを有する強誘電体トランジスタメモリの検討
3. 学会等名 シリコン材料・デバイス(SDM)研究会, 北海道大学, 2019年8月9日 (招待講演)
4. 発表年 2019年

1. 発表者名 Chengji Jin, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi
2. 発表標題 Mechanisms of Reverse-DIBL and NDR Observed in Ferroelectric FETs
3. 学会等名 第80回応用物理学会秋季学術講演会, 北海道大学 (北海道), 18p-B11-1
4. 発表年 2019年

1. 発表者名 FEI MO, Yusaku Tagawa, Chengji Jin, MinJu Ahn, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi
2. 発表標題 Demonstration of HfO2 based Ferroelectric FET with Ultrathin-body IGZO for High-Density Memory Application
3. 学会等名 第80回応用物理学会秋季学術講演会, 北海道大学 (北海道), 18p-B11-2
4. 発表年 2019年

1. 発表者名 小林正治
2. 発表標題 負性容量トランジスタの理解と今後の展望
3. 学会等名 第80回応用物理学会秋季学術講演会, 北海道大学 (北海道), 2019年9月20日 (招待講演)
4. 発表年 2019年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Comprehensive Understanding of Negative Capacitance FET From the Perspective of Transient Ferroelectric Model
3. 学会等名 2019 IEEE 13th International Conference on ASIC (ASICON), Oct. 30, 2019, Chongqing, China (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Emerging ferroelectric memory devices by material innovation
3. 学会等名 ISCSI-8, Tohoku University, Nov. 28th, 2019, pp. 63-64. (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 小林正治, 莫非, 多川友作, 更屋拓哉, 平本俊郎
2. 発表標題 強誘電体HfO2トンネル接合メモリのスケーラビリティに関する検討
3. 学会等名 シリコン材料・デバイス研究会 (SDM研究会), 機械振興会館, 2019年11月7日 (招待講演)
4. 発表年 2019年

1. 発表者名 吉村英将, 莫非, 平本俊郎, 小林正治
2. 発表標題 強誘電体トンネル接合メモリの大規模集積化に向けた設計に関する検討
3. 学会等名 第67回応用物理学会春季学術講演会, 上智大学 (COVID-19のため開催中止), 2020年3月14日
4. 発表年 2020年

1. 発表者名 小林 正治, 多川 友作, Chengji Jin, Mo Fei, 平本 俊郎
2. 発表標題 強誘電体HfO2を用いた低消費電力トランジスタ・メモリ技術の新展開
3. 学会等名 LSIとシステムのワークショップ
4. 発表年 2019年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Challenges and opportunities of ferroelectric-HfO2 based transistor and memory technologies
3. 学会等名 Symposium on Nano Device Technology (招待講演) (国際学会)
4. 発表年 2019年



1. 発表者名 Chenji Jin, Kyungmin Jang, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi
2. 発表標題 Experimental Study on the Role of Polarization Switching in Subthreshold Characteristics of HfO <sub>2</sub> -based Ferroelectric and Anti-ferroelectric FET
3. 学会等名 International Conference on Electron Device Meeting (IEDM) 2018 (国際学会)
4. 発表年 2018年

1. 発表者名 Fei Mo, Yusaku Tagawa, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi
2. 発表標題 Scalability Study on Ferroelectric-HfO <sub>2</sub> Tunnel Junction Memory Based on Non-equilibrium Green Function Method with Self-consistent Potential
3. 学会等名 International Conference on Electron Device Meeting (IEDM) 2018 (国際学会)
4. 発表年 2018年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 HfO <sub>2</sub> -Based Ferroelectric Tunnel Junction Memory with Large Tunneling Electroresistance Effect and Multi-level Cell
3. 学会等名 ENGE 2018 (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Technology Breakthrough by Ferroelectric HfO <sub>2</sub> for Low Power Logic and Memory Applications
3. 学会等名 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S) (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Technology Breakthrough by Ferroelectric HfO <sub>2</sub> for Low Power Logic and Memory Applications
3. 学会等名 ECS meeting (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 C. Jin, T. Hiramoto, M. Kobayashi,
2. 発表標題 On the Physical Origin of Steep Subthreshold Slope in Ferroelectric FET: Transient Negative Capacitance Effect Caused by Polarization Switching Delay
3. 学会等名 International Conference on Solid State Devices and Materials (SSDM) 2018 (国際学会)
4. 発表年 2018年

1. 発表者名 M. Kobayashi, Y. Tagawa, M. Fei, T. Saraya, T. Hiramoto
2. 発表標題 Device and Process Design for HfO <sub>2</sub> -Based Ferroelectric Tunnel Junction Memory with Large Tunneling Electroresistance Effect and Multi-level Cell
3. 学会等名 2018 IEEE Silicon Nanoelectronics Workshop (国際学会)
4. 発表年 2018年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Technology Breakthrough by Ferroelectric HfO <sub>2</sub> for Low Power Logic and Memory Applications
3. 学会等名 2018 IEEE Silicon Nanoelectronics Workshop (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 Masaharu Kobayashi, Nozomu Ueyama, and Toshiro Hiramoto
2. 発表標題 A Nonvolatile SRAM Based on Ferroelectric HfO <sub>2</sub> capacitor for IoT Power Management
3. 学会等名 ECS meeting (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 Masaharu Kobayashi
2. 発表標題 Design Considerations for Negative Capacitance FET with Ferroelectric HfO <sub>2</sub>
3. 学会等名 2018 ISAF-FMA-AMF-AMEC-PFM Joint Conference (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 莫非, 多川 友作, 更屋 拓哉, 平本 俊郎, 小林 正治
2. 発表標題 Scalability Study on Ferroelectric-HfO <sub>2</sub> Tunnel Junction Memory
3. 学会等名 第66回応用物理学会春季学術講演会
4. 発表年 2018年

1. 発表者名 Chengji Jin, Takuya Saraya, Toshiro Hiramoto <sup>1</sup> , Masaharu Kobayashi
2. 発表標題 Polarization Switching as the Cause of Steep Subthreshold Slope in Ferroelectric FETs
3. 学会等名 第66回応用物理学会春季学術講演会
4. 発表年 2018年

1. 発表者名 多川 友作, 更屋 拓哉, 平本 俊郎, 小林 正治
2. 発表標題 反強誘電体ZrO <sub>2</sub> を有するMIS構造のユニポーラスイッチング特性
3. 学会等名 第66回応用物理学会春季学術講演会
4. 発表年 2018年

1. 発表者名 小林 正治
2. 発表標題 A perspective on ultrasmall silicon CMOS transistor technologies
3. 学会等名 2018年日本表面真空学会学術講演会 (招待講演)
4. 発表年 2018年

1. 発表者名 Chengji Jin, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi
2. 発表標題 Steep Subthreshold Slope in Ferroelectric FET by Transient Negative Capacitance Effect with Polarization Switching Delay
3. 学会等名 第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 Fei Mo, Tagawa Yusaku, Saraya Takuya, Hiramoto Toshiro, Kobayashi Masaharu
2. 発表標題 Ferroelectric Neuron for Feedforward Neural Network Application
3. 学会等名 第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 小林 正治
2. 発表標題 強誘電体HfO2によるロジック・メモリデバイスの新展開
3. 学会等名 第79回応用物理学会秋季学術講演会（招待講演）
4. 発表年 2018年

1. 発表者名 多川 友作, 莫 非, 更屋 拓哉, 平本 俊郎, 小林 正治
2. 発表標題 高TER・多値メモリ性を有するHfO2強誘電トンネル接合メモリのためのデバイスおよびプロセス設計
3. 学会等名 第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 小林 正治
2. 発表標題 強誘電性材料によるSi集積回路の低消費電力化の検討
3. 学会等名 第79回応用物理学会秋季学術講演会（招待講演）
4. 発表年 2018年

1. 発表者名 小林正治, 多川友作, バク ヒ, 平本俊郎
2. 発表標題 強誘電体HfO2 FTJの高TER化と多値化のためのデバイスおよびプロセス設計
3. 学会等名 電子情報通信学会シリコン材料・デバイス研究会 (SDM)
4. 発表年 2018年

〔図書〕 計0件

〔出願〕 計1件

産業財産権の名称 不揮発性記憶素子	発明者 小林正治，莫非，平 本俊郎	権利者 同左
産業財産権の種類、番号 特許、2019-146870	出願年 2019年	国内・外国の別 国内

〔取得〕 計0件

〔その他〕

小林研究室ホームページ <a href="https://nano-lsi.iis.u-tokyo.ac.jp/">https://nano-lsi.iis.u-tokyo.ac.jp/</a>
--

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
連携研究者	平本 俊郎  (Hiramoto Toshiro)  (20192718)	東京大学・生産技術研究所・教授    (12601)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------