

令和 4 年 6 月 9 日現在

機関番号：13201

研究種目：基盤研究(B) (一般)

研究期間：2018～2021

課題番号：18H01496

研究課題名(和文)表面再構成制御成長法を用いたSi基板上へのInSb系CMOSの作製

研究課題名(英文) Study of InSb-related CMOS on Si substrate with surface reconstruction controlled epitaxy

研究代表者

森 雅之 (Mori, Masayuki)

富山大学・学術研究部工学系・准教授

研究者番号：90303213

交付決定額(研究期間全体)：(直接経費) 16,480,000円

研究成果の概要(和文)：n-InSb/Al₂O₃/Si FETの特性を制限する。InSb/Al₂O₃界面に形成される高密度の界面準位密度の影響を軽減するため、InSbとAl₂O₃との間に、薄いGaSb層を挿入したデバイスを作製し、特性の比較を行ったが、GaSb層を挿入しないデバイスの方が特性が良いという結果となった。Si上に成長したGaSb薄膜を用いたFETを作製し、特性評価を行った。GaSb p-MOSFETの作製には成功したものの、歩留まりが悪く、また、特性が不安定であった。今後CMOS実現のために、p-MOSFETの特性向上が必要である。

研究成果の学術的意義や社会的意義

微細化による性能向上が限界に近付きつつあるSi半導体に代わるデバイス材料として、Siよりも優れた電気特性を持つInSbやGaSbに着目し、高速デバイスの作製を目指した。すでに実現しているSi上に成長させたInSbを用いたトランジスタの性能向上のために、InSbの面内配向性の向上や、結晶構造の変更を試みた。また、歩留まりや性能は良くないものの、Si上に成長したGaSbを用いたp型MOSFETデバイスの作製に成功した。今後これらのデバイスを用いたCMOS FETの実現に向けてそれぞれのデバイスの特性を向上させる必要がある。

研究成果の概要(英文)：To reduce the effect of the density of states at the interface between InSb and Al₂O₃, we tried to insert the thin GaSb layer between InSb and Al₂O₃. The devices with the structure showed lower device performance compared with the previous one (without thin GaSb layer). So it is necessary to study the reason.

We tried to fabricate p-MOSFETs using GaSb/Si, and characterized their device performance. We succeeded in fabricating p-MOSFETs. However, their device performance and/or yield was not good. So it is necessary to improve device performance of p-MOSFETs for realization of CMOS.

研究分野：半導体薄膜成長及びそのデバイス応用

キーワード：InSb MOSFETs 表面再構成制御成長法 GaSb 界面準位

1. 研究開始当初の背景

ポスト Si-CMOS 時代に向け、InGaAs や InSb を利用した MOSFET の研究が盛んに行われている。2013 年の国際半導体技術ロードマップ(International Technology Roadmap for Semiconductor)によると、Si-CMOS のスケールリングを維持するため、今後チャネル材料を Ge や III-V 族化合物半導体に置き換える必要があると予測されている。この実現のため大きな障害となるのが、Si 基板上への化合物半導体の集積化技術である。現在最も研究が進んでいるのは基板貼り合わせであるが、化合物半導体基板の大きさは Si 基板に比べて小さく、大面積 Si 基板上全面に化合物半導体 MOSFET を作製することは困難である。結晶成長法はこの問題を解決できるが、Si 上に良質な InGaAs や InSb の成長は困難である。Si 基板上に比較的良質な結晶成長できる GaAs をバッファ層に用いる方法も報告されているが分厚いバッファ層が必要となることが問題である。これは、Si と InGaAs、InSb との間の大きな格子不整合のため、ヘテロエピタキシャル成長が極めて困難なためである。

我々はこれまでに、Si 基板上の In や Sb 吸着による表面再構成構造と InSb のヘテロエピタキシャル成長の関係に着目し、堆積の初期段階の表面再構成構造がその後の成長に大きな影響を持つことを明らかにしてきた。特に、ある条件の下で、In と Sb を Si(111)基板上に 1 原子層程度吸着させた場合、(InSb 単分子層が形成) その上に成長した InSb 薄膜が Si 基板に対して 30° 回転することを発見した。図 1 の様に面内で 30° 回転すると格子不整合が 19.3% から 3.3% に軽減されるため、InSb/Si 界面における転位の発生が大幅に抑制され、結晶性、電気的特性が向上する。これはエピタキシャル成長が困難とされる InSb/Si 系において、高品質の薄膜を得るための非常に重要な発見である。

我々はこれまでに、この新規な成長法を用いて作製した Si(111)基板上の InSb 薄膜(膜厚 1 μ m)において、室温で約 40,000cm²/Vs という非常に高い電子移動度を達成している。この移動度は、GaAs 基板上あるいは Si 基板上へ異種材料バッファ層を介して成長させた InSb 薄膜のものに匹敵し、Si 基板上へ直接成長した InSb 薄膜としては極めて高い値である。

さらに、この大幅な格子不整合の減少は、pseudomorphic InSb チャンネルという全く新しい可能性を生み出した。3%程度の格子定数差であれば、格子歪みにより転位の発生を抑える pseudomorphic 成長により、チャンネルとして実用的な厚さの結晶成長が可能となる。我々は、Si 基板上に直接成長した極薄 InSb(膜厚 10~15nm)をチャンネルとした Al₂O₃/InSb/Si

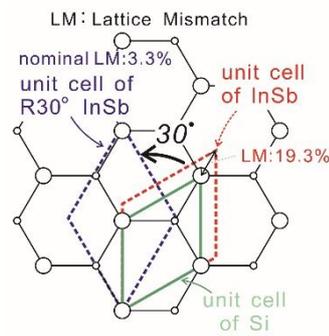


図 1 格子不整合緩和の概略

MOSFET を報告している。表面再構成制御成長法で作製した高品質な InSb/Si ヘテロ接合がチャンネル中の電子を閉じ込める良い電子バリアになり、また、InSb を臨界膜厚近くまで薄くすることで結晶性が向上し、チャンネルとして利用できるようになった。現在、InSb の膜厚 15nm、ゲート長 0.46 μ m、ゲート幅 20 μ m の試料で、140mS/mm という良好な相互コンダクタンスが得られている。Si 基板上に直接、極薄の InSb を成長させるだけでトランジスタ動作するこのデバイスは、表面再構成制御成長法によって初めて実現可能であり、基板貼り合わせや分厚いバッファ層、複雑な結晶構造の作製を必要としないため、Si 基板上 III-VCMOS 実現のために最も有力な技術である。また、レアアース材料である In の使用を最小限に低減でき、高性能なデバイスを低コスト・短時間で作製できる最も有望な方法である。

2. 研究の目的

これまでに得られた結果を基盤に、Si に代わるチャネル材料としての pseudomorphic InSb の可能性を実証し、Si 基板上へ直接成長した InSb 系極薄チャンネルを用いた超高速・超低消費電力 CMOSFET の実現することを目的とする。この実現のため、デバイス構造、結晶成長の両面から研究を行う。また、本研究で対象とする InSb/Si ヘテロ界面は、従来にない新しいヘテロ構造であるため、その物性についても研究を進め、デバイスにフィードバックする。これには、MOS 界面準位密度やソース抵抗低減のためのデバイス構造・プロセスの検討、さらには、臨界膜厚の評価や、InSb/Si ヘテロ接合の伝導帯不連続、界面の電気的特性の評価が重要な項目として含まれる。また、格子不整合が 3.3%まで減少したとはいえ、臨界膜厚は 3~5nm 程度と予想され、チャンネルとして用いるにはやや薄すぎる可能性がある。そこで、チャンネル層への Ga 導入によるさらなる格子不整合緩和の効果についても検討する。

一方、InSb や GaSb など、Sb 系材料は正孔の移動度が大きいという特徴があり、これを利用して pMOSFET を作製すれば、上記と合わせて CMOS が実現できる。現在、pMOSFET としては Ge の研究が先行しているが、pn 両者とも同じ InSb 系材料で形成できれば、その効果は大きい。ここでは、pMOSFET についても検討を進め、nMOSFET と合わせ、Si 基板上で高性能な CMOS の実現を図る。

3. 研究の方法

【n-MOSFETの特性向上について】

InSb/Al₂O₃ 界面における高い界面準位密度の影響を低減することを目的として、Si(111)基板上に成長させたInSb薄膜(40nm)上にGaSb層を堆積させる。これにより、チャネル層であるInSb層にゲート絶縁膜であるAl₂O₃層が直接接しない構造となる。GaSb層の厚さや成長温度を変化させ、厚さや成長温度によるデバイス特性への影響について評価する。薄膜の成長条件やデバイス作製プロセスはGaSb層の成長条件以外は全て同一とした。またソース抵抗低減のため、オーバーラップ型の電極とした。

表面再構成制御成長法を用いてSi(111)基板上に成長させたInSb薄膜は、面内で30°回転するが双晶となる。同様の成長方法でGaSb層を成長させると双晶のない単結晶薄膜が得られるが、面内回転しない。しかし、さらにその上にInGaSb層を介してInSbを成長させると、Si(111)基板上に双晶のない単結晶のInSb層が得られるが、結晶性は良くない。そこで、単分子層中のInSb及びGaSbの割合を変化させることで、単結晶かつ双晶を含まないInGaSb薄膜の成長ができないかを検討した。双晶を含まない単結晶のInSb薄膜を、GaSbやInGaSbといったバッファ層なしに成長することが出来れば、n-MOSFETの特性向上につながると考えられる。今回はその前段階として双晶のないInGaSb薄膜の成長をGaSb層なしで試みる。Siの清浄表面にIn及びGa原子の堆積量を変化させて堆積し、その上にSb原子を吸着させることで、InSb及びGaSbの混合単分子層を形成する。その上にInGaSb薄膜を形成し、表面性、結晶性、面内配向性等について、評価する。

【p-MOSFETの作製について】

Si(111)基板上に表面再構成制御成長法を用いて堆積したGaSb薄膜(40nm)を用いてp-MOSFETを作製し、デバイス特性について評価する。n-MOSFETと同様にソース抵抗低減のため、オーバーラップ型の電極とした。

【試料の蒸着面積拡大について】

これまで使用してきたSi基板は、真空装置の制約により、基板サイズが6×13mmであり、そのうち蒸着面積は6×7mm程度に過ぎず、分割できなかった。このため、プロセス条件の影響を評価するためには、プロセスの数だけ試料を作製する必要があったが、試料の特性にばらつきがあったため、特性の変化がプロセス条件によるものか、試料のばらつきによるものか区別できなかった。そこで、試料サイズを15×15mm程度とし、1つの基板から切り出した試料を用いてプロセス条件による影響を評価できるよう、装置(マニピュレータ部)の改造を行った。

4. 研究成果

すべての蒸着は、富山大学新産業支援施設内に設置された材料表面分析装置を用いて行われた。化学洗浄されたSi(111)基板を高校真空中に導入し、フラッシュアニールによって清浄化する。その後、InSb単分子層を形成してその上に2段階成長法を用いて40nm厚のInSbを形成する。その上に、GaSb層を~5nm程度堆積させる際の、基板温度を変化させ、RHEEDパターンを観察した。図2に成長中のRHEEDパターンを示す。いずれの試料も、InSb成長後はストリークがシャープだが、GaSb層の膜厚が増加するにつれてストリーク間の間隔が広がり、また、ストリークがブロードかつスポッティーに変化している。これは、成長初期はInSbに疑似格子整合して成長しているが、膜厚の増加につれて、GaSb層の格子定数が狭くなり、表面が荒れていくことを示している。

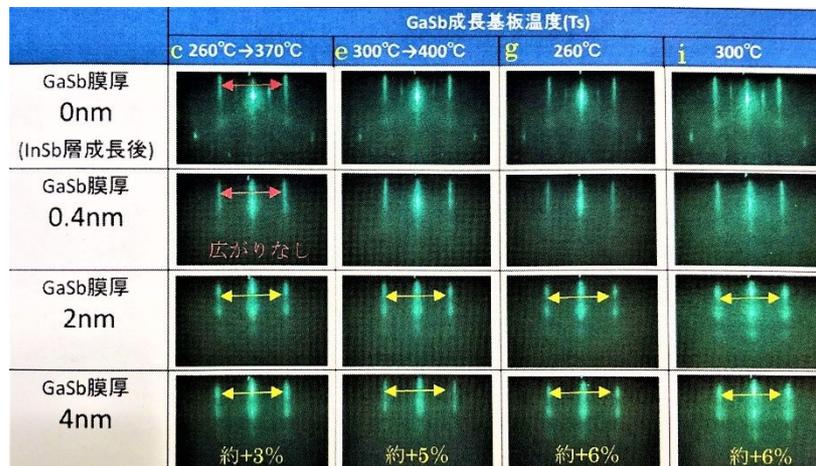


図2 GaSb層成長中のRHEEDパターン

図3に、作製した MOSFET の I_d - V_d 特性を示す。いずれの試料も FET として動作しているものの、ゲート電圧で抑えられないリーク電流が大きく流れている。また、GaSb 層を堆積させた試

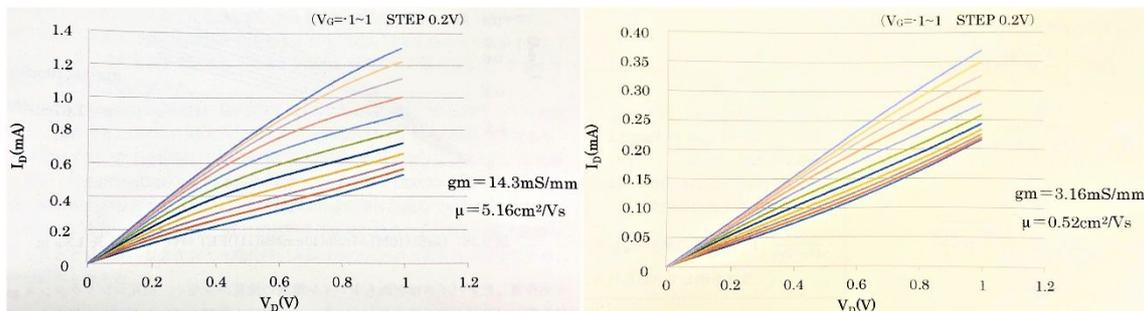


図3 作製した MOSFET の光学顕微鏡写真

左: InSb/Si(111) 右: GaSb(5nm)/InSb/Si(111)

料の相互コンダクタンスが GaSb を堆積させていないものとは小さくなっている。しかし、InSb のみの試料の特性も、以前作製したデバイスのものよりも悪く、現時点では、この原因が GaSb 層によるものかどうかを判断するのは難しい。何故なら特性の安定した InSb 試料を作製できていないためである。

初期の Si(111) 表面に吸着させる In 及び Ga 原子の堆積量を (a)10:0、(b)8:2、(c)5:5、(d)2:8 と変化させ、その後の Sb 原子の吸着により、InSb 単分子層と GaSb 単分子層の面積比を決定する。これにより、Ga が含まれて回転しにくいと考えられる単結晶 InGaSb 層の成長に最適な面積比が存在しないか検討した。混合単分子層上に成長させる $\text{In}_{0.8}\text{Ga}_{0.8}\text{Sb}$ 層の成長条件は同一とし、混合単分子層の面積比による結晶性、面内配向性への影響を調査した。図4は、InGaSb(111)ピークの XRD スキャンパターンの単分子層の面積比依存性である。パターンをみても、(a)及び(b)では6本のピークが観察され、InGaSb 薄膜が双晶あることを示している。また、(a)の試料では、(b)~(d)のパターンと比較して、ピーク位置が 30° シフトしている。これは、InSb 単分子層のみのためと考えられる。このことから、単分子層形成段階に Ga 原子が存在すると、その上に成長させる InGaSb が 30° 回転しないことが分かる。また、GaSb 単分子層の割合が5割を超えると、双晶のない InGaSb 薄膜が成長することも分かった。この結果から、 30° 回転した薄膜を得るため、単分子層形成初期段階では Si 表面に供給するのは In 原子のみとし、その後双晶のない単結晶薄膜の形成のために必要な Ga 原子を時差供給するような成長プロセスが必要であると考えられる。

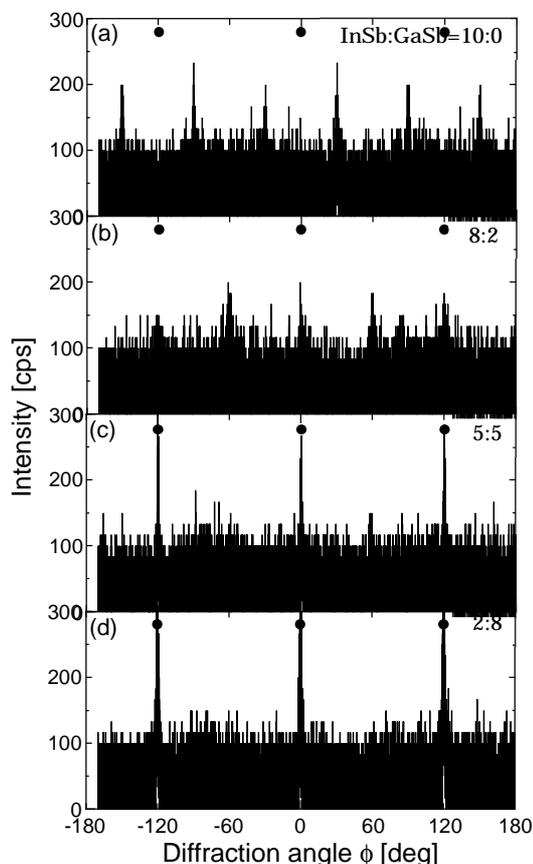


図4 InGaSb(111)ピークの XRD スキャンパターンの単分子層面積比依存性

p-MOSFET の作製に向けて、GaSb 薄膜の結晶性向上を目指し、成長条件の見直しを行った。これは、単結晶 GaSb 薄膜上に成長した InGaSb 及び InSb 薄膜の結晶性が良くなかったことを受け、下地の GaSb 薄膜の結晶性を向上させることで、その上に成長させる薄膜の結晶性が向上するのではないかと考えたのである。GaSb 単分子層形成後の成長温度を、450~550 まで 25 刻みで変化させ、表面性、結晶性、面内配向性について評価した。まず、原子間力顕微鏡(AFM)による表面粗さ(RMS)については、450~525 で作製した試料では、6nm 程度でほぼ一定の値を示したが、550 で作製した試料では、成長温度が高すぎて膜が凝集してしまった結果、RMS が約 180nm となった。XRD 測定の結果では、図5のように GaSb(111)ピークの $2\theta/\omega$ スキャンパターン及び ω スキャンパターンの半値幅により、525 が

適切な成長温度と考えられる。

この結果を受けて、525 で成長した GaSb 層上に InSb を基板温度 400 で成長し、表面性、結晶性の評価を行った。また、InSb 薄膜成長時の成長レートを膜厚を固定した状態で 0.4 および 4nm/min の 2 種類の条件で作製し、成長レートによる影響についても調査した。低レートで作製した試料では、XRD 測定で InSb(111)ピークが観察されず、GaSb(111)ピークの低角度側にシヨルダピークが観察された。これは、成長レートに対して 400 という温度が高すぎて、GaSb に In が取り込まれる形で InGaSb が形成された物と考えられる。高レートで成長させた場合は、InSb(111)ピークが観察された。しかし、半値幅が約 620arcsec であり、InSb/InGaSb/GaSb の様に Si(111)基板上に成長した試料で得られた半値幅(約 400(arcsec)よりも大きな値となった。これは、InGaSb 層が挿入されていないため、あるいは、InSb の成長温度も最適化する必要があるなどの理由が考えられる。

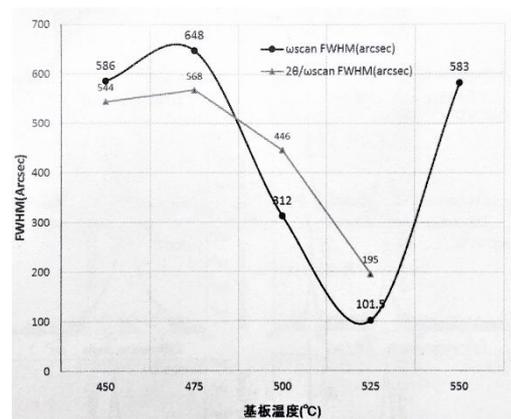


図 5 GaSb(111)ピークの 2/ω及びωスキャンパターンの半値幅の成長温度依存性

p-MOSFET の作製にあたっては、GaSb が p 型の電気特性を示すことを考慮し、n-Si(111)基板上に成長した GaSb 薄膜を用いて FET を作製した。40nm 厚の GaSb 層を用いて p-MOSFET を作製し、 I_d - V_d 特性を測定した(図 6)。図 6 はゲート長 1.5μm のデバイスの特性である。図から分かるように、FET 特性は見て取れるが、動作が不安定であった。原因はゲートリークと考えられるが、この点については、Ga と Al の相性問題の可能性もあるが、ゲート絶縁膜である Al₂O₃ 膜の堆積条件は、InSb を用いた n-MOSFET のものを使用したため、今後堆積条件最適化をする必要があると考えられる。

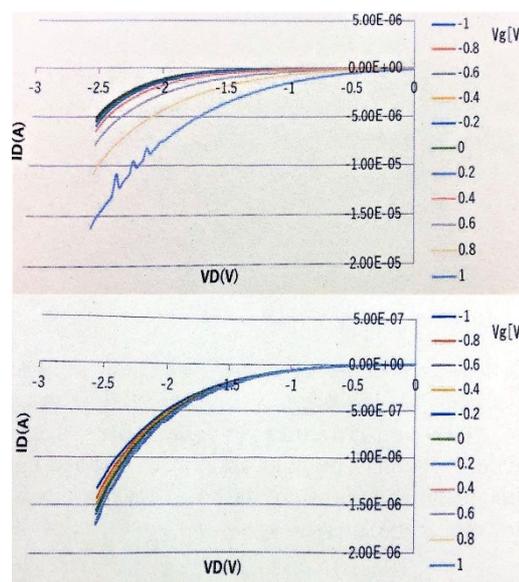


図 6 GaSb/Si(111)を用いた p-MOSFET の I_d - V_d 特性

デバイス作製時のプロセス条件の違いによるデバイス特性への影響について評価する際、これまではプロセス条件の数だけ試料を作らなければならなかった。これは試料サイズが 6×13mm でそのうち蒸着面積 6×7mm 程度だったため、試料を切り分けて使用することが出来なかったためである。また、作製した薄膜の特性にばらつきがあり、デバイス特性に違いが見えても、それがプロセス条件の違いによる変化なのか、薄膜の特性のばらつきによるものなのかが分からず、考察が出来なかった。そこで、装置のマニピュレータ部を改造し、蒸着面積を 15×15mm に拡大した。また、薄膜試料の特性のばらつきの原因と考えられる通電過熱による試料温度制御をやめ、ヒーター加熱に変更した。これにより、1 枚の試料から多くの試料を切り出すことができ、薄膜の特性のばらつきの影響なしに、プロセス条件の影響によるデバイス特性の評価が可能となる。しかし、改造後の立ち上げ作業で多くのトラブルに見舞われ、現状は、以前と同様の成長条件で、以前と同様の薄膜が得られていない。このため研究が停滞している。今後、早急に装置の立ち上げ作業を完了し、デバイス特性の向上に向けた実験を行わなければならない。

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 1件/うち国際共著 0件/うちオープンアクセス 1件）

1. 著者名 A. A. Md. Monzur-Ul-Akhir, Masayuki Mori, Koichi Maezawa	4. 巻 58
2. 論文標題 An investigation of the crystalline nature for GaSb films on Si(111) at varied growth temperature and growth rate	5. 発行年 2019年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 S11A17
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 A. A. Md. Monzur-Ul-Akhir, Masayuki Mori, Koichi Maezawa	4. 巻 1
2. 論文標題 Effect of flux ratio on GaSb films grown at a low temperature on Si(111)	5. 発行年 2019年
3. 雑誌名 Proceedings of ICIEV-&-ICIVPR 2019	6. 最初と最後の頁 312-317
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ICIEV.2019.8858576	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計11件（うち招待講演 0件/うち国際学会 3件）

1. 発表者名 井上丈太郎、森雅之、前澤 宏一
2. 発表標題 表面再構成制御成長法を用いたSi(111)基板上へのIn _{0.2} Ga _{0.8} Sbエピタキシャル成長に関する研究
3. 学会等名 令和2年度(2020年)応用物理学会 北陸・信越支部 学術講演会
4. 発表年 2020年

1. 発表者名 白山綾輔、森雅之、前澤宏一
2. 発表標題 Si(111) 基板上へのGaSb薄膜成長における基板温度依存性
3. 学会等名 令和2年度(2020年)応用物理学会 北陸・信越支部 学術講演会
4. 発表年 2020年

1. 発表者名 橋本拓磨、森雅之、前澤宏一
2. 発表標題 InSb/Si(111)上へのGaSb薄膜成長における基板温度と膜厚の依存性
3. 学会等名 令和2年度(2020年)応用物理学会 北陸・信越支部 学術講演会
4. 発表年 2020年

1. 発表者名 A.A. Md. Monzur-UI-Akhir, Masayuki Mori, and Koichi Maezawa
2. 発表標題 Effect of flux ratio on GaSb films grown at a low temperature on Si(111)
3. 学会等名 8th International Conference on Informatics, Electronics & Vision (ICIEV) (国際学会)
4. 発表年 2019年

1. 発表者名 A. A. M. Monzur-UI-Akhir, M. Mori and K. Maezawa
2. 発表標題 Effect of Flux Ratio on GaSb Films Grown at Low Temperature on Si(111)
3. 学会等名 14th International Conference on Atomically Controlled Surfaces, Interfaces and Nanostructures (ACSIN-14) (国際学会)
4. 発表年 2018年

1. 発表者名 A. A. M. Monzur-UI-Akhir, M. Mori and K. Maezawa
2. 発表標題 Effect of Growth Rate and Temperature on GaSb Films on Si(111) Substrate
3. 学会等名 14th International Conference on Atomically Controlled Surfaces, Interfaces and Nanostructures (ACSIN-14) (国際学会)
4. 発表年 2018年

1. 発表者名 五十嵐廉、森雅之、前澤宏一
2. 発表標題 表面再構成制御法を用いたSi(111)基板上へのIn _{0.2} Ga _{0.8} Sbエピタキシャル成長
3. 学会等名 2018年第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 A. A. M. Monzur-UI-Akhir, M. Mori and K. Maezawa
2. 発表標題 A Study of Flux Ratio Effecting GaSb Growth at Low Temperature
3. 学会等名 平成30年度応用物理学会北陸・信越支部学術講演会
4. 発表年 2018年

1. 発表者名 A. A. M. Monzur-UI-Akhir, M. Mori and K. Maezawa
2. 発表標題 A Study of Growth Rate and Temperature Effecting GaSb Growth
3. 学会等名 平成30年度応用物理学会北陸・信越支部学術講演会
4. 発表年 2018年

1. 発表者名 A.A. Mohammad Monzur-UI-Akhir、森 雅之、前澤宏一
2. 発表標題 Growth of high quality InSb channel layer with In _x Ga _{1-x} Sb heteroepitaxial film on Si
3. 学会等名 電子情報通信学会、電子デバイス研究会
4. 発表年 2018年

1. 発表者名 長橋栄臣、森雅之、前澤宏一
2. 発表標題 GaSb/Si(111)基板上へのInSbのエピタキシャル薄膜の作製と評価
3. 学会等名 第4回有機・無機エレクトロニクスシンポジウム
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

トップページ http://www3.u-toyama.ac.jp/nano/ 極微電子工学講座 http://enghp.eng.u-toyama.ac.jp/labs/ee08/ 講座の活動 平成30年(2018) http://www3.u-toyama.ac.jp/nano/study/katsu30.html
--

6. 研究組織		
氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------