

令和 5 年 5 月 25 日現在

機関番号：12608

研究種目：基盤研究(S)

研究期間：2018～2022

課題番号：18H05288

研究課題名(和文) 知能コンピューティングを加速する自己学習型・革新的アーキテクチャ基盤技術の創出

研究課題名(英文) Innovative Self-Learnable Architecture Platform for Accelerating Intelligent Computing

研究代表者

本村 真人 (Motomura, Masato)

東京工業大学・科学技術創成研究院・教授

研究者番号：90574286

交付決定額(研究期間全体)：(直接経費) 148,300,000円

研究成果の概要(和文)：ビット可変推論ProgressiveNN，乱数固定によるモデルサイズ圧縮・隠れニューラルネットワーク技術，その世界初のアーキテクチャ・チップHiddenite，その新たな学習技術M-Sup等を提案した．新たな二値化DNN技術や，高位合成コンパイラNNgenとこれを活用した奥行推定FPGAアクセラレータ等を提案した．並列スピン更新アルゴリズムとその改良・評価を進めLSI実証結果を発表した．DNNと離散最適化の融合研究を進めRecurrent Residual Networkを提案した．原子スイッチを用いたリザーバコンピューティングや確率的計算に基づくDNNのフォワード・バックワード計算を実現した．

研究成果の学術的意義や社会的意義

DNN処理，アニーリング処理(離散最適化)，ニューロモルフィックの3分野はAI時代を支える基本的な処理群であり，将来密接につながり融合していくと考えられる．世界に先駆けた分野融合を標榜して，これらの分野をまたがる最先端の研究成果を上げ続けてきた本基盤S研究課題の学術的・社会的な意義は大きい．特に，特記すべき成果として述べた隠れニューラルネットワーク技術に関する世界初のアルゴリズムとハードウェア両面の研究成果は，DNNとアニーリングの双方を視野に入れる本研究課題ならではの研究方針により生み出されたものであり，今後AI処理分野へ広く波及が期待される大きな意義を持つものであったと言える．

研究成果の概要(英文)：Proposed novel techniques such as Bit-Variable Inference ProgressiveNN, model size compression with fixed random numbers, and hidden neural network technology. Introduced the world's first architecture chip called Hiddenite. Presented a new learning technique called M-Sup. Proposed a new binary DNN technology and depth estimation FPGA accelerator utilizing the high-level synthesis compiler NNgen. Advanced the parallel spin update algorithm, its improvements, and evaluation, and announced LSI verification results. Conducted research on the fusion of DNN and discrete optimization, and proposed Recurrent Residual Network. Achieved forward and backward computation of DNN based on reservoir computing using atomic switches and probabilistic calculations.

研究分野：計算機アーキテクチャ

キーワード：AI アニーリング 深層ニューラルネットワーク リンコンフィギュラブル アーキテクチャ 離散最適化 ニューロモルフィック リザーバ計算

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

DNN が画像分類精度で従来手法を大きく超えることが 2011 年に報告され、本技術は一躍脚光を浴びることとなった。その成功の鍵となった学習手法は 1980 年代に提唱されたバックプロパゲーション(BP)技術であるが、大規模学習データ、高性能計算機、様々な BP 改善手法(いわゆるディープラーニング/深層学習技術)等が相俟って急速に技術発展し、今や多様な応用分野(画像・音声認識、自動翻訳、自動運転、等)で DNN 活用が広がっている。

DNN に少し遅れて、種々の組合せ最適化問題をスピン格子のエネルギー最小化問題に置き換え、その近似解を並列に求めるアニーリング計算機分野も広く注目を集めている(量子[Dwave, 2011]、非量子/CMOS[日立, 2015])。DNN の学習はニューロン間結合重み係数空間のエネルギー最小化問題であるが、アニーリング計算モデルはその逆問題(重み係数を固定して、スピン[ニューロン]値空間のエネルギー最小状態を探索する問題)であり、DNN との技術的関連性は深い。

DNN の興隆の影響を受けて、集積回路の上で生体神経回路網の動作を出来る限り精密に模擬しようとするニューロモルフィックHW 分野も活性化している。生体模倣をすることの目的や工学的な意義については慎重に考える必要があるが、脳が DNN より桁違いに(一説に 104 倍)エネルギー効率が良い理由を探求し、その本質を「知能コンピューティング」に向けて融合していくことができるならば、それは大きな意味を持ちうると言える。

DNN は、大量・多層に並べられたニューロン間の複雑な結合網という「構造」の中に入力データストリームを流し込んで学習や推論を行う「構造型」の情報処理課題である。従来の情報処理の中心は「手続き型」課題であるため、これまでの情報処理方式の王道は、命令列を順次実行していく「コントロールフロー型/フォンノイマン型」であった。構造型の情報処理課題がこれほどまでに重要になり、その性質に適した「データフロー型/リコンフィギュラブル HW 型」へアーキテクチャが変革するチャンスが訪れたのは、歴史上初めての状況と言える。一方、ムーアの法則の終焉が近づくとともに、デバイスの速度・集積度向上に頼らずに情報処理性能をアップさせる HW 技術の構築が差し迫った要求として浮上している。

2. 研究の目的

この状況下における重要な学術的「問い」は、この変革のチャンスを活かし差し迫った要求に応えるために、如何に(a)「構造型」情報処理の拡大と発展を支えるリコンフィギュラブル HW アーキテクチャ技術を構築するか、である。

一方、現状の DNN は特定の応用に向けた個別人工知能に過ぎず、より強力な「知能コンピューティング」の実現に至るまでにはまだ種々のジャンプが必要だと考えられている[Lecun, 2019, 等]。例えば、BP に頼らない学習手法の抜本的変革、深層ではなく広く浅い NN による知能処理の実現、応用に応じた NN 構造の自律的生成、等である。学習手法に関しては、アニーリング計算にも関連するエネルギー最適化法の登場が DNN 学習に新たな展開をもたらす可能性がある(後述)。更に、これらの点はニューロモルフィック的観点から現在の DNN が人間の脳と大きく異なるとされる点であり、逆に言えば、同分野の知見を活かして(抽象化して)、今後 DNN が大きく発展する可能性を秘めているとも考えられる。すなわち、ここでの「問い」は、これら隣接技術領域の知見も取り込んで、如何に(b) アルゴリズム-アーキテクチャ境界で新たな DNN の推論・学習方式を構築しうるか、である。

最後に、DNN の認識能力が人間を超えつつある現在でも、脳と DNN のエネルギー効率の大きな違いはどこから(マクロな情報処理方式、メゾな HW 方式、ミクロな信号処理・伝達方式、等)生まれるのか、まだ謎のままである。この観点での「問い」は、如何に(c) アルゴリズム-アーキテクチャ-回路の協創により脳レベルに迫る高エネルギー効率 HW 方式を実現できるか、である。

この(a) - (c)の「問い」を踏まえ、本研究は、1)DNN 処理エンジンのアーキテクチャ技術の中核として、2)組合せ最適化問題をエネルギー最小化問題に変換して並列に近似解を導出するアニーリング計算機技術、3)より忠実に生体神経回路網を模倣することを目指したニューロモルフィック HW 技術をも含めた三分野の新たな知見・研究進展を総合的に結集し、既存 DNN 処理の枠を超えて発展する知能コンピューティングを支えていく革新的アーキテクチャ基盤技術の構築を目指すものである(図 1)。

特に、上記(a)-(c)の「問い」に直接的に対応する、(A) DNN の「構造型」情報処理の発展に応えるリコンフィギュラブル HW アーキテクチャ、(B) アルゴリズム-アーキテクチャ境界の最適化を志向する DNN 推論・学習方式、(C) アルゴリズム-アーキテクチャ-回路の協創による高エネルギー効率 HW 方式、の三つの技術構築を研究指針として研究を進める。最終的に、これらの研究成果を、1)DNN 処理エンジン、2)アニーリング計算機、3)ニューロモルフィックなどの分野の融合形態と想定される将来的な知能コンピューティング分野で既存プログラマブル HW(=FPGA)を凌駕・置換する、自己学習型・機能獲得型リコンフィギュラブル HW プラットフォームの提案に結実させる。

3. 研究の方法

本研究の提案時、図 2 に示すように、研究代表者と研究分担者は北海道大学の 2 研究室に集結していた。

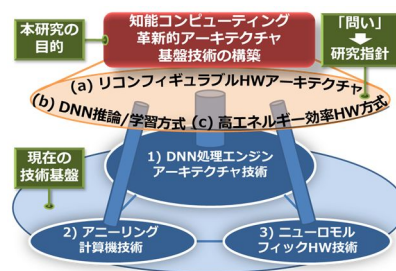


図 1. 研究構想の全体像

その後、期せずして、図3に示すように、2018-19年度間に4名中3名が所属組織を異動してスタート時点とは違った研究体制とはなったが、依然として4名間で緊密に協力して研究を進めている。

バックグラウンドの異なる4名の研究者が各々の専門分野に関する強みを持ち寄り、グランドデザインを共有して共通ゴールに向かうことで、この研究グループならではの分野融合型・知能コンピューティングアーキテクチャ研究の中核拠点を形成することを狙っており、役割分担と研究の方法、本研究課題への貢献のあり方に変更は生じていない。

前ページで説明した研究分野と研究指針の両方の観点から、この4名の研究体制内の役割分担の全体像を図4に示す。本村(研究代表者)は、リコンフィギュラブルハードウェアアーキテクチャの専門家であり、デジタル集積回路設計にも精通している。近年は、DNN処理やアニーリング処理のアーキテクチャの観点から研究を進めており、構造型情報処理アーキテクチャという概念の提唱者でもある。前記(A)や(C)の研究指針を基に、前記1)と2)の研究分野を中心として、本研究課題全体にかかわって研究を進めている。高前田(研究分担者)は計算機アーキテクチャ、リコンフィギュラブルシステム、HW高位合成の専門家であり、本研究課題ではあるが、NNGenというDNN向けのHWコンパイラ(Python記述からVerilog RTL HW記述を生成)ともいべき研究にも取り組んでいる。本研究課題では、DNNのアルゴリズム分野やアーキテクチャ探索技術に精通していることを活かし、主に(B)の研究指針をベースとして1)や2)の推進を担っている。池辺(研究分担者)は、画像処理応用・アルゴリズム、タイムドメイン信号処理、ミックスドシグナル・センサ集積回路の専門家である。画像処理の専門家としてのドメイン知識を活用した(B)の視点や、DNNのミックスドシグナル処理によるエネルギー効率向上の(C)の視点から、1)や3)の研究テーマを推進している。浅井(研究分担者)はニューロモルフィック分野の専門家であり、非線形システムとアナログ集積回路・ナノ電子デバイスを結びつける研究や、半導体の微細化限界を生物的情報処理により打破することを狙った新規ナノエレクトロニクス-アーキテクチャ融合研究に強みがある。本研究課題においては、ニューロモルフィック分野の中でも、例えば「脳はリザーバコンピューティングを行っているのではないか」という仮説をきっかけに、(B)や(C)の視点からリザーバコンピューティング分野の研究を精力的に進めており、主に3)の研究分野の推進を担っている。

また、本研究課題の開始より後の2018年度後半より、本村がリーダーとなる革新コンピューティング分野のJST CRSTプロジェクト「学習/数理モデルに基づく時空間展開型アーキテクチャの創出と応用」がスタートした。このプロジェクトには、離散アルゴリズム、機械学習、数理物理学などHW分野外の専門家が集まっており、本研究課題にも研究連携の形で外部協力いただいている(図3)。アーキテクチャから回路にまたがるHW技術を主体とする本基盤Sの研究課題とこのCRESTプロジェクトとは相補的な関係にあるが、特に後述のように、2)のアニーリング計算に関しては、数理物理学的な視点によるエネルギー最小化原理の原理的進展が重要なことから、本研究構想の一部の研究課題をCRESTプロジェクトのメインの研究課題としてスピニングアウトした形で進めている。

なお、本報告書では便宜上1)-3)の研究分野を分けた形で説明を行っているが、前述のように、本研究課題の特徴はこれら三つの隣接する研究分野間で、分野融合的に新たな領域を開こうとする点にある。したがって、実際の研究推進に当たっては、このような観点から、個別の技術を磨き研究を進展させながら、相互の研究交流を密に行うよう留意して進めてきた。

4. 研究成果

1) DNN 処理エンジン

(本村) 単一のネットワーク重みを用いてビットスケラブルな推論を可能とする手法であるProgressiveNNを提案した[CANDAR2020]。この手法は、下位ビットからの桁上げ信号なしに、最上位ビットからの演算を可能にする新たなビット表現(Bitwise binary: BWB)と、バッチ正規化のみを再トレーニングするだけでビットスケラブルなモデルを構築する新たな学習手法(BN retraining)の二つを特徴とするものである(図5)。

結合重みを乱数に固定したまま結合を枝刈りしていくことで学習する新たなCNN構造(乱数重み固定CNN)の推論アーキテクチャ及びその学習手法の研究を進めた。2020年に発表された「強い宝くじ仮説」に基づき、乱数固定重みと二値マスクを用いる「隠れニューラルネットワーク」アーキテクチャを世界で初めて提唱した。本アーキテクチャに基づき40nm CMOSで試作したHiddenite推論チップを集積回路のオリンピックと呼ばれるISSCCで発表した(図7)[ISSCC2022]。乱数固定の重みはチップ内部で生成できるため記憶する必要がなく、またマスクは二値であるため、トータルとして外部メモリアクセスを大幅に削減でき、実効最大約30TOPS/Wの極めて高いエネルギー効率を達成した[ISSCC2022]。

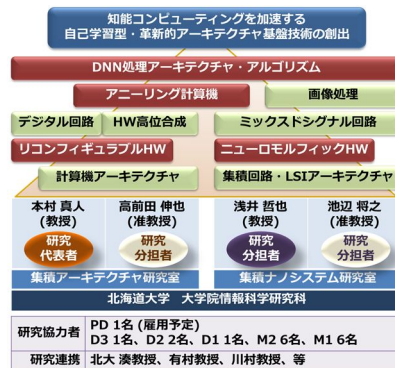


図2. 研究体制: 当初

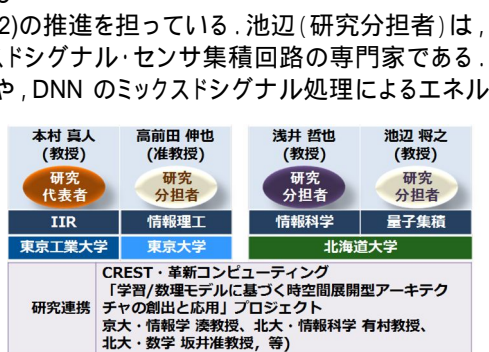


図3. 研究体制: 2019年度以降

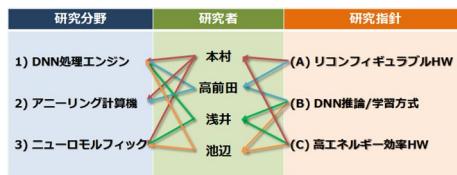


図4. 研究体制内の役割分担

また、ハードウェアだけでなく、強い宝くじ仮説の学習技術に関しても研究を進めた。二値のマスクを複数枚ピラミッド状に重ね合わせることで更に隠れニューラルネットワークの精度を上げられることを突き止め、その詳細学習手法Multicoated Supermask (M-Sup)を提唱した。M-Supにより、例えば7枚のマスクを用いることでResnet-50の精度を4%向上し、一桁少ないモデル情報量でありながら、重み学習型の従来DNNと同精度を実現することが可能になった(図7)。本技術は機械学習のトップ国際会議であるICMLで発表した[ICML2022]。

(浅井) DNNの学習に用いられるバックプロパゲーションの最適化およびその基礎ハードウェアを構築した。モーメント値の多重量子化により、現代DNNで用いられるRMSProp相当の収束性能を、Momentum法と同程度のハードウェアリソースにより実現できることを示し、エッジでも高精度・高速な学習ができることを示した。(2)エッジ向けの深層強化学習アルゴリズムを新規考案し、その省メモリアーキテクチャのプロトタイプを構築した。

(高前田) DNN推論の高速化および省エネルギー化の手段として、活性化値および重みの数値表現に低ビット整数を用いる量子化の有効性は以前より知られており、特に1ビットで数値を表現する二値化はハードウェア・回路構成が軽量であることから、高効率なアクセラレータの実現方法として有望である。しかし二値化ニューラルネットワークは表現能力が低く、認識精度の低下が課題であった。そこで、本研究では、二値化ニューラルネットワークの精度を向上させる、二値化の閾値を動的に変化させるハードウェア指向活性化関数を新たに開発し、DNNフレームワークを用いた精度評価とFPGAを対象としたハードウェア規模の評価を行った[CSA 2022]。従来型の二値化ニューラルネットワークと比較して、4%程度の高い認識精度を達成し、ハードウェア量の増加が極めて小さいことを実証した。本研究成果はBest Paper Awardを受賞しており、高く評価されている。

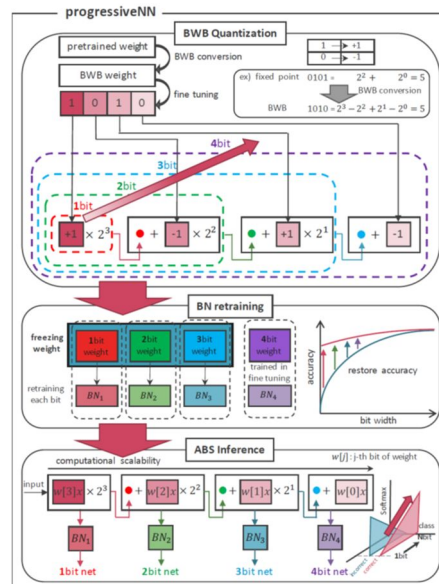


図 5. ProgressiveNN 概念図

DNNアクセラレータの開発技術については、AIアプリケーションの性能に大きな影響を与えるため、FPGAを用いたDNNアクセラレータの設計とその最適化は重要であるが容易ではない。DNNアクセラレータの設計開発を効率化するために、本研究では学習済みDNNモデルから最適化されたハードウェア構成を自動合成する高位合成コンパイラNNgenを開発した。NNgenの応用として、自動運転や家庭用ロボットなどの自己位置推定においても用いられる、動画像に基づく奥行き推定処理を高速に処理可能なFPGAアクセラレータを開発した。今日に用いられる奥行き推定は、DNNに基づく処理と、古典的な画像処理に基づく処理が複雑に絡み合っており、単にDNNアクセラレータを用いるだけではタスク全体を高速化することができない。そこで、ハードウェア・ソフトウェア協調設計により、NNgenにより生成されるFPGA上のDNNアクセラレータと、CPU上のソフトウェアが密に連携し、並列処理をすることで高速化を達成した[FPT 2022]。評価に用いたFPGAに搭載されている1.5GHz動作のクワッドコアArm Cortex-A53プロセッサ上のソフトウェアと比較して60倍の高速化を達成した。本アクセラレータの開発には、当初はFPGAベンダーが提供するDNN回路フレームワークを用いることを検討したが、今回対象としたタスクのように、DNNとそれ以外の部分が複雑に絡み合う処理に適したハードウェアを開発することができなかった。一方、NNgenを用いることで、数日でハードウェアを開発することができ、NNgenの開発効率の高さが示された。

その他のDNNに関する処理の効率化に関して、信頼されるAI技術のひとつである、推論結果の不確かさを表現可能なベイズ深層学習の計算を効率化する、アルゴリズムとハードウェアの協調最適化手法を開発した[IJNC 2020][*5]Fujiwara+, ASAP 2021]。また、DNNの入力画像の前処理にも有用なバイラテラルフィルタの高速計算ハードウェアを開発した[FPL 2021]。DNN以外の機械学習計算の高速化技術として、分岐命令の確率的近似による決定木アンサンブル推論の高速化方式を開発した(HEART2021で発表)。

(池辺) 画像処理における高速高効率処理とDNNの融合を進めるにあたり、実応用を想定してシステム開発に取り組んだ。応用として、汎用性が高い局所輝度の最適化を施す補正技術について、ハード構成とDNNへの活用を詳細に解析した[TCSV2022]。次に、国内70万人の患者が存在する関節リウマチをターゲットにし、X線画像による両手76か所の関節破壊量を定量化した。DNNの活用により破壊量を解析した場合、専門医がタグ付けした段階評価が限界で人の目を超える解析が難しい。そこでシステム構築において関節群の正規化と定量化にステージを分けて、正規化にDNNを活用することで、後の定量化が高速・高効率処理を適用することが可能となった。かつ定量化の精度が専門医を超えるSub Pixelレベルまで到達した。特にDNNに画像位置を示す座標レイヤ (Coordconv層)を用いることが関節位置の特定に寄与することがわかった。2D

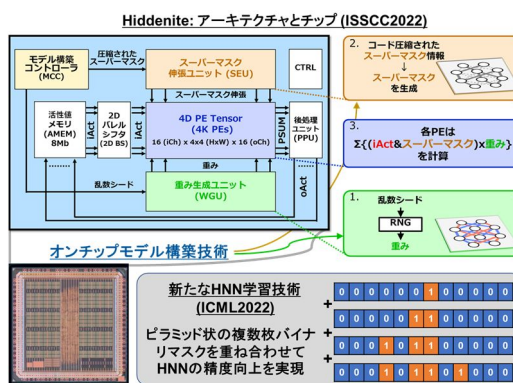


図 6. 強い宝くじ仮説・隠れニューラルネットワークのハードウェア・学習アルゴリズム

のX線画像解析ながら、Tomographyと同等以上の解析結果が得られることをファントムおよび臨床画像データセットを用いて示した[JBHI2023, OJMI2022, BMEiCON2022]。

アナデジ混載回路によるDNNの低電力のため、極低電圧で動作するパルスニューロン用電圧制御発振器(VCO)を提案した。通常、VCOは非線形性が高く、特に低電圧化(0.18 μ mプロセス、VDD=0.5V)の制御が難しい。そこで、低電圧駆動の電流生成器を相補的に駆動し、非線形誤差を0.24%まで抑制した。これにより、ReLUを活性化関数としてVCOに適用することが可能となった。本VCOを用いたDNNの検証により、0.5V駆動、素子数50%低減を示し、エッジAI 実現に向けた低電圧パルスニューロン回路の実現見通しを得た[ICECS 2022]。

また、DNN における効率的なレイヤ削減のため、基本となる適切な色空間の圧縮について心理物理学実験から明らかにした。50 人の被検者による実験では、人間の色における輝度感覚は、認識時間が短いほどコントラストを重視し、認識時間が長いほど輝度バランスを重視することがわかった。また色空間の圧縮事態にDNN を活用して演算量を割いた場合、人間の輝度感覚から大きくずれることがわかった(自然さの提示において最も低スコアとなった)

2) アニーリング計算

(本村) 疑似スピン系を二部グラフに展開してエネルギー最小状態をスピン並列で高速探索し、離散最適化問題を並列求解するストカスティック(確率的)セルラーオートマタアニーリング(Stochastic Cellular Automata Annealing : SCA)法と、これを並列実行する最適化チップをISSCC2020で発表した(図8)。また、SCA法のままでは複雑な問題時に安定した並列求解が難しい場合があることを突き止め、一定の比率を用いてランダムにスピンフリップを抑制する比率制御型並列スピン更新(Ratio-controlled Parallel Annealing: RPA)法と、SCAやRPAなど複数のスピン更新手法をプログラマブルに切り替えることを特徴とする最適化チップをISSCC2023で発表した。これらの発表は、本基盤Sと並行して進めてきた前記のCRESTプロジェクトの成果としての色彩が強いが、アルゴリズム検討や、GPU上でのモデルの検討、スピン反転の挙動の解析などは本基盤Sの活動として行った。

なお、強い宝くじ仮説に基づく隠れニューラルネットワークは、重み係数は初期乱数に固定したまま、1/0の離散値を持つマスク情報の生成を行っている。バイナリ情報であるマスクを同じくバイナリ情報である疑似スピンと見立てると、隠れニューラルネットワークは、ニューロン間の接続の有無に関する離散最適化問題を解いているとみることができ、その意味でアニーリング計算とのかかわりが大変深い。本基盤Sテーマの中で強い宝くじ仮説にニューラルネット関連の研究を特に注力してきた背景にはこのような洞察があり、その意味で、ニューラルネットとアニーリングの融合を構想した本研究課題だからこその研究成果であったと考えている。

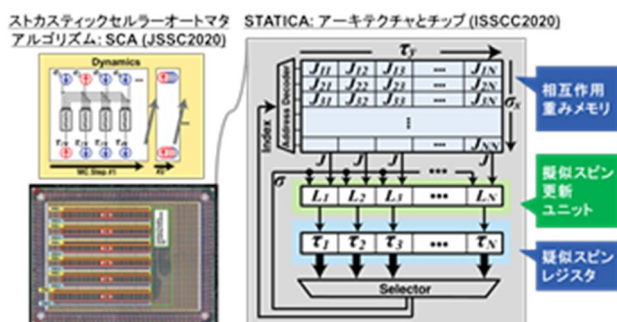


図 7. 並列アニーリング計算エンジン

3) ニューロモルフィック

(浅井) 脳に学んだ計算手法であるニューロモルフィック工学の視点から知的コンピューティングの加速に取り組んだ。具体的には、(1)リザーバコンピューティング、(2)確率的コンピューティング、および(3)学習オプティマイザに関する研究を行なった。その成果を以下に報告する。(1)ニューロモルフィック計算の代表格であるリザーバコンピューティングについて、その要素素子をニューロモルフィックな分子膜ギャップ型原子スイッチにより構成し、大規模シミュレーションによりその高い記憶容量・予測精度を示した。また、その実デバイスを用いた評価を通じて、素子パラッキやノイズを吸収するアーキテクチャの実例を示した。(2)時系列信号間の相関により超小型の回路構成で近似計算が行える確率的コンピューティング手法に着目し、これを基本演算としてDNNのForward/Backward計算を実現した。四則演算の理論を現代CMOSデジタル回路向けに再構築し、多層パーセプトロンを対象としたフレームワークを構築した。多層パーセプトロンの推論・学習における全ての計算を確率的コンピューティングで置き代えるため、新たな活性化関数、学習則、および確率的メモリ回路を構築した。これにより、推論だけでなく学習も可能なエッジDNNアクセラレータの実現可能性を示した。

(本村) 更に、ニューラルネットの構造をリカレント構造にする発想と、乱数重みのニューラルネット構造の考え方の双方を用いると、上記リザーバコンピューティングにきわめて近いニューラルネットが出来上がることに気づき、強い宝くじ仮説に基づくRecurrent Residual Networkの研究を進めた。結果として、ResNet-50を約1/50に圧縮してもほぼ同程度の精度を保てることが分かった[ACCESS]。

なお、本基盤Sの研究の方向性を総体として明らかにするとともに、その成果の周知を図ることを目的として、本基盤Sのメンバにより、情報処理学会誌2022年3月号にて、「知能コンピューティング-AIとハードウェアの出会い」特集を共同執筆するとともに、同年春の全国大会でワークショップを開催した[IPSJ]。

5. 主な発表論文等

〔雑誌論文〕 計35件（うち査読付論文 29件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Hirose Kazutoshi, Yu Jaehoon, Ando Kota, Okoshi Yasuyuki, Garcia-Arias Angel Lopez, Suzuki Junnosuke, Chu Thiem Van, Kawamura Kazushi, Motomura Masato	4. 巻 -
2. 論文標題 Hiddenite: 4K-PE Hidden Network Inference 4D-Tensor Engine Exploiting On-Chip Model Construction Achieving 34.8-to-16.0TOPS/W for CIFAR-100 and ImageNet	5. 発行年 2022年
3. 雑誌名 Digest of 2022 IEEE International Solid-State Circuits Conference (ISSCC)	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ISSCC42614.2022.9731668	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Ando Kota, Yu Jaehoon, Hirose Kazutoshi, Nakahara Hiroki, Kawamura Kazushi, Van Chu Thiem, Motomura Masato	4. 巻 -
2. 論文標題 Edge Inference Engine for Deep Random Sparse Neural Networks with 4-bit Cartesian-Product MAC Array and Pipelined Activation Aligner	5. 発行年 2021年
3. 雑誌名 IEEE Hot Chips 33 Symposium Proceedings	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/HCS52781.2021.9567328	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Junnosuke Suzuki, Tomohiro Kaneko, Kota Ando, Kazutoshi Hirose, Kazushi Kawamura, Thiem Van Chu, Masato Motomura, Jaehoon Yu	4. 巻 11
2. 論文標題 ProgressiveNN: Achieving Computational Scalability with Dynamic Bit-Precision Adjustment by MSB-first Accumulative Computation	5. 発行年 2021年
3. 雑誌名 International Journal of Networking and Computing	6. 最初と最後の頁 338-353
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Yamagishi Y., Kaneko T., Akai-Kasaya M., and Asai T.	4. 巻 -
2. 論文標題 Holmes: A hardware-oriented optimizer using logarithms	5. 発行年 2021年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yamagishi Yoshiharu, Kaneko Tatsuya, Akai-Kasaya Megumi, Asai Tetsuya	4. 巻 12
2. 論文標題 Hardware-oriented deep reinforcement learning for edge computing	5. 発行年 2021年
3. 雑誌名 Nonlinear Theory and Its Applications, IEICE	6. 最初と最後の頁 526 ~ 544
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/nolta.12.526	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Sasaki Yoshiaki, Muramatsu Seiya, Nishida Kohei, Akai-Kasaya Megumi, Asai Tetsuya	4. 巻 13
2. 論文標題 Digital implementation of a multilayer perceptron based on stochastic computing with online learning function	5. 発行年 2022年
3. 雑誌名 Nonlinear Theory and Its Applications, IEICE	6. 最初と最後の頁 324 ~ 329
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/nolta.13.324	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kan Shaohua, Sasaki Yoshiaki, Asai Tetsuya, Akai-Kasaya Megumi	4. 巻 25
2. 論文標題 Applying a Molecular Device to Stochastic Computing Operation for a Hardware AI System Design	5. 発行年 2021年
3. 雑誌名 Journal of Signal Processing	6. 最初と最後の頁 221 ~ 225
掲載論文のDOI (デジタルオブジェクト識別子) 10.2299/jsp.25.221	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Srikram Pitchayapatchaya, Ikebe Masayuki, Motomura Masato	4. 巻 26
2. 論文標題 Linearity Improvement of VCO-Based ADC via Complementary Bias Voltage Control for IoT Devices	5. 発行年 2022年
3. 雑誌名 Journal of Signal Processing	6. 最初と最後の頁 1 ~ 12
掲載論文のDOI (デジタルオブジェクト識別子) 10.2299/jsp.26.1	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ambalathankandy Prasoon、Ou Yafei、Ikebe Masayuki	4. 巻 30
2. 論文標題 Warm-cool color-based high-speed decolorization: an empirical approach for tone mapping applications	5. 発行年 2021年
3. 雑誌名 Journal of Electronic Imaging	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1117/1.JEI.30.4.043026	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ikebe Masayuki、Ambalathankandy Prasoon、Ou Yafei	4. 巻 10
2. 論文標題 HDR Tone mapping: System Implementations and Benchmarking	5. 発行年 2022年
3. 雑誌名 ITE Transactions on Media Technology and Applications	6. 最初と最後の頁 27 ~ 51
掲載論文のDOI (デジタルオブジェクト識別子) 10.3169/mta.10.27	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 本村真人	4. 巻 63
2. 論文標題 AIは新しいハードウェアを欲しているか? -知能と計算とアーキテクチャの新しい関係-	5. 発行年 2022年
3. 雑誌名 情報処理学会誌3月号	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 浅井哲也	4. 巻 63
2. 論文標題 確率的コンピューティングの再開拓 -その場学習が可能な極低電力エッジAIに向けて-	5. 発行年 2022年
3. 雑誌名 情報処理学会誌3月号	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 池辺将之	4. 巻 63
2. 論文標題 画像の解像度と知的処理の関係を見つめ直す – 知的な高解像度リアルタイム処理に向けて –	5. 発行年 2022年
3. 雑誌名 情報処理学会誌3月号	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 高前田伸也	4. 巻 63
2. 論文標題 機械学習に適したハードウェア・ハードウェアに適した機械学習アルゴリズム	5. 発行年 2022年
3. 雑誌名 情報処理学会誌3月号	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 劉載勳	4. 巻 63
2. 論文標題 ランダム・スパース・ストカスティック – 新しい計算の形を目指して –	5. 発行年 2022年
3. 雑誌名 情報処理学会誌3月号	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ando Kota, Yu Jaehoon, Hirose Kazutoshi, Nakahara Hiroki, Kawamura Kazushi, Van Chu Thiem, Motomura Masato	4. 巻 -
2. 論文標題 Edge Inference Engine for Deep & Random Sparse Neural Networks with 4-bit Cartesian-Product MAC Array and Pipelined Activation Aligner	5. 発行年 2021年
3. 雑誌名 IEEE Hot Chips 33 Symposium Proceedings	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/HCS52781.2021.9567328	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Junnosuke Suzuki, Tomohiro Kaneko, Kota Ando, Kazutoshi Hirose, Kazushi Kawamura, Thiem Van Chu, Masato Motomura, Jaehoon Yu	4. 巻 11
2. 論文標題 ProgressiveNN: Achieving Computational Scalability with Dynamic Bit-Precision Adjustment by MSB-first Accumulative Computation	5. 発行年 2021年
3. 雑誌名 International Journal of Networking and Computing	6. 最初と最後の頁 338-353
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yamagishi Y., Kaneko T., Akai-Kasaya M., and Asai T.	4. 巻 -
2. 論文標題 Holmes: A hardware-oriented optimizer using logarithms	5. 発行年 2021年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yamagishi Yoshiharu, Kaneko Tatsuya, Akai-Kasaya Megumi, Asai Tetsuya	4. 巻 12
2. 論文標題 Hardware-oriented deep reinforcement learning for edge computing	5. 発行年 2021年
3. 雑誌名 Nonlinear Theory and Its Applications, IEICE	6. 最初と最後の頁 526-544
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/nolta.12.526	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kan Shaohua, Sasaki Yoshiaki, Asai Tetsuya, Akai-Kasaya Megumi	4. 巻 25
2. 論文標題 Applying a Molecular Device to Stochastic Computing Operation for a Hardware AI System Design	5. 発行年 2021年
3. 雑誌名 Journal of Signal Processing	6. 最初と最後の頁 221 ~ 225
掲載論文のDOI (デジタルオブジェクト識別子) 10.2299/jsp.25.221	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ambalathankandy Prasoon、Ou Yafei、Ikebe Masayuki	4. 巻 30
2. 論文標題 Warm-cool color-based high-speed decolorization: an empirical approach for tone mapping applications	5. 発行年 2021年
3. 雑誌名 Journal of Electronic Imaging	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1117/1.JEI.30.4.043026	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ikebe Masayuki、Ambalathankandy Prasoon、Ou Yafei	4. 巻 10
2. 論文標題 [Invited Paper] HDR Tone mapping: System Implementations and Benchmarking	5. 発行年 2022年
3. 雑誌名 ITE Transactions on Media Technology and Applications	6. 最初と最後の頁 27 ~ 51
掲載論文のDOI (デジタルオブジェクト識別子) 10.3169/mta.10.27	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 本村 真人、高前田 伸也、植吉 晃大、安藤 洸太、廣瀬 一俊	4. 巻 J103-C
2. 論文標題 深層ニューラルネットワーク向けプロセッサ技術の実例と展望	5. 発行年 2020年
3. 雑誌名 電子情報通信学会和文論文誌C, J103-C (05)	6. 最初と最後の頁 1-8
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kota Ando, Kodai Ueyoshi, Yuka Oba, Kazutoshi Hirose, Ryota Uematsu, Takumi Kudo, Masayuki Ikebe, Tetsuya Asai, Shinya Takamaeda-Yamazaki, Masato Motomura	4. 巻 E102
2. 論文標題 Dither NN: Hardware/Algorithm Co-Design for Accurate Quantized Neural Networks	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 1-8
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kazutoshi Hirose, Shinya Takamaeda-Yamazaki, Jaehoon Yu, Masato Motomura	4. 巻 Vol.9
2. 論文標題 Selective Fine-Tuning on a Classifier Ensemble: Realizing Adaptive Neural Networks With a Diversified Multi-Exit Architecture	5. 発行年 2020年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 6179-6187
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kubota H., Hasegawa T., Akai-Kasaya M., and Asai T.	4. 巻 Vol.25
2. 論文標題 Reservoir computing on atomic switch arrays with high precision and excellent memory characteristics	5. 発行年 2021年
3. 雑誌名 Journal of Signal Processing	6. 最初と最後の頁 1-8
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yamagishi Y., Kaneko T., Akai-Kasaya M., and Asai T.	4. 巻 Vol.12
2. 論文標題 Hardware-oriented deep reinforcement learning for edge computing	5. 発行年 2021年
3. 雑誌名 Nonlinear Theory and Its Applications	6. 最初と最後の頁 1-8
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yafei Ou, Prasoon Ambalathankandy, Shinya Takamaeda-Yamazaki, Masato Motomura, Tetsuya Asai, Masayuki Ikebe	4. 巻 Early Access
2. 論文標題 Real-time tone mapping: a survey and cross-implementation hardware benchmark	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Circuits and Systems for Video Technology	6. 最初と最後の頁 1-21
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Aimi Taguchi, Shun Shishido, Yafei Ou, Masayuki Ikebe, Tianyu Zeng, Wanxuan Fang, Koichi Murakami, Toshikazu Ueda, Nobutoshi Yasojima, Keitaro Sato, Kenichi Tamura, Kenneth Sutherland, Nozomi Oki, Ko Chiba, Kazuyuki Minowa, Masataka Uetani & Tamotsu Kamishima	4. 巻 34
2. 論文標題 Quantification of Joint Space Width Difference on Radiography Via Phase-Only Correlation (POC) Analysis: a Phantom Study Comparing with Various Tomographical Modalities Using Conventional Margin-Contouring	5. 発行年 2021年
3. 雑誌名 Journal of Digital Imaging	6. 最初と最後の頁 96-104
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Prasoon Ambalathankandy, Masayuki Ikebe, Takashi Yoshida, Takeshi Shimada, Shinya Takamaeda-Yamazaki, Masato Motomura, and Tetsuya Asai	4. 巻 30
2. 論文標題 An Adaptive Global and Local Tone Mapping Algorithm Implemented on FPGA	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Circuits and Systems for Video Technology	6. 最初と最後の頁 3015-3028
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kodai Ueyoshi, Kota Ando, Kazutoshi Hirose, Shinya Takamaeda-Yamazaki, Mototsugu Hamada, Tadahiro Kuroda, and Masato Motomura	4. 巻 54, 1
2. 論文標題 QUEST: Multi-Purpose Log-Quantized DNN Inference Engine Stacked on 96-MB 3D SRAM Using Inductive Coupling Technology in 40-nm CMOS	5. 発行年 2019年
3. 雑誌名 IEEE Journal of Solid-State Circuits	6. 最初と最後の頁 186-196
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Sasaki K., Okamoto S., Tashiro S., Asai T., and *Kasai S.	4. 巻 58, SDDE
2. 論文標題 Formation and characterization of charge coupled structure of polyoxometalate particles and a GaAs-based nanowire for readout of molecular charge states	5. 発行年 2019年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 1-6
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Hirose K., Uematsu R., Ando K., Ueyoshi K., Ikebe M., Asai T., Motomura M., and *Takamaeda-Yamazai S.	4. 巻 E9-N, 4
2. 論文標題 Quantization error-based regularization for hardware-aware neural network training," Nonlinear Theory and Its Applications	5. 発行年 2018年
3. 雑誌名 Nonlinear Theory and Its Applications	6. 最初と最後の頁 148-156
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 浅井 哲也	4. 巻 25, 4
2. 論文標題 情報・神経科学とものづくりの学際融合による人工知能ハードウェア	5. 発行年 2018年
3. 雑誌名 日本神経回路学会誌	6. 最初と最後の頁 453-465
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kaneko T., Orimo K., Hida I., Takamaeda-Yamazai S., Ikebe M., Motomura M., and *Asai T.	4. 巻 23, 4
2. 論文標題 Hardware-oriented algorithm and architecture for generative adversarial networks	5. 発行年 2019年
3. 雑誌名 Journal of Signal Processing	6. 最初と最後の頁 151-154
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計88件 (うち招待講演 42件 / うち国際学会 30件)

1. 発表者名 Masato Motomura
2. 発表標題 "Hot" Techs for "Cool" AI Computing: Do We have Enough Tricks?
3. 学会等名 Cool Chips 24. (招待講演)
4. 発表年 2021年

1. 発表者名 鈴木 淳之介, 安藤 洸太, 廣瀬 一俊, 川村 一志, Thiem Van Chu, 本村 真人, 劉載勳
2. 発表標題 ビットスケーラブルCNNにおける計算量・精度トレードオフ制御手法の検討
3. 学会等名 LSIとシステムとワークショップ
4. 発表年 2021年

1. 発表者名 本村真人
2. 発表標題 LSI技術が開く構造型情報処理の新展開
3. 学会等名 LSIとシステムとワークショップ (招待講演)
4. 発表年 2021年

1. 発表者名 鈴木 淳之介, 安藤 洸太, 廣瀬 一俊, 川村 一志, Thiem Van Chu, 本村 真人, 劉載勳
2. 発表標題 対称二進表現に基づくビットスケーラブルCNN推論手法
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2021年

1. 発表者名 Masato Motomura
2. 発表標題 CGRAs for Broad Embedded Market & for Neural Networks
3. 学会等名 IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP) (招待講演)
4. 発表年 2021年

1. 発表者名 本村真人
2. 発表標題 AIチップの現状と今後について
3. 学会等名 JEITAシーオリエンテッド先端実装技術分科会（招待講演）
4. 発表年 2021年

1. 発表者名 安藤洸太
2. 発表標題 二値・三値・量子化ニューラルネットワークの推論LSIと学習アルゴリズム
3. 学会等名 多値論理研究会 多値論理フォーラム（招待講演）
4. 発表年 2021年

1. 発表者名 本村真人
2. 発表標題 HotChips2021にみる機械学習アクセラレータの動向：東工大DNN推論アクセラレータの発表内容紹介，及びその他の同分野発表サマリ
3. 学会等名 第31回AIチップ設計拠点フォーラム（招待講演）
4. 発表年 2022年

1. 発表者名 本村真人
2. 発表標題 知能コンピューティングを加速するアーキテクチャ基盤技術
3. 学会等名 情報処理学会第84回全国大会（招待講演）
4. 発表年 2022年

1. 発表者名 浅井哲也
2. 発表標題 確率的コンピューティングの再発掘：AI推論・学習演算への適用とそのアーキテクチャ
3. 学会等名 情報処理学会第84回全国大会（招待講演）
4. 発表年 2022年

1. 発表者名 池辺将之
2. 発表標題 画像解像度を考慮したHW向け機械学習システム・アーキテクチャ
3. 学会等名 情報処理学会第84回全国大会（招待講演）
4. 発表年 2022年

1. 発表者名 高前田伸也
2. 発表標題 機械学習に適したハードウェア，ハードウェアに適した機械学習アルゴリズム
3. 学会等名 情報処理学会第84回全国大会（招待講演）
4. 発表年 2022年

1. 発表者名 劉 載勳
2. 発表標題 データ再利用性を考慮した高効率CNN推論アーキテクチャ
3. 学会等名 情報処理学会第84回全国大会（招待講演）
4. 発表年 2022年

1. 発表者名 佐々木 義明, 村松 聖倭, 西田 浩平, 赤井 恵, 浅井 哲也
2. 発表標題 確率的コンピューティングを導入した多層パーセプトロンのデジタル実装
3. 学会等名 電子情報通信学会複雑コミュニケーションサイエンス研究会
4. 発表年 2021年

1. 発表者名 山岸 善治, 金子 竜也, 百瀬 啓, 赤井 恵, 浅井 哲也
2. 発表標題 強化学習を用いたマイコン制御ロボットアーム間の物体移動評価
3. 学会等名 電子情報通信学会総合大会
4. 発表年 2021年

1. 発表者名 金子 竜也, 山岸 善治, 百瀬 啓, 浅井 哲也
2. 発表標題 アナログAIデバイスのオンライン学習に向けた学習アルゴリズムとそのFPGAアーキテクチャ
3. 学会等名 第34回 回路とシステムワークショップ
4. 発表年 2021年

1. 発表者名 山岸 善治, 金子 竜也, 赤井 恵, 浅井 哲也
2. 発表標題 エッジ学習に向けたモーメンタム最適化法のハードウェア設計
3. 学会等名 電子情報通信学会ソサイエティ大会
4. 発表年 2021年

1. 発表者名 金子 竜也, 山岸 善治, 百瀬 啓, 浅井 哲也
2. 発表標題 エッジAIのオンライン学習に向けたハードウェア指向対数量子化オブティマイザの提案
3. 学会等名 電子情報通信学会複雑コミュニケーションサイエンス研究会
4. 発表年 2022年

1. 発表者名 Kan S., Sasaki Y., Asai T., and Akai-Kasaya M
2. 発表標題 Applying a molecular device to stochastic computing operation for a hardware AI system design
3. 学会等名 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing
4. 発表年 2021年

1. 発表者名 Sasaki Y., Muramatsu S., Nishida K., Akai-Kasaya M., and Asai T.
2. 発表標題 Digital implementation of a multilayer perceptron based on stochastic computing with online learning function
3. 学会等名 The 2021 Nonlinear Science Workshop
4. 発表年 2021年

1. 発表者名 Yamagishi Y., Kaneko T., Akai-Kasaya M., and Asai T.
2. 発表標題 Hardware design of the target Q-network for edge-oriented deep reinforcement learning
3. 学会等名 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing 2021
4. 発表年 2021年

1. 発表者名 浅井 哲也
2. 発表標題 超スマート社会に向けたニューロモルフィック材料・デバイス・システムの展望
3. 学会等名 日本金属学会 2021年春期大会（招待講演）
4. 発表年 2021年

1. 発表者名 浅井 哲也
2. 発表標題 研究開発の動向とエッジAIアプリ創出の展望
3. 学会等名 JST新技術説明会（招待講演）
4. 発表年 2021年

1. 発表者名 浅井 哲也
2. 発表標題 ニューロモルフィック情報処理とその集積システム
3. 学会等名 応用物理学会秋季学術講演会シンポジウム（招待講演）
4. 発表年 2021年

1. 発表者名 浅井 哲也
2. 発表標題 ニューロモルフィック工学と集積システム
3. 学会等名 バイオ・マイクロ・ナノテク研究会（招待講演）
4. 発表年 2021年

1. 発表者名 Asai, T.
2. 発表標題 Re-pioneering stochastic computing towards edge-AI devices with inference and learning abilities
3. 学会等名 The 3rd International Symposium on Neuromorphic AI Hardware (招待講演)
4. 発表年 2022年

1. 発表者名 Ikebe, M.
2. 発表標題 A CMOS global shutter THz Image Sensor with Process Variation Compensation Technique
3. 学会等名 The 3rd Workshop on Quantum Beam Imaging (招待講演)
4. 発表年 2021年

1. 発表者名 鎌田夏実
2. 発表標題 CMOSイメージセンサ用連続サンプリング型VCO-ADC
3. 学会等名 電子情報通信学会ICD,SDM・映像情報メディア学会IST共催研究会
4. 発表年 2021年

1. 発表者名 弓削田陸生
2. 発表標題 逐次生体情報を用いた認証システム・ハードウェアの研究
3. 学会等名 LSIとシステムのワークショップ2021
4. 発表年 2021年

1. 発表者名 Masato Motomura
2. 発表標題 "Hot" Techs for "Cool" AI Computing: Do We have Enough Tricks?
3. 学会等名 Cool Chips 24. (招待講演) (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 鈴木 淳之介, 安藤 洸太, 廣瀬 一俊, 川村 一志, Thiem Van Chu, 本村 真人, 劉載勳
2. 発表標題 ビットスケーラブルCNNにおける計算量・精度トレードオフ制御手法の検討
3. 学会等名 LSIとシステムとワークショップ
4. 発表年 2021年

1. 発表者名 本村真人
2. 発表標題 LSI技術が開く構造型情報処理の新展開
3. 学会等名 LSIとシステムとワークショップ (招待講演)
4. 発表年 2021年

1. 発表者名 鈴木 淳之介, 安藤 洸太, 廣瀬 一俊, 川村 一志, Thiem Van Chu, 本村 真人, 劉載勳
2. 発表標題 対称二進表現に基づくビットスケーラブルCNN推論手法
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2021年

1. 発表者名 Masato Motomura
2. 発表標題 CGRAs for Broad Embedded Market & for Neural Networks
3. 学会等名 IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP) (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 本村真人
2. 発表標題 AIチップの現状と今後について
3. 学会等名 JEITAシーオリエンテッド先端実装技術分科会 (招待講演)
4. 発表年 2021年

1. 発表者名 安藤洸太
2. 発表標題 二値・三値・量子化ニューラルネットワークの推論LSIと学習アルゴリズム
3. 学会等名 多値論理研究会 多値論理フォーラム (招待講演)
4. 発表年 2021年

1. 発表者名 本村真人
2. 発表標題 HotChips2021にみる機械学習アクセラレータの動向：東工大DNN推論アクセラレータの発表内容紹介，及びその他の同分野発表サマリ
3. 学会等名 第31回AIチップ設計拠点フォーラム
4. 発表年 2021年

1. 発表者名 佐々木 義明, 村松 聖倭, 西田 浩平, 赤井 恵, 浅井 哲也
2. 発表標題 確率的コンピューティングを導入した多層パーセプトロンのデジタル実装
3. 学会等名 電子情報通信学会複雑コミュニケーションサイエンス研究会
4. 発表年 2021年

1. 発表者名 山岸 善治, 金子 竜也, 百瀬 啓, 赤井 恵, 浅井 哲也
2. 発表標題 強化学習を用いたマイコン制御ロボットアーム間の物体移動評価
3. 学会等名 電子情報通信学会総合大会
4. 発表年 2021年

1. 発表者名 金子 竜也, 山岸 善治, 百瀬 啓, 浅井 哲也
2. 発表標題 アナログAIデバイスのオンライン学習に向けた学習アルゴリズムとそのFPGAアーキテクチャ
3. 学会等名 第34回 回路とシステムワークショップ
4. 発表年 2021年

1. 発表者名 第34回 回路とシステムワークショップ
2. 発表標題 エッジ学習に向けたモーメンタム最適化法のハードウェア設計
3. 学会等名 電子情報通信学会ソサイエティ大会
4. 発表年 2021年

1. 発表者名 Kan S., Sasaki Y., Asai T., and Akai-Kasaya M
2. 発表標題 Applying a molecular device to stochastic computing operation for a hardware AI system design
3. 学会等名 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing (国際学会)
4. 発表年 2021年

1. 発表者名 Sasaki Y., Muramatsu S., Nishida K., Akai-Kasaya M., and Asai T.
2. 発表標題 Digital implementation of a multilayer perceptron based on stochastic computing with online learning function
3. 学会等名 The 2021 Nonlinear Science Workshop (国際学会)
4. 発表年 2021年

1. 発表者名 Yamagishi Y., Kaneko T., Akai-Kasaya M., and Asai T.
2. 発表標題 Hardware design of the target Q-network for edge-oriented deep reinforcement learning
3. 学会等名 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing 2021 (国際学会)
4. 発表年 2021年

1. 発表者名 浅井 哲也
2. 発表標題 超スマート社会に向けたニューロモルフィック材料・デバイス・システムの展望
3. 学会等名 日本金属学会 2021年春期大会 (招待講演)
4. 発表年 2021年

1. 発表者名 浅井 哲也
2. 発表標題 研究開発の動向とエッジAIアプリ創出の展望
3. 学会等名 JST新技術説明会（招待講演）
4. 発表年 2021年

1. 発表者名 浅井 哲也
2. 発表標題 ニューロモルフィック情報処理とその集積システム
3. 学会等名 応用物理学会秋季学術講演会シンポジウム（招待講演）（国際学会）
4. 発表年 2021年

1. 発表者名 浅井 哲也
2. 発表標題 ニューロモルフィック工学と集積システム
3. 学会等名 バイオ・マイクロ・ナノテク研究会（招待講演）
4. 発表年 2021年

1. 発表者名 Ikebe, M.
2. 発表標題 A CMOS global shutter THz Image Sensor with Process Variation Compensation Techniqu
3. 学会等名 The 3rd Workshop on Quantum Beam Imaging（国際学会）
4. 発表年 2021年

1. 発表者名 鎌田夏実
2. 発表標題 CMOSイメージセンサ用連続サンプリング型VCO-ADC
3. 学会等名 電子情報通信学会ICD,SDM・映像情報メディア学会IST共催研究会
4. 発表年 2021年

1. 発表者名 弓削田陸生
2. 発表標題 逐次生体情報を用いた認証システム・ハードウェアの研究
3. 学会等名 LSIとシステムのワークショップ2021
4. 発表年 2021年

1. 発表者名 Junnosuke Suzuki, Kota Ando, Kazutoshi Hirose, Kazushi Kawamura, Thiem Van Chu, Masato Motomura, Jaehoon Yu
2. 発表標題 ProgressiveNN: Achieving Computational Scalability without Network Alteration by MSB-first Accumulative Computation
3. 学会等名 : International Symposium on Computing and Networking (CANDAR) (国際学会)
4. 発表年 2020年

1. 発表者名 Masato Motomura
2. 発表標題 Designing AI Accelerator Chips for the Smarter Future
3. 学会等名 International Conference on Integrated Circuits, Technologies and Applications (ICTA) (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Masato Motomura
2. 発表標題 Domain-Specific Architectures for Boosting "Compute for Intelligence"
3. 学会等名 International Workshop on Computer Systems and Architectures (CSA) (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 本村真人
2. 発表標題 ポストノイマン・ポストムーア時代の情報処理アーキテクチャ
3. 学会等名 2021年 第68回 応用物理学会春季学術講演会, 一般公開シンポジウム: AI/IoT時代を支えるポストムーアパラダイムへの挑戦 (招待講演)
4. 発表年 2021年

1. 発表者名 池田 泰我, 植吉 晃大, 安藤 洸太, 廣瀬 一俊, 浅井 哲也, 本村 真人, 高前田 伸也
2. 発表標題 効率的なDNN計算のための無効ニューロン予測手法の評価
3. 学会等名 情報処理学会 システム・アーキテクチャ研究会
4. 発表年 2020年

1. 発表者名 植吉 晃大, 池田 泰我, 安藤 洸太, 廣瀬 一俊, 浅井 哲也, 高前田 伸也, 本村 真人
2. 発表標題 無効ニューロン予測によるDNN計算効率化手法
3. 学会等名 電子情報通信学会 リコンフィギャラブルシステム研究会
4. 発表年 2020年

1. 発表者名 Masato Motomura
2. 発表標題 AI Computing: The Promised Land for Computer Architecture Innovation?
3. 学会等名 Future Chips Forum (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 Masato Motomura
2. 発表標題 Reconfigurable and Domain-Specific Hardware for AI Computing
3. 学会等名 IEEE SSCS Distinguished Lecturer (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Yamagishi Y., Kaneko T., Akai-Kasaya M., and Asai T.
2. 発表標題 Hardware design of the target Q-network for edge-oriented deep reinforcement learning
3. 学会等名 RISP International Workshop on Nonlinear Circuits (国際学会)
4. 発表年 2021年

1. 発表者名 Kubota H., Hasegawa T., Akai-Kasaya M., and Asai T.
2. 発表標題 Reservoir computing on atomic switch arrays with high precision and excellent memory characteristics
3. 学会等名 RISP International Workshop on Nonlinear Circuits (国際学会)
4. 発表年 2021年

1. 発表者名 Sasaki Y., Nishida K., Akai-Kasaya M., and Asai T.
2. 発表標題 Digital implement of 3-layered neural networks with stochastic activation, shunting inhibition, and a dual-rail backpropagation
3. 学会等名 The 9th RIEC International Symposium on Brain Functions and Brain Computer (国際学会)
4. 発表年 2020年

1. 発表者名 久保田 宙, 長谷川 剛, 赤井 恵, 浅井 哲也
2. 発表標題 原子スイッチアレイを用いた物理リザバーコンピューティング
3. 学会等名 第68回応用物理学会春季学術講演会
4. 発表年 2021年

1. 発表者名 山岸 善治, 金子 竜也, 百瀬 啓, 赤井 恵, 浅井 哲也
2. 発表標題 強化学習を用いたマイコン制御ロボットアーム間の物体移動評価
3. 学会等名 2021年電子情報通信学会総合大会
4. 発表年 2021年

1. 発表者名 久保田 宙, 長谷川 剛, 赤井 恵, 浅井 哲也
2. 発表標題 分子膜ギャップ型原子スイッチのSPICEモデル
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 Ambalathankandy, P., Ou, Y., Kochiyil, J., Takamaeda, S., Motomura, M., Asai, T., and Ikebe, M.
2. 発表標題 Radiography Contrast Enhancement: Smoothed LHE Filter a Practical Solution for Digital X-Rays with Mach Band
3. 学会等名 2019 Digital Image Computing: Techniques and Applications (DICTA) (国際学会)
4. 発表年 2019年

1. 発表者名 Ou, Y., Ambalathankandy, P., Shimada, T., Kamishima, T., and Ikebe, M.
2. 発表標題 Automatic Radiographic Quantification of Joint Space Narrowing Progression in Rheumatoid Arthritis Using POC
3. 学会等名 2019 IEEE 16th International Symposium on Biomedical Imaging (ISBI 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 池辺将之
2. 発表標題 1画素単位で輝度を適切に制御する高速かつグローバル・ローカル適応型画像処理
3. 学会等名 光と レーザーの科学技術フェア2019 (招待講演)
4. 発表年 2019年

1. 発表者名 池辺将之
2. 発表標題 X線画像診断に向けた定量的サブピクセル関節破壊量計測
3. 学会等名 映像情報メディア学会情報センシング11月研究会 (招待講演) (招待講演)
4. 発表年 2019年

1. 発表者名 池辺将之
2. 発表標題 32×32 画素並列ADC 構成によるグローバルシャッタ型CMOS テラヘルツイメージセンサ
3. 学会等名 シンポジウム テラヘルツ科学の最先端 (招待講演)
4. 発表年 2019年

1. 発表者名 Masayuki Ikebe
2. 発表標題 A CMOS THz Image Sensor with Process Variation Tolerance Technique
3. 学会等名 IEEE International Symposium on Radio-Frequency Integration Technology (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Yuri Kanazawa
2. 発表標題 A 32x32-Pixel Global Shutter CMOS THz Imager with VCO-Based ADC
3. 学会等名 26th Asia and South Pacific Design Automation Conference ASP-DAC 2021 (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 池辺将之
2. 発表標題 画素並列ADCを持つグローバルシャッタ型テラヘルツ光CMOSイメージセンサとその補正機構
3. 学会等名 テラヘルツシステム応用推進協議会 (招待講演)
4. 発表年 2020年

1. 発表者名 池辺将之
2. 発表標題 イメージセンサと局所適応型画像処理の開発とその展望
3. 学会等名 映像情報メディア学会2020年次大会（招待講演）
4. 発表年 2020年

1. 発表者名 池辺将之
2. 発表標題 センシング後の画像処理に向けた高速・適応型輝度チャンネル表現
3. 学会等名 情報センシング研究会（IST）新規イメージセンサ・光源・信号処理に基づくイメージセンシング
4. 発表年 2020年

1. 発表者名 池辺将之
2. 発表標題 センシング後の画像処理に向けた高速・適応型輝度チャンネル表現
3. 学会等名 情報センシング研究会（IST）新規イメージセンサ・光源・信号処理に基づくイメージセンシング
4. 発表年 2020年

1. 発表者名 Kaneko T., Ikebe M., Takamaeda-Yamazai S., Motomura M., and *Asai T.
2. 発表標題 Hardware-oriented algorithm and architecture for generative adversarial networks
3. 学会等名 2019 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing (国際学会)
4. 発表年 2019年

1. 発表者名 Suzuki S., Rim S., Takamaeda-Yamazai S., Ikebe M., Motomura M., and *Asai T.
2. 発表標題 Experimental demonstration of physical reservoir computing with nonlinear electronic devices
3. 学会等名 2019 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing (国際学会)
4. 発表年 2019年

1. 発表者名 uzuki S., Rim S., Takamaeda-Yamazai S., Ikebe M., Motomura M., and *Asai T.
2. 発表標題 Experimental demonstration of physical reservoir computing with nonlinear electronic devices
3. 学会等名 2019 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing (国際学会)
4. 発表年 2019年

1. 発表者名 Kaneko T., Ikebe M., Takamaeda-Yamazai S., Motomura M., and *Asai T.
2. 発表標題 Ternarized backpropagation: a hardware-oriented optimization algorithm for edge-oriented AI devices
3. 学会等名 7th RIEC International Symposium on Brain Functions and Brain Computer (国際学会)
4. 発表年 2019年

1. 発表者名 Rim S., Suzuki S., Takamaeda-Yamazai S., Ikebe M., Motomura M., and *Asai T.
2. 発表標題 Approach to reservoir computing with Schmitt trigger oscillator-based analog neural circuits
3. 学会等名 7th Japan-Korea Joint Workshop on Complex Communication Sciences (国際学会)
4. 発表年 2018年

1. 発表者名 Ando K., Ueyoshi K., Oba Y., Hirose K., Uematsu R., Kudo T., Ikebe M., Asai T., Takamaeda-Yamazai S., and *Motomura M.
2. 発表標題 Dither NN: an accurate neural network with dithering for low bit-precision hardware
3. 学会等名 2018 International Conference on Field-Programmable Technology (FPT'18) (国際学会)
4. 発表年 2018年

1. 発表者名 Ambalathankandy P., Shimada T., Takamaeda-Yamazai S., Motomura M., Asai T., and *Ikebe M.
2. 発表標題 Analysis of smoothed LHE methods for processing images with optical illusions
3. 学会等名 IEEE International Conference on Visual Communications and Image Processing (国際学会)
4. 発表年 2018年

1. 発表者名 Kudo T., Ueyoshi K., Ando K., Hirose K., Uematsu R., Oba Y., Ikebe M., Asai T., Motomura M., and *Takamaeda-Yamazai S.
2. 発表標題 Area and energy optimization for bit-serial log-quantized DNN Accelerator with shared accumulators
3. 学会等名 IEEE 12th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (国際学会)
4. 発表年 2018年

1. 発表者名 Motomura M.
2. 発表標題 Intelligence at the Edge: Frontiers for Energy-Efficient Hardware Architectures
3. 学会等名 Riken International Workshop on Neuromorphic Computing (R-WoNC '19) (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 Motomura M.
2. 発表標題 Structure-Oriented Computing: Where Software Redefines Hardware Architecture
3. 学会等名 The 3rd Future Chips Forum (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 Motomura M.
2. 発表標題 Intelligence at the Edge: Frontiers for Energy-Efficient Hardware Architectures
3. 学会等名 International IoT Solid-State Circuits Workshop (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 浅井 哲也
2. 発表標題 神経科学と情報科学, ものづくりの学際融合によるAIハードウェア・デバイスに向けて
3. 学会等名 JEITA非ノイマン型情報処理へ向けたデバイス技術分科会 (招待講演)
4. 発表年 2019年

〔図書〕 計0件

〔出願〕 計3件

産業財産権の名称 ニューラルネットワーク回路装置	発明者 本村真人, 劉載勳	権利者 同左
産業財産権の種類、番号 特許、特願2021-192336	出願年 2021年	国内・外国の別 国内

産業財産権の名称 学習装置, 減算回路及び活性化関数回路	発明者 浅井 哲也, 西田 浩平, 佐々木 義明	権利者 同左
産業財産権の種類、番号 特許、特願2021-118326	出願年 2021年	国内・外国の別 国内

産業財産権の名称 最適化装置及び最適化方法並びに最適化用プログラム	発明者 浅井 哲也, 山岸 善治, 金子 竜也	権利者 同左
産業財産権の種類、番号 特許、特願2022-011651	出願年 2022年	国内・外国の別 国内

〔取得〕 計0件

〔その他〕

東京工業大学AIコンピューティング http://www.artic.iir.titech.ac.jp/wp/ 北海道大学アドバンストLSI工学研究グループ http://lalsie.ist.hokudai.ac.jp/jp/ 東京大学コンピュータアーキテクチャ・システム研究室 https://sites.google.com/view/casys-ja/ 北海道大学量子マルチメディアシステム研究室 https://www.rciqe.hokudai.ac.jp/education/labo/iqs/ 東京工業大学AIコンピューティング http://www.artic.iir.titech.ac.jp/wp/ 北海道大学アドバンストLSI工学研究グループ http://lalsie.ist.hokudai.ac.jp/jp/ 東京大学コンピュータアーキテクチャ・システム研究室 https://sites.google.com/view/casys-ja/ 北海道大学量子マルチメディアシステム研究室 https://www.rciqe.hokudai.ac.jp/education/labo/iqs/ 東京工業大学AIコンピューティング http://www.artic.iir.titech.ac.jp/wp/ 北海道大学アドバンストLSI工学研究グループ http://lalsie.ist.hokudai.ac.jp/jp/ 東京大学コンピュータアーキテクチャ・システム研究室 https://sites.google.com/view/casys-ja/ 北海道大学量子マルチメディアシステム研究室
--

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	浅井 哲也 (Asai Tetsuya) (00312380)	北海道大学・情報科学研究院・教授 (10101)	
研究分担者	池辺 将之 (Ikebe Masayuki) (20374613)	北海道大学・量子集積エレクトロニクス研究センター・教授 (10101)	
研究分担者	高前田 伸也 (Takamaeda Shinya) (60738897)	東京大学・大学院情報理工学系研究科・准教授 (12601)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------