

令和 4 年 5 月 23 日現在

機関番号：14401

研究種目：基盤研究(C) (一般)

研究期間：2018～2021

課題番号：18K04235

研究課題名(和文)エピタキシャル高誘電率ゲート絶縁膜を用いた高機能ゲルマニウムトランジスタ

研究課題名(英文)High quality Ge-based transistor using epitaxially grown high-k gate insulators

研究代表者

金島 岳 (Kanashima, Takeshi)

大阪大学・基礎工学研究科・准教授

研究者番号：30283732

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：低温成長エピタキシャルLa2O3をゲート絶縁膜に用いたゲルマニウム(Ge)-MISFETは、熱的に不安定で比較的誘電率の低いGeO2層を用いることなく、原子マッチングにより低界面欠陥で直接Ge上に形成することから、更なる微細化にむけた酸化膜換算膜厚(EOT)の低減が可能である。そこで、界面特性向上のため、表面パッシベーションとしてヨウ素溶液処理の最適化およびトランジスタ作製プロセスの最適化を行い、350℃と低温で作製したGe-MOSFETな移動度を得た。さらに、より小さいEOTの実現のため、成長中の酸素濃度を制御やアニール条件の最適化により界面反応の抑制を行った。

研究成果の学術的意義や社会的意義

本研究では、次世代半導体材料として有望視されているゲルマニウム(Ge)に格子マッチングするLa2O3ゲート絶縁膜を組み合わせ、新たに提案した基板表面処理、および界面反応を抑制することで、高品質なゲートスタックを形成できることを示した。これは、全結晶材料MISFETへの道への開拓と繋がる。そして、既にエピタキシャル積層構造を実証しつつあるように、今までは困難であったGe(111)上へのゲート絶縁膜上に、さらなる機能性結晶材料をエピタキシャルに積層することで、新たな機能の発現や、半導体材料を積層成長させることで、縦型(3D)構造による超高集積化など、更なる機能改善へと展開が期待される。

研究成果の概要(英文)：Germanium (Ge)-MISFETs using low-temperature growth epitaxial La2O3 as a gate insulating film have been focused. The gate-stack is formed directly on Ge with low interface defects by atomic matching without a GeO2 buffer layer which is thermally unstable and relatively low dielectric constant. Therefore, it can reduce the oxide film equivalent film thickness (EOT) for further miniaturization. In order to improve the interface characteristics, the iodine solution treatment is optimized as surface passivation and the Ge-based transistor fabrication process is optimized. As a result, relatively high mobility of the Ge-MOSFET fabricated at a low temperature of 350 °C is achieved. Moreover, in order to realize a smaller EOT, the interface reaction was suppressed by controlling the oxygen concentration during growth and optimizing the annealing conditions.

研究分野：半導体電子工学

キーワード：Ge-MISFET La2O3 原子マッチング 結晶転位 接触角 ラジカル処理 エピタキシャル絶縁膜

1. 研究開始当初の背景

半導体デバイスの微細化・高集積化は社会の発展を支えており、とどまることなく高性能化を進めていく必要がある。そのため、現在主に用いられる半導体材料であるシリコン (Si) に代わる高い移動度をもつゲルマニウム (Ge) 半導体が注目されており、高誘電率ゲート絶縁膜 (high-*k* ゲート絶縁膜) と組み合わせ、新たなトランジスタの開発が進められている。これまでの Ge トランジスタは半導体基板上に直接 high-*k* ゲート絶縁膜を形成すると劣悪な特性しか得られないため、バッファ層としてアモルファス酸化膜 (GeO₂) を挿入する必要があった。この方法により作製された n-MISFET において 2000 cm²/V_s 程度の高い移動度が報告されているが、プロセス温度が比較的高い。さらに high-*k* ゲート絶縁膜は比較的ばらつきの少ない膜成長が可能であることからアモルファス (非晶質) が用いられているため、その上に結晶の薄膜を成長させるなど縦型 (3D) 構造にすることも難しい。そのため、やはり、エピタキシャル成長可能な GeO₂ 層の無い high-*k* 絶縁膜/Ge の直接接合が望ましい。そして、アモルファス層を不要とすることで、全結晶ゲート絶縁膜を形成することが出来れば、ゲート絶縁膜の上に機能性結晶材料 (強誘電体や強磁性体など) を直接形成することも可能となり、トランジスタのさらなる高性能化・多機能化も期待できる。

2. 研究の目的

本研究の目的は、MISFET に用いられているゲート絶縁膜に界面整合を考慮した結晶材料を選定し、界面構造制御のみで低温エピタキシャル成長させ、従来必要であった高温アニールを不要とし、界面のダングリングボンドを抑制した高性能素子を実証することである。さらに、ゲート絶縁膜に従来のアモルファス材料ではなく結晶材料を用いるだけでなく、キャップ層なども結晶材料を用いることで、誘電率の低いアモルファス材料を全く用いることなく全結晶ゲートスタックを作製する。そして、GeO₂ などのバッファ層を不要とし小さな EOT を実現し、高い比誘電率を活かし、少ないリーク電流をもつ、低消費電力で高性能な全結晶材料 MISFET の可能性を実証する。ここで、high-*k* ゲート絶縁膜材料としては、Ge に格子マッチングする La₂O₃ 結晶、およびこの材料の欠点である高い吸湿性を改善するために Lu などをドープした La₂O₃ に注目した。

3. 研究の方法

本研究では、熱酸化により形成された GeO₂ を用いた従来構造とは全く異なり、Ge 基板上に La₂O₃ を直接成長するため、絶縁膜成長直前の Ge 表面がそのまま界面となる。界面特性はデバイス性能に強く影響するため、良好な特性を得るためには、成長前の基板表面処理が非常に重要である。そこで、表面パッシベーションとして硫化アンモニウムに浸漬する方法などが報告されているが、ここでは我々が提案している、表面酸化膜除去後にヨウ素溶液に浸漬する、ヨウ素溶液処理を用い、濃度および時間を最適化した。さらに、簡便で特別な処理などを必要とせず洗浄プロセス中に適用することを考え、表面状態の変化を、濡れ性 (表面接触角) により調べ、条件の最適化の検討をおこなった。

High-*k* ゲート絶縁膜 La₂O₃ はパルスレーザ蒸着法 (PLD) により Ge 基板上にエピタキシャル成長させた。特性改善のためには、成長パラメータであるパルスレーザの出力・エネルギー密度・繰り返し周波数、成長中の雰囲気・圧力および基板温度を最適化することが重要である。そこで、界面特性の成長パラメータに対する依存性を調べた。また、成膜後にアニール処理を行った。アニール温度は、膜成長温度と同程度の低温プロセスとした。

4. 研究成果

(1) 高品質な界面を形成するための基板処理

表面状態を調べる方法には様々な方法があるが、ここでは基板の表面接触角に注目した。これは、真空を必要としないため洗浄直後や洗浄プロセス中の表面を速やかに調べることができ、実際の製造プロセスにおけるモニタ法としても用いることが出来るなどの利点を持つためである。一般に Ge や Si など表面に自然酸化膜を形成する半導体においては、希フッ酸水溶液 (HF) (濃度 1~10% 程度) で、表面自然酸化膜を除去する。Si においては、十分に研究が行われており、希フッ酸で速やかに表面酸化膜が除去され、H (水素) により終端され、強い撥水性を示すことが知られている。しかし、Ge は処理により表面が撥水性になるのか親水性になるかもよく分かっていない。そこで、希フッ酸処理により表面がどのようなようになるかを調べた。その結果、図 1 に示されるように表面が疎水性を示すためには 15 分程度と Si と比較すると 5 倍以上の時間がかかり、また小さな値で飽和することが本研究より明らかになった。さらに、HF 浸漬後、続けて塩酸 (HCl) に浸漬したところ、接触角が増加させることができた。さらに、電気特性との対応から表面接触角が大きくなるほど、界面準位密度が小さくなることを新たに見だし、界面特性改善につなげることに成功した。このように、接触角を用いて表面状態をモニターすることが有

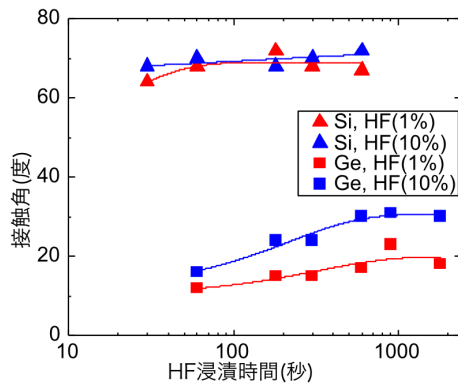


図 1. Ge および Si 基板の HF 浸漬時間に対する表面接触角.

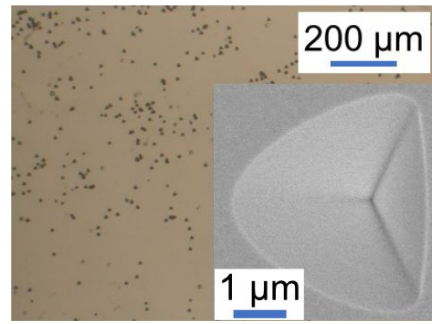


図 2. 高濃度ヨウ素溶液処理後の基板表面の光学顕微鏡写真. 右下はピットの SEM による拡大像.

効であることが分かったので、ヨウ素処理における接触角変化を調べた。その結果、1 分から 100 分まで浸漬時間を変えてもほぼ接触角に変化が見られなかった。XPS で表面にヨウ素が存在していることは確認しており、短時間で表面終端が完了していることが示唆された。

(2) Ge 基板上への La_2O_3 ゲート絶縁膜のエピタキシャル成長

$\text{La}_2\text{O}_3/\text{Ge}$ 直接接合の特性改善のために、PLD 成長パラメータとの依存性、アニール特性を検討し、成長条件の最適化をおこなった。一般的に、PLD においては、パルスレーザ密度 (J/cm^2) が重要な成長パラメータと考えられていたが、これまでは注目していなかったパルスレーザ強度 (J) も界面特性に影響することを示唆する新たな知見が得られ、それらを含めて再検討することで、低界面欠陥形成に向けた成長アプローチを開拓することができた。さらに、レーザパルス周波数、成長中のガス分圧、温度を各層ごとに变化させるなど、成長条件の更なる最適化を行い、Ge 表面処理を組み合わせることで、低欠陥界面の形成に成功した。

さらに、一般に Ge-MISFET の界面特性向上のためにはアニールが行われているが、その改善の起因についてはこれまで明確になっていない。そこで、エピタキシャル La_2O_3 ゲート絶縁膜/Ge 直接接合低欠陥界面の形成の指針を得るために、1 気圧の窒素中および 0.01, 0.1 Pa の酸素雰囲気でのアニールを行い比較した。その結果、0.1 Pa の酸素中でのアニールにより C-V 特性が向上していることが分かった。これは、一般的な高純度窒素ガスボンベに含まれている不純物量程度であり、微量な残留酸素ですら、電気特性に強く影響する可能性を示している。このように、特性改善には製膜およびアニール時の酸素濃度の制御が重要であり、これまでは十分検討できていなかった新たな製膜パラメータを見いだした。

(3) Ge 基板の結晶欠陥

Ge 基板表面パッシベーションとして、ヨウ素溶液処理を提案し、界面の高品質化を実証したが、より効果的な表面処理を目指しヨウ素溶液の濃度を上げていくと、図 2 に示されるように Ge 基板表面にエッチピットが形成されることが分かった。これは、基板の平坦性を損なうだけでなく、エピタキシャル成長の障害や電気特性の悪化が懸念されるため、原因を調べ、その抑制を検討した。基板上に形成されたエッチピットは、その密度がヨウ素溶液の浸漬時間とともに飽和し、その値が一般的な Ge 基板の結晶転位などによる欠陥密度と同程度となることから、Ge 基板の欠陥起因を示唆していると考え、実験的に確認した。Ge(111)基板の表面酸化膜を除去後、ヨウ素溶液 0.5 mol/L の溶液に浸漬することで形成された逆三角錐状のエッチピットの頂点直

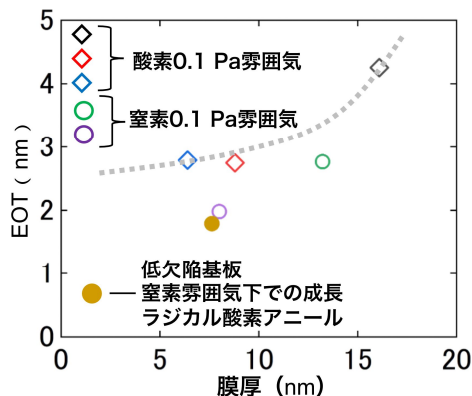


図 3. La_2O_3 膜厚に対する EOT (酸化膜換算膜厚) の成長時雰囲気依存性.

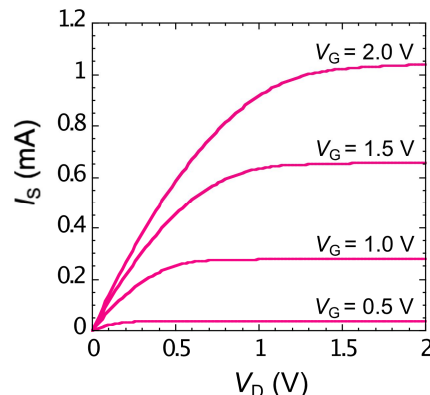


図 4. 350 で成長した Lu-doped $\text{La}_2\text{O}_3/\text{La}_2\text{O}_3/\text{Ge}$ 構造の MISFET の I_s - V_D 特性.

下を、透過型電子顕微鏡により観察したところ、明瞭な転位によるコントラストが確認出来た。これは、ヨウ素溶液が表面終端だけでなく、濃度と時間を選択することで Ge(111)基板の結晶転位欠陥密度を調べるためのエッチング溶液としても使えること示しており、基板の品質確認に用いることができる。

(4) $\text{La}_2\text{O}_3/\text{Ge}$ 直接接合 MIS における EOT 低減

La_2O_3 ゲート絶縁膜の膜厚を薄くすると、比誘電率の減少が見られ、低 EOT 化を妨げることが分かった(図3の◇で示す)。なお、膜厚はエリプソメータ(波長 633 nm)で測定した。この原因を調べるために、HCl に一定速度で浸漬していく傾斜エッチングを用い、厚み方向に対する膜質の変化を調べた。約 $1 \times 1 \text{ cm}^2$ の基板に約 15 nm の La_2O_3 を成長し、エッチングにより傾斜を付けた後、基板の長さ方向に 1 mm おきに、エリプソメータで膜厚を測定した。その結果、 $\text{La}_2\text{O}_3/\text{Ge}$ 界面付近でエッチング速度が増加し、絶縁膜表面ではなく界面付近に低誘電率層が形成されていることが分かった。これは、PLD による La_2O_3 成長時の Ge 表面酸化が原因であると考え、酸化を抑制するプロセスを検討した。窒素雰囲気下による成長では改善しなかったため(図2の○で示す)、レーザパルスに合わせて酸素を断続的に供給する、酸化力の強いラジカル酸素により、絶縁膜表面付近に効果的に酸素を供給するなど、さまざまプロセスの開発を行った。その結果、酸素導入をせずに成長後、酸素ラジカル処理により La_2O_3 膜中の酸素欠損を補償する方法が有効であることが示された。前節で述べたように、高濃度ヨウ素溶液を用いることで Ge 基板のエッチピット密度から基板の結晶欠陥の量を見積もることができることから、転位欠陥の少ない基板を選択することが可能である。この低欠陥基板に対し、ヨウ素溶液で表面のパッシベーションを行った後に La_2O_3 を成長し、さらにラジカル処理を加えることで、 $\text{EOT} = 2 \text{ nm}$ 以下の high- k ゲート絶縁膜の形成に成功した(図3の●で示す)。

(5) $\text{La}_2\text{O}_3/\text{Ge}$ 直接接合による Ge-MISFET

Lu ドープ $\text{La}_2\text{O}_3/\text{La}_2\text{O}_3$ 積層構造を用いることで、吸湿性を抑制し、プロセス耐性を向上させ、トランジスタを作製した。PLD により p-Ge(111)上に基板温度 350°C でエピタキシャル成長を行った。その後、電極形成を行い、 Ar^+ ミリングを用いてコンタクトホールを形成した。その際 Ar^+ ミリングによる基板へのダメージを軽減するために、わずかに La_2O_3 を残し、HCl によるエッチングで完全に除去するようにプロセスを工夫している。作製された n-MISFET (ゲート長 $L = 40 \mu\text{m}$, ゲート幅 $W = 200 \mu\text{m}$) の I_S-V_D 特性を図4に示す。良好なトランジスタ特性が得られ、電界効果移動度を調べたところ $370 \text{ cm}^2/\text{Vs}$ と、 350°C の低温で作製されたトランジスタにおいて大きな値を得ることに成功し、結晶 high- k/Ge 直接接合トランジスタの可能性を示した。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計4件（うち招待講演 0件 / うち国際学会 1件）

1. 発表者名 森 悠, 濱地 威明, 阿保 智, 酒井 朗, 金島 岳
2. 発表標題 Ge基板のヨウ素溶液処理による表面エッチング
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

1. 発表者名 高山 祐太郎, 森 悠, 金島 岳
2. 発表標題 Ge基板表面処理における接触角とMIS電気特性
3. 学会等名 応用物理学会春期学術講演会
4. 発表年 2020年

1. 発表者名 T. Kanashima, H. Furusho, K. Takayama, H. Nohira, K. Yamamoto, H. Nakashima
2. 発表標題 Improvement of Interface Properties of Ge-MISFET with Crystalline La2O3 High-k/Ge(111) Gate Stacks by Wet Treatment
3. 学会等名 International Conference on Solid State Devices and Materials (SSDM2018) (国際学会)
4. 発表年 2018年

1. 発表者名 古荘 仁久, 高山 恭一, 山本 圭介, 中島 寛, 野平 博司, 金島 岳
2. 発表標題 溶液処理による結晶Lu-Doped La2O3/Ge(111) MIS界面特性改善
3. 学会等名 第65回応用物理学会春季学術講演会
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------