

令和 3 年 6 月 24 日現在

機関番号：13904  
研究種目：基盤研究(C) (一般)  
研究期間：2018～2020  
課題番号：18K04282  
研究課題名(和文) 表面プラズモン論理演算回路構成技術の創出

研究課題名(英文) Architecture of plasmonic logic circuit

研究代表者

福田 光男 (Fukuda, Mitsuo)

豊橋技術科学大学・工学(系)研究科(研究院)・シニア研究員

研究者番号：50378262

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：表面プラズモン(金属表面で光の電界と結合した電子の疎密波で金属導波路上を光速で伝播)を信号キャリアとする光速で動作する全加算器の開発を目指してその作製技術の開発を実施した。回路設計および動作シミュレーションには電磁界解析(時間領域差分法)を用いた技術開発、回路作製には学内のCMOSトランジスタ製造ラインを用いた技術開発、回路の動作評価には近接場光顕微鏡を用いた測定技術開発をそれぞれ行なった。これらの技術開発を通して、光速で動作する多段接続可能なプラズモニック全加算器の動作を解析的及び実験的に確認することができた。

研究成果の学術的意義や社会的意義

本研究の成果は光と電子が融合して高密度実装されたフォトニック集積回路の開発へ発展させることができる。さらに、表面プラズモンは光の速度で金属配線上を伝播するため、現在のシリコン集積回路等が抱えている信号遅延や消費電力などの問題を解決できる可能性がある。その結果、高度情報通信社会の高度化に向けた高速・大容量処理が可能なキーデバイスの創出に結び付く可能性がある。

研究成果の概要(英文)：A cascadable full-adder operating with surface plasmons (compressional waves of electrons propagating on metal surface at velocity of light) was developed, and its performances were analytically and experimentally confirmed. For the plasmonic circuit design and operation analysis, design techniques were developed employing electromagnetic field analysis method (finite difference time domain method). For the plasmonic circuit fabrication, fabrication techniques were developed using a CMOS-transistor manufacturing line set in the inside campus. For evaluating the plasmonic circuits, a setup was developed by modifying a conventional scanning near-field optical microscope. As results of these technical developments, the operation as a cascadable full-adder was confirmed for the developed plasmonic circuit.

研究分野：フォトンクス

キーワード：表面プラズモン 論理演算回路 光集積回路 プラズモニック導波路

## 様式 C - 19、F - 19 - 1、Z - 19 (共通)

### 1. 研究開始当初の背景

本研究で扱ったプラズモニクスの研究分野では、表面プラズモン発信器、検出器、変調器および導波路等の研究・開発が盛んに進められていた。これらの中に、高速演算処理を目指したプラズモニック論理演算回路があり、光速で動作する微小な論理演算回路を構成できる可能性があるため、多くの回路シミュレーションや作製例（金属ナノロッドの組み合わせによる論理演算や表面プラズモン導波路の組み合わせによる論理演算）が報告されていた。しかし、これらの報告例は、ANDやNOR回路等の基本論理回路として動作するデバイスが大半であり、多段接続が可能な構造へ展開できない構成となっていた。そこで、多段接続可能な表面プラズモン全加算器の開発を目的に本研究を開始した。開発を目指した演算回路は、CMOS互換プロセスにより作製可能なものであり、国内外の研究例とは一線を画したものである。

### 2. 研究の目的

表面プラズモンを信号キャリアとする高速演算回路を開発し、現状の電子デバイスで構成される演算回路に比べ約2桁高速な演算回路構成技術を創出する。そのために、既に開発済みの表面プラズモン信号の干渉により動作する半加算器（Sci. Rep., 2016）の設計および作製技術を基に、複数の表面プラズモン入力信号に対して論理演算回路の出力信号の位相が常に一定となる回路構成を創出し、多段接続して論理演算が可能な全加算器を開発することを目的とした。

本研究の高速な演算回路構成技術の創出は、今後必須となる情報処理装置へ、飛躍的な革新をもたらす可能性がある。

### 3. 研究の方法

本研究は平成30年度から令和2年度の3年間で実施した。回路設計および回路シミュレーションには時間領域差分法（FDTD法）、回路作製には学内のCMOSトランジスタ製造ライン、回路の動作確認には走査型近接場顕微鏡（SNOM）等を用いた。

（1）平成30年度及び令和元年度：全加算器の設計および回路要素部品の作製技術の確立

多段接続可能な全加算器構成の設計技術および回路要素部品の試作を通じた作製技術確立を目指し研究を、以下の方針の下に、推進した。

<設計の方針>

- ・表面プラズモン伝播損失を小さくできる金属膜上のシリコン酸化膜で構成される単一モードおよび多モード導波路を基本に設計
- ・多モード導波路からなる干渉計（MMI）、位相調整器、合波器等を組み合わせ、出力端子へ接続する最終段のMMI出力部が各入力端子から波長の整数倍の距離になる設計（これにより、全加算器の次段へ接続される表面プラズモン信号が常に同位相となる。）
- ・回路内の雑音低減のために、逆位相で干渉して不要な放射モードとなる表面プラズモン信号成分を回路外部へ取出すポートを複数取り入れた構成

<作製・評価の方針>

- ・設計値を基本に回路の要素部品の加工精度確認および向上
- ・SNOMを用いた表面プラズモン信号の強度分布（導波路上にしみ出している光電界の分布）測定による要素部品の動作確認と設計および作製へのフィードバック

（2）令和2年度：全加算器の設計および作製技術の精度向上

平成30年度及び令和元年度に蓄積した技術を基に、全加算器を作製し論理演算回路としての

動作評価（SNOM 用いた回路内の表面プラズモン信号の強度分布測定）を行なった。ここで、全加算器からの“1”と“0”の表面プラズモン信号出力レベルの強度比が大きくなるように、各構成デバイスの設計見直しを随時行ない、完成度を高めた。さらに、回路内を伝播する表面プラズモン信号に対する分散を計算し、信号の伝播状況をシミュレーションで確認した。

#### 4. 研究成果

##### (1) 表面プラズモン演算回路のための導波路 [1]

表面プラズモンの伝播損失を小さくできる金属膜上のシリコン酸化膜で構成される単一モードおよび多モード導波路の構造について幾つかの構造を検討した(図1)。その際、シリコン IC との融合(構造的およびプロセス的に)が可能な簡便な構成法を求めた。さらに、表面プラズモン信号の波長を 1300 あるいは 1550 ナノメートル帯とすることで、回路構成を数百マイクロメートル以下のサイズであれば、電気信号よりも低損失であることを見出した。また、符号誤り率(BER)の観点からも本導波路構造が有効であることがシミュレーションから求まり、現状の IC 内部の動作時の目安である BER が  $10^{-30}$  においても、図1がほぼ成立することをショット雑音と伝播損失の解析により明らかにした。

一般的に表面プラズモンは金属導波路での伝播損失が大きく、信号キャリアには不向きであると考えられているが、図1に示した様に、数百マイクロメートル程度の長さであれば、表面プラズモン回路内の損失は電気信号のそれと同等あるいはそれ以下であることが分かった。さらに、今回開発した回路は構造が単純なため、シリコン集積回路への組み込みが容易であることを確認できた。

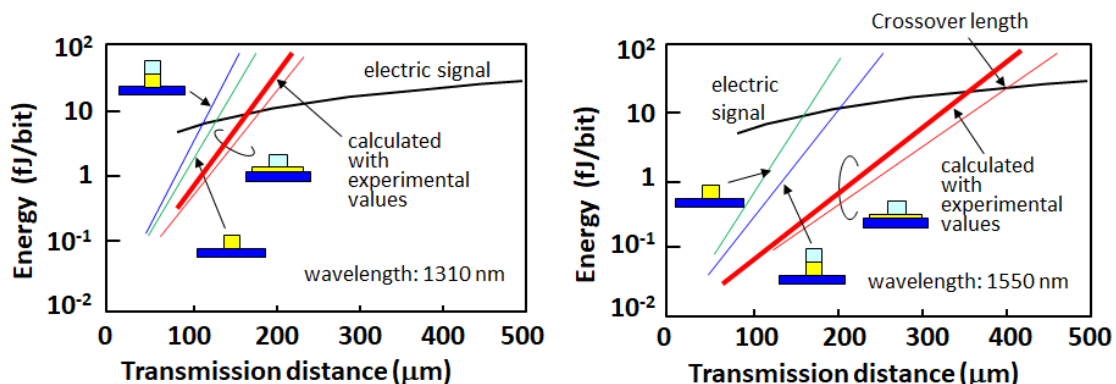


図1 表面プラズモン信号と電気信号の伝送距離と1ビット当りのエネルギーの関係  
 表面プラズモン信号については3種類の表面プラズモン導波路(断面図を図中に挿入)、電気信号についてはIC内の配線をモデルに計算。

##### (2) 表面プラズモン全加算器の構成 [2]

多モード導波路からなるMMI、位相調整器、合波器等を組み合わせて設計した全加算器を図2に示す。ここで、加算器の出力端子である最終段のMMI出力部が各入力端子から波長の整数倍の距離になるように導波路長および各要素部品の寸法を設計した。これにより、全加算器の次段へ接続される表面プラズモン信号が常に同位相で出力され、カスケード接続が可能となった。さらに、図2に示した全加算器では、導波路および各構成部品内の雑音低減のために、逆位相で干渉して不要な放射モードとなる表面プラズモン信号成分を回路外部へ取出すポートを複数取り入れた構成となっている。また、回路から外部へ放射された伝播光が再度回路

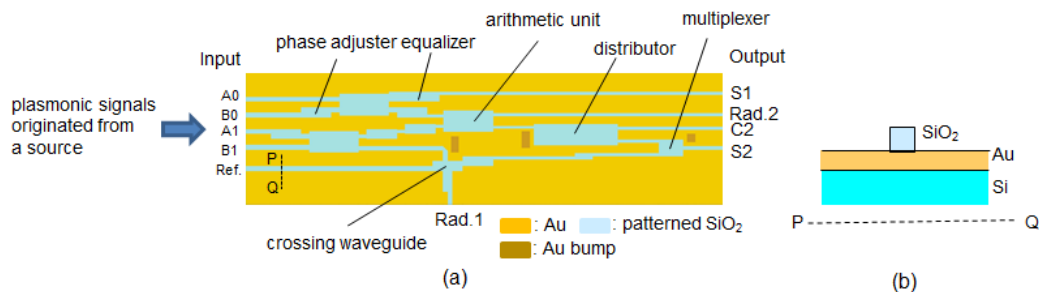


図2 (a)設計したカスケード接続が可能な表面プラズモン全加算器の上面図と(b)導波路の断面図(P-Q間)  
 Rad1とRad2は導波路内で演算(干渉)した不要な成分を回路外へ放出する端子、Au bumpは導波路から放出された伝播光を再度導波路内へ結合させないための遮蔽体である。ここで桁上げ信号はC2から出力される。

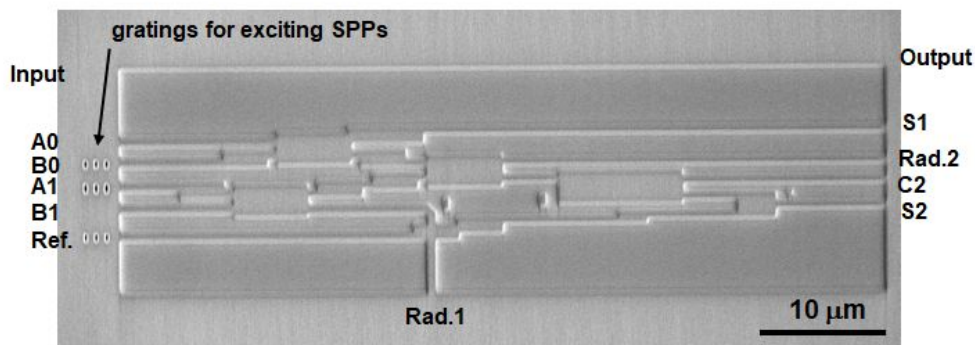


図3 作製したカスケード接続が可能な表面プラズモン全加算器上面の二次電子像  
 本試料では入力部のグレーティング(回折格子)へ、レーザー光の偏波方向を回折格子へ垂直に揃えて入力することにより、表面プラズモンを励起して表面プラズモン回路へ入力している。上図の入力信号は(B1 A1 B0 A0) = (0 1 1 0)に対応している。さらに、入力端子Ref.は各端子への入力がない場合でも出力信号が必要になる場合があるために、常時表面プラズモンを入力するための端子である。

へ結合して雑音となることを防止するために、必要な箇所へ金属からなる反射防止体を形成した。

本構造の全加算器を、学内にあるCMOS製造ラインにて、作製した。その二次電子像を図3に示す。導波路および各構成部品は基本的に同一の単純な構造となっているため、電子ビーム露光や集束イオンビームエッチング技術を用いて、容易に作製することができた。作製した全加算器へ、実際に表面プラズモン信号を入力し、その動作特性をSNOMにより確認した。ここで、本測定に向けてSNOMの空間分解能を上げると同時に広範囲な走査ができるよう改良を加え、数十マイクロメートル以上の範囲を数十ナノメートル以下の分解能で走査できる装置とした。測定結果の一例を図4に示す。図4(b)に示したFDTD法によるシミュレーション結果とSNOMによる測定結果が良く一致していることが分る。これらより、表面プラズモンを信号として用いたカスケード接続が可能な全加算器を実現できることが解析的および実験的に確認できた。

また、作製した回路の動作シミュレーションにより、同一の回路サイズであれば、電気信号で動作しているICよりも2桁高速で動作することが推定できた。

### (3) 全加算器の一層の高性能化 [3]

表面プラズモン(または伝播光)を信号に用いた全加算器の実現の可能性を示すことができたが、より一層の高性能化および高集積化を目指して導波路内および要素部品内の信号伝播の様子および信号損失の検討を行なった。その結果、導波路からのプラズモン信号の浸みだし(光

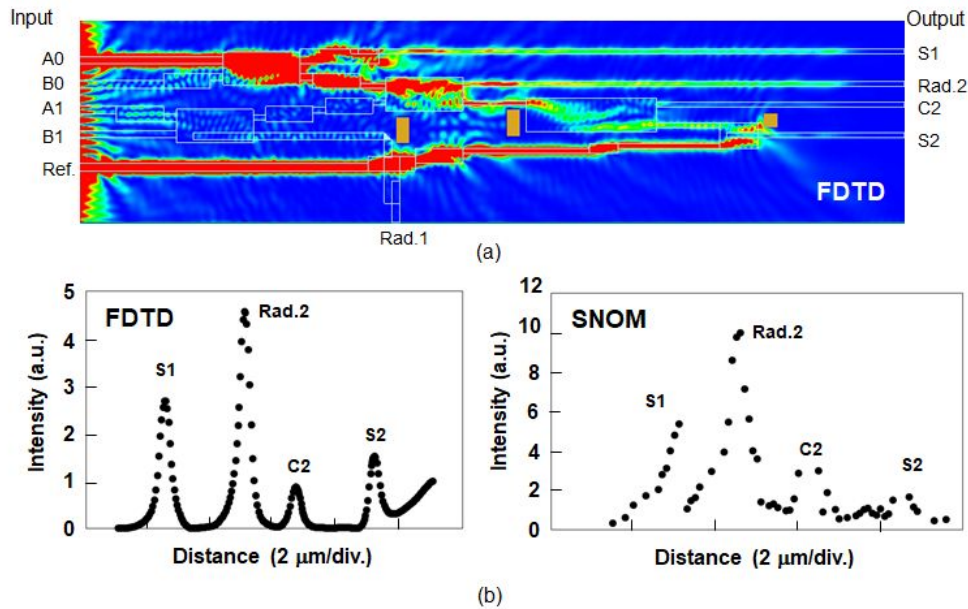


図4 入力信号が(B1 A1 B0 A0) = (0 0 0 1)の場合の (a)表面プラズモン全加算器の表面プラズモン信号強度分布のシミュレーション結果と(b)信号出力部の表面プラズモン信号の強度分布 (b)において、FDTDはシミュレーション結果、SNOMは実測結果をそれぞれ表わしている。

電力の浸みだし)は数百ナノメートル以内であり、その浸みだし長を考慮して高密度プラズモン集積回路を作製可能であることを解析的および実験的に明らかにした。さらに、表面プラズモン信号の伝播損失の支配要因を求め、可能な限り波長スペクトルの狭いプラズモン信号を用いることが低損失化に好ましいことを明らかにした。

#### (4) まとめ

表面プラズモンを信号キャリアとするカスケード接続可能な全加算器の可能性を解析的および実験的に明らかにし、電子デバイスで構成される現状の演算回路に比べ約2桁高速な演算回路構成技術を創出した。

#### 参考文献

- [1] M. Fukuda, Y. Tonooka, T. Inoue, M. Ota, "Feasibility of plasmonic circuits for on-chip interconnects" Solid State Electronics, vol. 156, pp. 33-40, 2019. (doi org/10.1610/j.sse.2019.03.066)
- [2] M. Fukuda, R. Watanabe, Y. Tonooka, and Ota, "Feasibility of cascadable plasmonic full adder," IEEE Photonics Journal, vol. 11, pp. 4801612, 2019. (doi 10.1109/JPHOT.2019.2932262)
- [3] M. Fukuda, S. Okahisa, Y. Tonooka, M. Ota, T. Aihara, Y. Ishikawa, "Feasibility of Plasmonic Circuits in Nanophotonics," IEEE Access, vol.8, pp.142495-142506, 2020. (doi 10.1109/ACCESS.2020.3013605)

5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件/うち国際共著 0件/うちオープンアクセス 5件）

1. 著者名 Fukuda M., Tonooka Y., Inoue T., Ota M.	4. 巻 156
2. 論文標題 Feasibility of plasmonic circuits for on-chip interconnects	5. 発行年 2019年
3. 雑誌名 Solid-State Electronics	6. 最初と最後の頁 33 ~ 40
掲載論文のDOI (デジタルオブジェクト識別子) 10.1016/j.sse.2019.03.066	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 M. Fukuda, R. Watanabe, Y. Tonooka, and M. Ota	4. 巻 11
2. 論文標題 Feasibility of Cascadable Plasmonic Full Adder	5. 発行年 2019年
3. 雑誌名 IEEE Photonics Journal	6. 最初と最後の頁 4801612
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JPHOT.2019.2932262	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Furuki Takahiro, Ota Masashi, Fukuda Mitsuo	4. 巻 43
2. 論文標題 Plasmonic slow light device using superfocusing on a bow-tied metallic waveguide	5. 発行年 2018年
3. 雑誌名 Optics Letters	6. 最初と最後の頁 3232 ~ 3232
掲載論文のDOI (デジタルオブジェクト識別子) 10.1364/OL.43.003232	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Ota Masashi, Fukuda Mitsuo	4. 巻 26
2. 論文標題 Highly efficient on-chip excitation of orthogonal-polarized gap plasmons for a dense polarization multiplexing circuit	5. 発行年 2018年
3. 雑誌名 Optics Express	6. 最初と最後の頁 21778 ~ 21778
掲載論文のDOI (デジタルオブジェクト識別子) 10.1364/OE.26.021778	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -



1. 著者名 Fukuda Mitsuo, Okahisa Shinya, Tonooka Yuta, Ota Masashi, Aihara Takuma, Ishikawa Yasuhiko	4. 巻 8
2. 論文標題 Feasibility of Plasmonic Circuits in Nanophotonics	5. 発行年 2020年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 142495 ~ 142506
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ACCESS.2020.3013605	査読の有無 有
オープンアクセス オープンアクセスとしている(また、その予定である)	国際共著 -

[学会発表] 計8件(うち招待講演 0件/うち国際学会 8件)

1. 発表者名 M. Fukuda, Y. Tonooka, T. Hirano, M. Ota, Y. Ishikawa
2. 発表標題 Fabrication of plasmonic circuits comprising waveguides, multiplexer, demultiplexer, and detector-integrated MOSFETs
3. 学会等名 45th International Conference on Micro & Nano Engineering (国際学会)
4. 発表年 2019年

1. 発表者名 Mitsuo Fukuda, Yuta Tonooka, Yasuhiko Ishikawa
2. 発表標題 Feasibility of plasmonic circuits merged with silicon integrated circuits
3. 学会等名 25th Annual SMTA Pan Pacific Microelectronics Symposium (国際学会)
4. 発表年 2020年

1. 発表者名 M. Fukuda, M. Ota, K. Nakayama, S. Higuchi, T. Furuki, R. Watanabe, Y. Kikuchi, Y. Tonooka, T. Hirano, T. Inoue, and Yuya Ishii
2. 発表標題 Configuration of nano- and micro-scale plasmonic circuits fabricated by CMOS-compatible processes
3. 学会等名 EMRS 2018 Spring Meeting (国際学会)
4. 発表年 2018年

1. 発表者名 Masashi Ota, Tomohiro Hirano, Yuta Tonooka, Yudai Kikuchi, and Mitsuo Fukuda
2. 発表標題 Highly efficient on-chip excitation of orthogonal-polarized gap plasmons
3. 学会等名 EMRS 2018 Fall Meeting (国際学会)
4. 発表年 2018年

1. 発表者名 Yuta Tonooka, Masashi Ota, Yudai Kikuchi, Tomohiro Hirano, and Mitsuo Fukuda
2. 発表標題 Low loss waveguide structure as plasmonic wiring for integrated circuits and its characteristics
3. 学会等名 EMRS 2018 Fall Meeting (国際学会)
4. 発表年 2018年

1. 発表者名 Tomohiro Hirano, Masashi Ota, Yuta Tonooka, Yudai Kikuchi, and Mitsuo Fukuda
2. 発表標題 Plasmonic mode converter consisting of tapered multimode interferometer
3. 学会等名 EMRS 2018 Fall Meeting (国際学会)
4. 発表年 2018年

1. 発表者名 Mitsuo Fukuda, Yuta Tonooka, Masashi Ota, and Yasuhiko Ishikawa
2. 発表標題 Transmission Loss Characteristics of Plasmonic Waveguides Comprising Various Metals
3. 学会等名 ANEM 2018 (国際学会)
4. 発表年 2018年



1. 発表者名 M. Fukuda and Y. Ishikawa
2. 発表標題 Simulation and Evaluation of Plasmonic Circuits
3. 学会等名 IEEE Inter. Conf. on Simulation of Semiconductor Processes and Devices (SISPAD) (国際学会)
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

Photonics Laboratory <a href="http://www.photon.ee.tut.ac.jp/">http://www.photon.ee.tut.ac.jp/</a>
---

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	石川 靖彦  (Ishikawa Yasuhiko)  (60303541)	豊橋技術科学大学・工学(系)研究科(研究院)・教授    (13904)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------