

令和 6 年 5 月 31 日現在

機関番号：13302

研究種目：基盤研究(C)（一般）

研究期間：2018～2023

課題番号：18K11211

研究課題名（和文）次世代集積回路のための自律的タイミング変動補償の理論と設計最適化

研究課題名（英文）Study on Autonomous Timing Correction and Design Optimization for Next Generation LSI Systems

研究代表者

金子 峰雄 (Kaneko, Mineo)

北陸先端科学技術大学院大学・先端科学技術研究科・教授

研究者番号：00185935

交付決定額（研究期間全体）：（直接経費） 3,400,000円

研究成果の概要（和文）：本研究はデジタル集積回路における信号伝搬遅延の変動に対して、タイミング誤りなく正しく動作し続けるデータパス回路の実現を目指し、自律的クロックスキュー調整技術を利用して、これを実現するものである。特に遅延量の温度特性に起因する変動について、1. 温度軸変換関数を用いた線形遅延モデルの提案、2. データパス回路内の遅延量温度依存性とスキュー生成遅延回路の温度依存性を考慮したスキュースケジュール手法の開発、3. 温度変動下での高性能化や動作可能温度範囲の拡大を実現する最適なスキュー生成遅延回路の温度依存性の調査、4. 温度依存性のスキュー調整に最適なデータパス回路の設計最適化手法の開発をおこなった。

研究成果の学術的意義や社会的意義

集積回路は現在および将来のIT化社会を支える重要な基盤であり、その動作の正確さが安全・健全な社会の根本となる。しかし微細化・高密度化・高速化が進む先端集積回路において、製造ばらつき、回路動作や使用環境による温度ばらつき、電源電圧変動などによるタイミング変動が正常動作に及ぼす影響は益々重大かつセンシティブになっている。本研究は、学術的には変動するパラメータを含むシステムの安定的動作の理論に貢献するものであり、社会的にはより堅固なIT基盤を提供することによって、安心・安全性に寄与するものである。

研究成果の概要（英文）：In a digital integrated circuit, timing control for flipflops, multiplexers, etc. are very critical issue for the correct operation of the circuit, which may be violated easily by temperature variation due to temperature-dependent signal delays. This research has been conducted for designing a digital circuit which can operate even under fluctuation of the temperature by the help of the concept of "timing skew". Major research results include (1) a novel linear temperature-dependency model of signal delay using a warping function on the temperature axis, (2) optimum design of timing skew considering temperature-dependent timing skew, (3) exploration of optimum temperature-dependency of timing skew, and (4) optimum design methods of datapath circuits for which the temperature dependent timing skew works best.

These results are considered as important bases for autonomous skew adjustment for avoiding timing failure due to temperature variation.

研究分野：電子回路、集積回路

キーワード：集積回路 信号遅延 温度特性 クロックスキュー 遅延回路 セットアップ条件 ホールド条件 組合せ最適化

1. 研究開始当初の背景

現代の集積回路においては、トランジスタや配線の微小化・微細化が集積回路の性能を押し上げた半面、集積回路製造時における素子形成上のサイズ、形状、不純物濃度などのばらつき、回路動作時における電源電流などに起因する電源電圧変動、回路の動作環境や動作状況(回路の活性度)の変化によるチップ温度変動(以上の三者は PVT(Process-Voltage-Temperature)変動と呼ばれる)が回路動作に与える影響が相対的に大きくなってきており、デジタル集積回路の高速化を妨げるものとして大きな問題となっている。従前より、ばらつき・変動を考慮して、動作タイミングにマージンを取った設計が広く採用されるが、このマージンそのものが高速化を妨げる要因となることから、より積極的な解決技術が模索されている。そのような技術として、集積回路製造後に回路の動作タイミングを部分的に調整する「製造後調整技術」による製造ばらつきへの対応、論理ゲートの動作タイミングを意図的にずらしてピーク電源電流値を下げることによる電源電圧変動への対応などがある。しかし、温度変動への対応については、未だ十分な検討や技術開発がなされていない状況にある。また、デジタル回路の動作タイミングをクロック信号に依存しない非同期回路の提案もあるが、回路規模が極度に大きくなったり、動作のための前提条件が非常に厳しいものとなっている。情報化社会の高度化とIoT時代の到来により、集積回路はあらゆる場所、あらゆる環境において動作することが要求されており、それに加えて、消費電力を抑えるためのパワーゲーティング、クロックゲーティングに代表される諸技術により、集積回路自身の発熱量も時間とともに大きく変動する状況にあり、大きな温度変動の下で正しく動作し続ける集積回路技術の開発は急務と言える。

2. 研究の目的

本研究は、PVT 変動の中の主に温度変動に対して、回路動作上の問題を解決して、集積回路の高性能化を可能とする方式を開発しようとするものである。これを実現するために、クロック信号(制御信号)のフリップフロップ(FF)への到着時刻を、FF毎に意図的にずらす「タイミングスキュー」に注目し、対象回路の温度依存性の影響をスキュー生成のための遅延回路の温度依存性にて吸収する方式(以降、「温度依存性のスキュー補償」という)を中心に検討を行って、温度変動下での高性能化や動作可能温度範囲の拡大を目指す。ひいては、「大きな温度変動の下で正しく動作し続ける回路とは何か？」の問いへ挑戦することが本研究の目的である。

3. 研究の方法

本研究の目的を達成するために解決すべき技術課題として、(1)温度変動に対する信号遅延変動のモデル、(2)対象デジタル回路の温度依存性とスキュー生成のための遅延回路の温度依存性を考慮したスキュースケジュール手法の開発、(3)温度変動下での高性能化や動作可能温度範囲の拡大を実現する最適なスキュー生成遅延回路の温度依存性の探究、(4)温度依存性のスキュー補償の適用を前提とした対象デジタル回路の設計最適化、の4課題を設定し、それぞれについて検討・技術開発を行う。以下、それぞれの課題について、その内容を説明する。

1. 温度変動に対する信号遅延変動のモデル

信号伝搬遅延の要素として、論理ゲートのスイッチング遅延と配線上の信号伝搬の遅延(配線遅延)があり、これらは一般に非線形の温度特性を持つ。しかし非線形温度特性をそのまま扱おうとすると、温度特性の議論において「補間」が成り立つ保証がなく、原則的に、注目する温度範囲内の至る所でのタイミング条件を検証する必要性が生じる。一方、線形温度依存モデルでは「補間」が可能となることから、注目する温度範囲の両端点でのタイミング条件を検証することで、温度範囲内全体でのタイミングを保証できる利点がある。事前の予備検討にて、信号伝搬遅延にある種の同型性を想定するとき、その同型性に応じた非線形変換を行うことで、線形モデルに変換できることが分かっている。これは「補間」が成り立つ非線形温度特性の一つの十分条件を示したことに相当している。この予備検討を基礎として、温度依存性を線形モデルにて扱えるための詳細な条件や実際のスイッチング遅延、配線遅延の温度特性との関係性をより明確にする。

2. 温度依存性を考慮したスキュースケジュール手法の開発

順序回路やデータパス回路が正しく動作するための、信号伝搬に関わるタイミング制約としてセットアップ条件とホールド条件と呼ばれる2種類の条件に注目し、対象回路の遅延量やスキュー生成回路の遅延量が温度依存性を持つ状況下において、所定の動作温度範囲でこれらタイミング条件を満足するためのスキュー遅延量決定手法を明らかにする。事前の予備検討において、対象回路のあらゆる信号伝搬経路が全く同じ特性の温度依存性を持つことを想定した非常に単純な温度依存モデルに基づいて、スキュー遅延量を決定する手法を得ている。これを受けて、この取り組みでは、より広く一般的な順序回路、データパス回路への適用を可能とすべく、

対象回路における信号伝搬経路ごとの回路構造やゲートと配線の組み合わせに依存した温度依存性を考えたスキュー遅延量決定手法を開発する。

3. 最適な遅延回路(スキュー生成回路)温度依存性の探究

温度依存性を考慮したスキュースケジュールを適用した際の、最終的に得られる回路の温度性能(所定の動作温度範囲内での回路性能、あるいは所定の回路性能を達成する動作可能温度範囲など)は、スキュー遅延量の温度特性に依存して決まることが予想される。本研究の目的である温度依存性のスキュー補償の観点から、理想とするスキュー遅延量の温度特性を明らかにする。始めに、対象回路の構造と信号遅延の温度特性から決まる回路としての温度性能の限界を明らかにする。タイミング条件は、信号が発するFFのスキュー値と信号が到着するFFのスキュー値の関係を規定するが、こうしたスキュー値同士の関係がサイクルを構成するとき、スキュー値が相殺されて、対象回路だけから決まる、より上位の制約条件を見出すことができる。こうした上位の制約条件を検証することで、回路としての温度性能の限界を明らかにすることができると考えている。次いで、この「限界」そのもの、あるいはそれに近い温度性能を達成するために必要となるスキュー遅延量の温度依存性について考察する。

4. 温度依存のスキュー補償を前提とした対象回路設計

温度依存性を考慮したスキュースケジュールを適用した際の、最終的に得られる回路の温度性能は対象回路の性質にも大きく左右されると考えられる。「3. 最適な遅延回路温度依存性の探究」において、対象回路としての温度性能限界そのもの、あるいはそれに近い温度特性を達成するスキュー遅延量の温度依存性が明らかになるものとなれば、この対象回路の構造から決まる「温度性能限界」そのものを改善する対象回路設計が求められることになる。ここでは特に動作タイミングが非常にクリティカルとなるデータパス回路部の設計を対象として、温度依存性のスキュー補償が最も効果的に機能して最高の温度性能を持つためのデータパス回路設計最適化を検討・開発する。データパス回路における信号伝搬経路やクロックに同期した信号伝搬のタイミングは高位合成の段階で決定されることになる。そこで、高位合成における設計上の選択と「温度性能限界」の関係を調査し、温度性能限界を引き上げる高位合成最適化手法を検討、開発する。

4. 研究成果

研究計画にて設定した4つの研究課題それぞれについて、研究成果をまとめる。

4.1. 温度変動に対する信号遅延変動のモデル：

回路中の信号遅延の温度依存のモデルとして線形モデルの適用性、重要性を明らかにした。回路動作として考慮すべき信号伝搬遅延の要素として、論理ゲートのスイッチング遅延と配線上の信号伝搬の遅延(配線遅延)があり、これらは一般に非線形の温度特性を持つ。そこで、この非線形性を補償する温度軸変換を導入することにより、変換後の温度軸に対する線形遅延にモデル化できることを示した[1]。線形温度依存遅延特性を導入することにより、温度特性の議論において「補間」が成り立つことになり、注目する温度範囲の両端点でのタイミング条件を検証することのみで、その温度範囲内全体でのタイミングを保証できるという、大きな利点を手にすることができる。先に述べた通り、回路中では複数の異なる種類の信号伝搬遅延が発生し、遅延種類毎に異なる温度非線形性を持つことになる。上記の「補間」が成り立つためには、全ての遅延種類に対して、同一の温度軸変換関数(変換カーネル)を使う必要があり、指定された動作保証すべき温度範囲の下で、全ての遅延種類に対して最も精度良く線形遅延近似できる変換カーネルを求めることが重要となる。

デジタル回路の動作タイミングを考える上では、回路中のFFからFFへの信号伝搬経路(パス)とその信号伝搬遅延(パス遅延)を取り扱う必要がある。一般に始点となる一つのFFから終点となる一つのFFへのパスは複数存在し得て、その場合には、それら複数のパスの中の最大パス遅延と最小パス遅延が、動作タイミングを支配することになる。ところが、それぞれのパス遅延の温度特性の違いから、動作保証すべき温度範囲の中で最大遅延パス(最小遅延パスも同様)が変化する可能性がある。この場合には、温度範囲の両端温度における最大パス遅延(最小パス遅延)を独立に求めておき、それらを結ぶ線形遅延特性を最大パス遅延(最小パス遅延)として利用することで、先と同じく、注目する温度範囲全体での動作タイミングを保証することができる[1]。

4.2. 温度依存性を考慮したスキュースケジュール手法：

線形温度依存モデルの下において、回路中の様々な信号経路の遅延は、遅延の種類(種々異なる回路構成を持つ論理ゲートのスイッチング遅延や配線遅延など)や回路構成によって様々な遅延量と温度依存特性量を持ち得る。回路中の信号伝搬遅延はもとより、タイミングスキューを生成する遅延回路を含めて、考慮すべき遅延が様々な温度依存特性量を持つ場合の最適なタイミングスキュー量の計算手法を開発した。

(1) 基本定式化：

遅延の線形温度依存モデルの性質に立脚し、考慮すべき動作温度範囲の低温端、高温端それぞれにおけるタイミング制約式を列挙し、加えて両者間の温度特性に起因する従属関係を追加制

約とすることで、必要十分な制約式を列挙し、それを解くことで所望のタイミングスキュー量の計算を可能とした[1]。ここで、タイミングスキュー量も線形温度特性を持つものとしており、スキュー量決定は線形温度依存モデルにおける定数項と一次係数を定める問題として定式化され、線形温度依存モデルの下でタイミングスキュー解が存在する場合は、必ずそれを計算する手法となっている。また、タイミングスキュー量の定数項と一次係数の間に何らの制約も設けないとき、線形温度依存モデル下での特性上界を与える理想解が得られることになる。

(2) スキュー量計算のための2グラフ・アプローチ：

指定された温度範囲において回路を動作させるための温度依存タイミングスキューを計算するための2グラフ・アプローチを提案した[1][2]。これは、考慮すべき動作温度範囲の低温端と高温端それぞれにおけるタイミング制約とスキュー調整回路の温度特性に起因する低温端と高温端のスキュー値従属関係の全てをグラフとして表現し、この制約グラフ上で最大パス長を計算することで、スキュー調整回路の設計パラメータ値を決定するものである。この際、通常の制約グラフの辺(加算辺)に加えて、新たな辺(乗算辺：始点の変数値に辺重みを掛け合わせた値と終点の変数値の間の大小関係を制約)が導入されることから、これに対応して最大パス長の概念ならびに最大パス長の計算アルゴリズムの拡張を行った。

こうしたグラフ・アプローチは、単に解の計算効率を高めるだけでなく、性能限界を決める要因を解析するための重要なツールとなる。すなわち、制約グラフの最大パス長が正しく求めたいスキュー量を与えるためには、制約グラフが正値重みサイクルを持たないことが条件となることから、性能限界の解析が重み零(あるいは負)のサイクルを見つけることと等価となる。

(3) プログラム開発とスキュー値調整実験：

2グラフ・アプローチに基づいてスキュー調整回路の設計パラメータ値を最適化する計算機プログラムを実装し、複数のベンチマーク回路に対して本手法を適用することで、性能評価を行った。零スキュー設計や定数(温度非依存)スキュー最適化設計と比較して本手法が大幅な性能向上を達成することを確認した[3]。

4 3.最適な遅延回路(スキュー生成回路)温度依存性：

「2.温度依存性を考慮したスキュースケジュール手法」の成果とスキュー値調整実験を通して、スキュー生成回路の最適な温度特性を調査・検討した。2.にて開発したスキュー量決定手法は、回路中の他の遅延量と同じ変換カーネルを使った温度軸変換後における線形温度依存性を持つ遅延回路を前提としたものである。主となる回路と同質の回路要素(トランジスタや配線要素)を使ってスキュー調整回路を構成することを想定するとき、この前提は妥当なものと考えられる。こうした線形温度依存モデルの下で最も自由度の高いスキュー量モデルは、定数項と一次係数を独立した変数として取り扱う(モデル1)ものであり、一方、より現実的なモデルとして、定数項と一次係数の間に比例関係を導入(モデル2)することは、自然な想定と考えられる。

複数のベンチマーク回路を使い、モデル2の下で複数の異なる一次係数/定数項比を想定したスキュー値調整実験を行った結果、主となる回路における温度依存遅延モデルの一次係数/定数項比と同等の一次係数/定数項比を持つスキュー調整回路を使う場合に最も大きな性能向上が実現され、その性能度合いがモデル1の下でのスキュー量調整の場合とほぼ同様であることが確認された[3]。

4 4.温度依存のスキュー補償を前提としたデータパス回路設計：

温度依存性を考慮したスキュースケジュールを適用した際の、最終的に得られる回路の温度性能は対象回路の性質にも大きく左右される。ここでは特に動作タイミングが非常にクリティカルとなるデータパス回路部の設計を対象として、温度依存性のスキュー補償が最も効果的に機能して高い温度性能を持つためのデータパス回路設計最適化を検討・開発した。

(1) 設計問題の数学的定式化：

データパス回路を対象とした設計においては、実装すべき計算アルゴリズムに対して、演算スケジュール、演算の演算器割り当て、データ変数のレジスタ割り当てを行うことで、コンポーネントレベルの回路構造とクロック周期単位での計算実行タイミングとが定まる。ここでは、これらに加えて生成されるマルチプレクサ毎の制御タイミング及びレジスタ毎の制御タイミングに温度依存性を持つタイミングスキューを変数として導入し、全体を一つの最適化問題とする定式化を導いた。より具体的には、演算スケジュール、演算の演算器割り当て、データ変数のレジスタ割り当ての部分問題それぞれに対応してスケジュール変数、演算器割り当て変数、レジスタ割り当て変数などを用意し、加えて演算器入力部やレジスタ入力部に配置されるマルチプレクサの制御タイミングとレジスタのラッチ制御タイミングに関するスキュー量変数を用意し、各部分問題における変数間の制約や部分問題間の相互制約関係を線形代数式として記述できることを示し、温度依存制御スキュー考慮高位合成を一つの混合整数線形計画問題として定式化することに成功した[4]。また、この理論に基づく回路合成実験を通して、手法の有効性を確認している。

(2) チップ内温度ばらつきを考慮したデータパス回路・スキュー同時最適化：

より精緻な温度変化への対応を目指し、対象回路(チップ)内温度ばらつきを考慮した回路設計・スキュースケジュール同時最適化について検討を行った。データパス回路を対象とし、回路動作の基本的なタイミングを決定する設計段階である高位合成に注目し、(1)演算の演算器割

当(バインディング)に依存して決まる演算器毎の活性化率に基づく温度ばらつきモデル並びに演算遅延ばらつきモデルの導入、(2)演算の演算器割当、変数のレジスタ割当に依存する必要なホールドタイミング条件生成、(3)コントロールステップ単位の演算スケジューリングと実数レベルのタイミングスキューによるセットアップタイミング条件・ホールドタイミング条件生成に特徴を持つ高位合成定式化を行った。次いで、(4)回路・スキュー最適化の混合整数線形計画問題としての定式化とソルバーを使った合成実験を行い、設計手法の妥当性、有効性を検証した[5]。この成果は、『チップ内温度ばらつきのための時間的変動』の問題を議論するための重要な基礎となるものである。

(3)スキュー調整容易化データパス回路設計：

より汎用性の高い回路設計理論の構築のため、対象回路内での温度の均一性を前提とせず、使用環境や部分回路毎の活性度の違いによる温度分布やその変動に伴って信号伝搬遅延が分布・変動する回路モデルの下で、タイミングスキュー調整が高い確率で成功するため回路モデルと設計手法を開発した。始めに、あらゆる信号伝搬遅延変動に対して、タイミングスキュー調整が成功するための回路構造的・回路動作的特徴について検討を行い、そこから演算実行スケジュールと演算器利用に関するある種の「順序制約」を守ることの必要性を指摘した。次いで、その「順序制約」を守った回路設計を容易にするため、演算器と専用出力レジスタの組を複数個環状に接続した主要部と複数ステップにわたるデータ保持のための2次的レジスタを有する付属部とからなるデータパス回路構造モデルを提案した[6]。最後に、この回路構造モデルの下で、必要な順序制約を守って回路を動作させるための演算スケジュール・演算器割当同時最適化を開発した。

4.5. 演算器コンポーネントの回路構造列挙の枠組み：

データパス回路の中心的コンポーネントである加減算器について、並列プレフィックス加算器(Parallel Prefix Adder: PPA)構成の枠組みを使い、信号遅延の温度依存性を考慮した構造最適化の基本となる回路構造列挙の手法を開発した[7],[8],[9]。初めに、PPAの構造を作り出すための回路構造に関する基本操作群を定義し、実用上有効な様々なPPA構造がこれら基本操作の順序付き組合せにて生成できることを示した[7]。次いで、具体的な回路構造生成手法として、幾種類かの「挿入操作」を異なる組合せ、異なる順序で実行して構成されるPPAの構造列挙・構造最適化[8]や、特に超大ビット長PPA構成のためのマクロ操作群の定義とそれらの順序付き組合せによるPPAの構造列挙・構造最適化[9]を提案した。

以上の成果は、『チップ内温度分布およびその時間的変動』に対処して、指定範囲内の環境温度の下で高い速度性能を保って動作できる回路を考える上での重要な基礎となるものと考えられる。

- [1] Mineo Kaneko, "Timing Correction by Constrained Temperature Dependent Clock Skew", IEICE Technical Report on VLSI Design Technology, VLD2018-2013, HWS2018-66, pp.61-66, 2019.
- [2] 金子峰雄, "2グラフ制約表現による温度依存クロック・スキュー・スケジュール", 電子情報通信学会 VLSI 設計技術研究会技術報告, VLD2019-104, HWS2019-77 pp.59-64, 2020.
- [3] Mineo Kaneko, "Two-Graph Approach to Temperature Dependent Skew Scheduling", Proceedings of International Symposium on Quality Electronic Design (ISQED), pp.432-437, March 2020.
- [4] 金子峰雄, "温度依存タイミングスキューを考慮したデータパス高位合成手法", 電子情報通信学会 VLSI 設計技術研究会技術報告, VLD2021-79, HWS2021-56, pp.19-24, 2022-03.
- [5] 金子峰雄, "資源割当と遅延量分布の関係を考慮したスキュー調整型高位合成", 電子情報通信学会 VLSI 設計技術研究会技術報告, VLD2022-89, HWS2022-60, pp. 97-102, 2023.
- [6] 金子峰雄, "タイミング調整性に優れたデータパス回路のための高位合成手法", 電子情報通信学会 VLSI 設計技術研究会技術報告, VLD2023-101, HWS2023-61, ICD2023-90, pp.12-17, 2024.
- [7] Mineo Kaneko, "A Novel Framework for Procedural Construction of Parallel Prefix Adders," Proceedings of 2019 IEEE International Symposium on Circuits and Systems, 5 pages, May 2019.
- [8] Mineo Kaneko, "Insertion-Based Procedural Construction and Optimization of Parallel Prefix Adders", Proceedings of International Symposium on Circuits and Systems, Paper ID 1967, 5 pages, October 2020.
- [9] Mineo Kaneko, "Macro Construction Rules and Optimization for Long Bit Parallel Prefix Adders," Proceedings of IEEE International Symposium on Circuits and Systems, 5 pages, May 2023.

5. 主な発表論文等

〔雑誌論文〕 計9件（うち査読付論文 3件 / うち国際共著 0件 / うちオープンアクセス 0件）

| | |
|---|---------------------|
| 1. 著者名 金子峰雄 | 4. 巻 VLD2023-101 |
| 2. 論文標題 タイミング調整に優れたデータパス回路のための高位合成手法 | 5. 発行年 2024年 |
| 3. 雑誌名 電子情報通信学会 VLSI設計技術研究会 技術報告 | 6. 最初と最後の頁 12-17 |
| 掲載論文のDOI（デジタルオブジェクト識別子） なし | 査読の有無 無 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|--|----------------------|
| 1. 著者名 金子峰雄 | 4. 巻 VLD2022-89 |
| 2. 論文標題 資源割当と遅延量分布の関係を考慮したスケュー調整型高位合成 | 5. 発行年 2023年 |
| 3. 雑誌名 電子情報通信学会 VLSI設計技術研究会 技術報告 | 6. 最初と最後の頁 97-102 |
| 掲載論文のDOI（デジタルオブジェクト識別子） なし | 査読の有無 無 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|--|---------------------|
| 1. 著者名 金子峰雄 | 4. 巻 VLD2021-79 |
| 2. 論文標題 温度依存タイミングスケューを考慮したデータパス高位合成手法 | 5. 発行年 2022年 |
| 3. 雑誌名 電子情報通信学会 VLSI設計技術研究会 技術報告 | 6. 最初と最後の頁 19-24 |
| 掲載論文のDOI（デジタルオブジェクト識別子） なし | 査読の有無 無 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|--|---------------------|
| 1. 著者名 金子峰雄 | 4. 巻 CAS2020-76 |
| 2. 論文標題 ばらつきと戦う集積回路設計 仕掛けと最適化 | 5. 発行年 2021年 |
| 3. 雑誌名 電子情報通信学会CAS研究会技術報告 | 6. 最初と最後の頁 23-28 |
| 掲載論文のDOI（デジタルオブジェクト識別子） なし | 査読の有無 無 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|---|-------------------|
| 1. 著者名 Mineo Kaneko | 4. 巻 ISCAS2020 |
| 2. 論文標題 Insertion-Based Procedural Construction and Optimization of Parallel Prefix Adders | 5. 発行年 2020年 |
| 3. 雑誌名 Proceedings of IEEE International Symposium on Circuits and Systems | 6. 最初と最後の頁 1-5 |
| 掲載論文のDOI (デジタルオブジェクト識別子) なし | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|--|---------------------|
| 1. 著者名 金子峰雄 | 4. 巻 VLD2019-104 |
| 2. 論文標題 2 グラフ制約表現による温度依存クロック・スキュースケジュール | 5. 発行年 2020年 |
| 3. 雑誌名 電子情報通信学会 VLSI設計技術研究会 技術報告 | 6. 最初と最後の頁 59-64 |
| 掲載論文のDOI (デジタルオブジェクト識別子) なし | 査読の有無 無 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|---|-----------------------|
| 1. 著者名 Mineo Kaneko | 4. 巻 ISQED2020 |
| 2. 論文標題 Two-Graph Approach to Temperature Dependent Skew Scheduling | 5. 発行年 2020年 |
| 3. 雑誌名 Proceedings of International Symposium on Quality Electronic Design | 6. 最初と最後の頁 432-437 |
| 掲載論文のDOI (デジタルオブジェクト識別子) なし | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|--|---------------------|
| 1. 著者名 金子峰雄 | 4. 巻 VLD2018-103 |
| 2. 論文標題 制限付温度依存クロックスキューによるタイミング補正 | 5. 発行年 2019年 |
| 3. 雑誌名 電子情報通信学会 V L S I 設計技術研究会技術報告 | 6. 最初と最後の頁 61-66 |
| 掲載論文のDOI (デジタルオブジェクト識別子) なし | 査読の有無 無 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

| | |
|--|-------------------|
| 1. 著者名 Mineo Kaneko | 4. 巻 ISCAS2023 |
| 2. 論文標題 Macro Construction Rules and Optimization for Long Bit Parallel Prefix Adders | 5. 発行年 2023年 |
| 3. 雑誌名 Proceedings of IEEE International Symposium on Circuits and Systems | 6. 最初と最後の頁 1-5 |
| 掲載論文のDOI (デジタルオブジェクト識別子) なし | 査読の有無 有 |
| オープンアクセス オープンアクセスではない、又はオープンアクセスが困難 | 国際共著 - |

〔学会発表〕 計2件 (うち招待講演 0件 / うち国際学会 1件)

| |
|--|
| 1. 発表者名 金子峰雄 |
| 2. 発表標題 2 グラフ制約表現による温度依存クロック・スキュースケジューリング |
| 3. 学会等名 電子情報通信学会 VLSI設計技術研究会 |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 Mineo Kaneko |
| 2. 発表標題 Two-Graph Approach to Temperature Dependent Skew Scheduling |
| 3. 学会等名 International Symposium on Quality Electronic Design (国際学会) |
| 4. 発表年 2020年 |

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

| 6. 研究組織 | 氏名 (ローマ字氏名) (研究者番号) | 所属研究機関・部局・職 (機関番号) | 備考 |
|---------|---------------------------|-----------------------|----|
| | | | |

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

| 共同研究相手国 | 相手方研究機関 |
|---------|---------|
|---------|---------|