

令和 3 年 6 月 4 日現在

機関番号：14501

研究種目：基盤研究(C) (一般)

研究期間：2018～2020

課題番号：18K11215

研究課題名(和文) ECO対応設計手法と論理診断に基づく論理再合成手法によるLSI設計変更コスト削減

研究課題名(英文) Reduction of Costs Needed for Engineering Change Orders Based on Error Diagnosis Technique and Incremental Synthesis Technique for ECO's

研究代表者

沼 昌宏 (NUMA, MASAHIRO)

神戸大学・工学研究科・教授

研究者番号：60188787

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：論理診断手法に関して、修正箇所集合である組合せ箇所をZDD(ゼロサプレス型二分決定グラフ)によってコンパクトに表現するとともに、平均化EPI群の更新に基づいて初期組合せ箇所数を大幅に削減することで、大規模回路に対して発生する高多重度ECOに対応可能とする手法を提案・実現した。さらに、ECO対応LSI設計手法においては、再構成可能(RECON)セルをスペアセルとして予め埋め込むだけでなく、ECO発生前の初期回路にも活用することで、ECO発生後の論理再合成におけるセル割当ての自由度を高めた。以上の提案手法をもとに、柔軟性の高い論理診断・再合成システムを構築し、ECOコストの大幅な削減を実現した。

研究成果の学術的意義や社会的意義

論理回路の素子単位での修正を可能とする論理診断手法は他に例をみない。さらに、メモリ制約の問題を解決するべく、集合の効率的な表現に適したZDDでコンパクトに表現された組合せ箇所を効率よく絞り込むとともに、平均化EPI群の更新に基づいて初期組合せ箇所数を大幅に削減することを可能とした。本手法に基づいて再構成可能なRECONセルをスペアセルとしてのみならず、初期回路の実現にも活用した論理再合成手法を考案することで、ECO対応の柔軟性向上を実現した点で独創的である。本研究の成果により、設計変更発生時の設計期間とコストを大きく削減することが可能となり、実用的価値の点でも非常に意義深い。

研究成果の概要(英文)：We have proposed and implemented an error diagnosis technique incorporating ZDD's (Zero-suppressed Binary Decision Diagrams) to represent error location sets, sets of locations to be rectified, with compact graphs, and reducing the number of initial error location sets based on incremental averaging technique for EPI-groups. In addition, we have proposed an incremental synthesis technique employing RECON (reconfigurable) cells, used to embed spare cells, to implement original circuit. We have applied these proposed techniques to a flexible incremental synthesis system to fix ECO's (Engineering Change Orders) only by changing metal layer masks. The experimental results have shown that the proposed system is effective to reduce costs needed for ECO's on large circuits with complicated structures.

研究分野：集積回路設計工学

キーワード：論理診断 論理再合成 設計変更 設計誤り ZDD

## 様式 C - 19、F - 19 - 1、Z - 19 (共通)

### 1. 研究開始当初の背景

LSI の大規模・複雑化にともない、設計期間の長期化、およびコストの増大が問題となっている。微細化が進む最先端の大規模なシステム LSI においては、マスク製造コストの合計が数億円～10 数億円程度に及ぶとも言われている。大規模・複雑化によって、システムの仕様変更や設計ミスによる設計変更要求 (ECO: Engineering Change Orders) を避けることは困難となり、約 7 割の LSI でマスク製造以降に発生する ECO によってリ-spin、すなわち不具合によるマスク再設計が行われている。大規模な回路においては、システムの仕様変更や設計ミスによる ECO を避けることは困難である。特に仕様設計段階における設計ミスは、各設計工程間の検証では発見できないため、マスク製造後に仕様変更が行われることも少なくない。そのため、仕様設計段階のミスを、物理設計レベルの修正で吸収する技術が強く望まれている。この技術が実用化されれば、修正に必要な時間および費用に関するコストを飛躍的に削減することが可能となる。

### 2. 研究の目的

本研究では、柔軟性の高い論理診断・再合成システムを構築し、ECO コストの大幅な削減を実現することを目的とする。具体的には、論理回路の素子単位での修正を可能とする論理診断手法に関して、従来の明示的な集合表現によるメモリ制約の問題を解決するべく、集合の効率的な表現に適した ZDD でコンパクトに表現された組合せ箇所を効率よく絞り込むことで、大規模回路に含まれる高多重度設計誤りを修正可能とする論理診断手法を提案する。さらに、再構成可能な RECON セルをスピアセルとしてのみならず、初期回路の実現にも活用した論理再合成手法を考案することで、ECO 対応の柔軟性向上を実現する。以上の提案手法を組み込んだ論理診断・論理再合成システムを実装することで、設計変更に必要なコストと時間を大幅に削減可能とする。

### 3. 研究の方法

研究代表者は、全体の総括に加えて高性能論理診断手法の考案・実装を主として担当した。研究分担者は、新たな ECO 対応設計手法の考案・実装を主として担当した。考案・実現した手法の評価と研究成果発表については、両者が協力して行った。

本研究では、大規模な論理回路に対する充足可能性判定を効率良く行う SAT ソルバを、論理関数同士の演算や、すべての充足解をグラフ形式で非明示的に表現することが可能な BDD と組み合わせる一方、従来は明示的に列挙する必要があったために高多重度論理設計誤りの修正に制限を生じていた組合せ箇所の表現に対して新たに ZDD を導入して非明示的表現を実現することで、大規模な回路に含まれる多数の誤りに対して、複数の修正解を短時間で求める論理診断手法を考案・実現した。さらに、新たに ECO の発生を前提とする設計手法を提案することで、考案した論理診断手法を活用して LSI の設計変更に必要な時間とコストを大幅に削減可能とする論理再合成システムの開発を行い、評価を行った。具体的には、下記に従って研究を進めた。

#### (1) ZDD による非明示的集合表現を活用した論理診断手法の考案・実現

本研究の核心部分である論理診断処理に関して、BDD と SAT ソルバを併用するとともに、組合せ箇所の集合を ZDD によってコンパクトなグラフで表現することで、多くの論理設計誤りを含む大規模回路に対して、短時間で効率よく修正解を求める高性能論理診断手法を考案した。より具体的には、修正を加える箇所の集合である組合せ箇所の抽出と絞り込みに関して、ZDD 上の操作で実現する手法を考案・実現した。

#### (2) 平均化 EPI 群の更新に基づいて初期組合せ箇所数を削減する手法の考案・実現

論理診断処理においては、機能仕様と値が一致しない不一致外部出力に対する各箇所の可制御性を表す、誤り可能性の指標 EPI (Error Possibility Index) を用いて組合せ箇所の抽出を行っている。この EPI の集合である EPI 群に関して、複数の EPI 群の平均化を行うとともに、インクリメンタルに平均化対象とする EPI 群を選び、平均化した場合の組合せ箇所数を計算によって求めることで、組合せ箇所数を削減できる場合のみ平均化対象とする手法を考案した。

#### (3) ECO に対応する新たな設計手法の考案と論理再合成システムの考案・実現

(1)、(2) で考案・実現した手法に基づき、もともとなる機能仕様が変更された際に、すでに合成された回路に対する可能な限り少ない修正によってその変更を満足させる、仕様変更に対応

した論理再合成手法を考案・実現した。変更前の仕様に基づいて合成された回路が誤りを含むと考え、変更後の仕様を正しい機能とみなして論理診断・修正を行う。その結果、回路に対する最小の修正で、変更された仕様を満足することが可能となる。

#### 4. 研究成果

##### (1) ZDD による非明示的集合表現を活用した論理診断手法の考案・実現

論理診断処理に関して、BDD と SAT ソルバを併用するとともに、組合せ箇所集合を ZDD によってコンパクトなグラフで表現することで、多くの論理設計誤りを含む大規模回路に対して、短時間で効率よく修正解を求める高性能論理診断手法を考案した。具体的には、機能仕様と一致しない外部出力値に対する各箇所の可制御性を表す、誤り可能性の指標 EPI (Error Possibility Index) の集合である EPI 群に基づく組合せ箇所抽出手法に関して、EPI 群毎の組合せ箇所を ZDD でそれぞれ表現し、それらの集合積をとることで最終的な組合せ箇所を抽出する。従来手法では、EPI 群に基づいて初期組合せ箇所を明示的に列挙してから他の EPI 群を用いて順次絞り込むが、初期組合せ箇所集合の要素数が膨大になる場合、処理時間増大の原因となっていた。提案手法では、ZDD による非明示的表現を用いて組合せ箇所集合を表現し、グラフの集合演算を用いて絞り込むことにより、処理時間の短縮を図った。提案手法に基づき、5 箇所の機能誤りを挿入したベンチマーク回路に対して、組合せ箇所の抽出に関する実験を行った結果、提案手法により回路例 C5315 においては処理時間が平均 78.5% 削減、回路例 C7552 については処理時間が平均 95.4% 削減される効果を確認した。

##### (2) 平均化 EPI 群の更新に基づいて初期組合せ箇所数を削減する手法の考案・実現

論理診断処理においては、機能仕様と値が一致しない不一致外部出力に対する各箇所の可制御性を表す、誤り可能性の指標 EPI (Error Possibility Index) を用いて組合せ箇所の抽出を行っているが、最初に抽出される初期組合せ箇所の数は、最初に適用する EPI 群の性質に依存し、EPI 群においては基点となった不一致外部出力に接続する箇所の EPI 値が 1 となるため、その箇所を含む多数の組合せ箇所が生成される点が問題となっていた。そこで、(1) の前段階として、組合せ箇所抽出の効率向上に有効な平均化 EPI 群の更新手法を考案した。複数の EPI 群の平均化によって EPI 値の上限を抑えることで、結果的に生成される組合せ箇所数を削減すると同時に、生成された平均化 EPI 群に対して、実際に組合せを生成することなく、計算によって評価した初期組合せ箇所数をもとに平均化の採否を決定する点に特徴をもつ。5 箇所の機能誤りを挿入したベンチマーク回路に対する実験の結果、初期組合せ箇所数に関して回路例 C5315 について平均 99.4%、回路例 C7552 について平均 92.8% 削減される効果を確認した。この EPI の集合である EPI 群に関して、複数の EPI 群の平均化を行うとともに、インクリメンタルに平均化対象とする EPI 群を選び、平均化した場合の組合せ箇所数を計算によって求めることで、組合せ箇所数を削減できる場合のみ平均化対象とする手法を考案した。

##### (3) 誤り追跡入力 of 適応的適用順序変更に基づく 6 値シミュレーション手法の考案・実現

EPI に基づいて抽出した組合せ箇所をさらに絞り込む 6 値シミュレーション処理に関して、従来は組合せ箇所数を削減する効果に関係なく、各誤り追跡入力に対して順番に処理を行っていたために、6 値シミュレーションの実行回数が増大し、処理時間増加の原因となっていた。そこで新たに、低い多重度における結果をもとに、絞り込み効果の高い誤り追跡入力を優先して適用することで、処理時間を大幅に短縮する手法を考案した。考案した手法をプログラムとして実装した上で、機能誤りを無作為に挿入したベンチマーク回路に対して組合せ箇所の抽出・絞り込みに関する実験を行った結果、53.1% ~ 73.6% の処理時間短縮効果が得られ、規模が大きな回路に対して、より高い効果が得られることを確認した。

##### (4) ECO に対応する新たな設計手法の考案と論理再合成システムの考案・実現

(1)~(3) で考案・実現した手法に基づき、もともになる機能仕様が変更された際に、すでに合成された回路に対する可能な限り少ない修正によってその変更を満足させる、仕様変更に対応した論理再合成手法を考案・実現した。変更前の仕様に基づいて合成された回路が誤りを含むと考え、変更後の仕様を正しい機能とみなして論理診断・修正を行う。その結果、回路に対する最小の修正で、変更された仕様を満足することが可能となる。特に、再構成可能な RECON セルについて、従来はもとの初期回路とは別に埋め込んでおき、ECO 発生時にスペアセルとして利用することが一般的であったが、提案手法においては、初期回路の実現にも積極的に利用し、タイ

ミング制約の厳しい ECO 対応処理が必要となった場合には、その RECON セルを別の回路に流用することで、面積および電力に関するオーバーヘッドを低く抑えた ECO 対応処理を実現した。さらに、クリティカル・パス情報を RECON スペアセルの配置領域を決定することで、4, 5, 7 箇所 LUT 機能誤りをランダムに混入させた計 160 例中 116 例について、最大遅延時間が短縮される効果を確認した。

#### (5) 提案手法の評価と研究成果発表

以上、(1)~(4) によって考案・実現した論理診断・論理再合成手法に基づいて開発した実験システムを用いて、種々の回路に対する設計誤りの自動診断・修正能力を評価した。その結果、(1)~(3) で述べたような論理診断手法の高性能化を実現できるとともに、(4) で述べた新たな ECO 対応設計手法の導入によって、ECO コストを大きく削減することが可能であることを確認し、その成果を国際会議等で発表した。

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件/うち国際共著 0件/うちオープンアクセス 1件）

|                                                                                                                                                  |                         |
|--------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------|
| 1. 著者名<br>Urazoe Kazuya, Kuroki Nobutaka, Hirose Tetsuya, Numa Masahiro                                                                          | 4. 巻<br>16              |
| 2. 論文標題<br>Combination of Convolutional Neural Network Architecture and its Learning Method for Rotation Invariant Handwritten Digit Recognition | 5. 発行年<br>2020年         |
| 3. 雑誌名<br>IEEJ Transactions on Electrical and Electronic Engineering                                                                             | 6. 最初と最後の頁<br>161 ~ 163 |
| 掲載論文のDOI（デジタルオブジェクト識別子）<br>10.1002/tee.23278                                                                                                     | 査読の有無<br>有              |
| オープンアクセス<br>オープンアクセスとしている（また、その予定である）                                                                                                            | 国際共著<br>-               |

〔学会発表〕 計8件（うち招待講演 0件/うち国際学会 5件）

|                                                                                                                        |
|------------------------------------------------------------------------------------------------------------------------|
| 1. 発表者名<br>A. Masamori, H. Nakano, N. Kuroki, T. Hirose, and M. Numa                                                   |
| 2. 発表標題<br>Six-Valued Simulation Based on Adaptive Ordering of Input Patterns for Error Diagnosis                      |
| 3. 学会等名<br>The 23rd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2021)（国際学会） |
| 4. 発表年<br>2020年                                                                                                        |

|                                                                                                                        |
|------------------------------------------------------------------------------------------------------------------------|
| 1. 発表者名<br>H. Nakano, S. Hojo, A. Masamori, N. Kuroki, T. Hirose, and M. Numa                                          |
| 2. 発表標題<br>Adaptive ordering of EPI-groups to extract error location sets based on ZDD for error diagnosis             |
| 3. 学会等名<br>The 23rd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2021)（国際学会） |
| 4. 発表年<br>2020年                                                                                                        |

|                                                |
|------------------------------------------------|
| 1. 発表者名<br>放生 卓, 中野 洋, 黒木修隆, 沼 昌宏              |
| 2. 発表標題<br>RECONセル割当ての実現可能性と配線長コストを考慮した論理再合成手法 |
| 3. 学会等名<br>第19回情報科学技術フォーラム（FIT2020）            |
| 4. 発表年<br>2020年                                |

|                                                                                                                          |
|--------------------------------------------------------------------------------------------------------------------------|
| 1 . 発表者名<br>J. Akashi, S. Hojo, N. Kuroki, T. Hirose, and M. Numa                                                        |
| 2 . 発表標題<br>A global placement method for RECON spare cells in ECO-friendly design style                                 |
| 3 . 学会等名<br>The 22nd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2019) (国際学会) |
| 4 . 発表年<br>2019年                                                                                                         |

|                                                                                                                              |
|------------------------------------------------------------------------------------------------------------------------------|
| 1 . 発表者名<br>S. Ohmura, H. Nakano, N. Kuroki, T. Hirose, and M. Numa                                                          |
| 2 . 発表標題<br>Incremental approaches for locating design errors: averaging EPI-groups and generating additional input patterns |
| 3 . 学会等名<br>The 22nd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2019) (国際学会)     |
| 4 . 発表年<br>2019年                                                                                                             |

|                                                                                                                          |
|--------------------------------------------------------------------------------------------------------------------------|
| 1 . 発表者名<br>H. Nakano, S. Ohmura, N. Kuroki, T. Hirose, and M. Numa                                                      |
| 2 . 発表標題<br>An error diagnosis technique using ZDD to extract error location sets                                        |
| 3 . 学会等名<br>The 22nd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2019) (国際学会) |
| 4 . 発表年<br>2019年                                                                                                         |

|                                          |
|------------------------------------------|
| 1 . 発表者名<br>大村祥吾, 竹崎彩乃, 廣瀬哲也, 黒木修隆, 沼 昌宏 |
| 2 . 発表標題<br>誤り追跡入力の追加生成に基づく論理診断処理の効率化    |
| 3 . 学会等名<br>第17回情報科学技術フォーラム (FIT2018)    |
| 4 . 発表年<br>2018年                         |

|                                                 |
|-------------------------------------------------|
| 1. 発表者名<br>明石淳平, 澤井剛史, 廣瀬哲也, 黒木修隆, 沼 昌宏         |
| 2. 発表標題<br>論理再合成における遅延時間抑制に有効なRECONスベアセルの概略配置手法 |
| 3. 学会等名<br>第17回情報科学技術フォーラム (FIT2018)            |
| 4. 発表年<br>2018年                                 |

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

|       | 氏名<br>(ローマ字氏名)<br>(研究者番号)                | 所属研究機関・部局・職<br>(機関番号)         | 備考 |
|-------|------------------------------------------|-------------------------------|----|
| 研究分担者 | 黒木 修隆<br>(KUROKI NOBUTAKA)<br>(90273763) | 神戸大学・工学研究科・准教授<br><br>(14501) |    |

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

|         |         |
|---------|---------|
| 共同研究相手国 | 相手方研究機関 |
|---------|---------|