

令和 3 年 5 月 9 日現在

機関番号：15201

研究種目：基盤研究(C) (一般)

研究期間：2018～2020

課題番号：18K11216

研究課題名(和文) SATソルバと機械学習手法を融合した自動設計検証に関する研究

研究課題名(英文) Study on Automated Design Verification Combining a SAT-based Method and a Machine Learning Technique

研究代表者

浜口 清治 (Hamaguchi, Kiyoharu)

島根大学・学術研究院理工学系・教授

研究者番号：80238055

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：本研究では多種多様な回路設計に対する動作検証の自動化を目指して、設計検証の一手法であるカバレッジ駆動型検証について、機械学習を利用する手法とSATソルバを用いる手法を組み合わせ、効率を改善することを目標とした。対象としていた入力制約付き実設計記述の不足と機械学習用ツールの性能も限界などにより、当初計画の一部分しか達成できなかったが、(1)SMTソルバによる性能の改善、(2)分散実行方式による性能の改善、(3)誤りを含む記述に対するエラー検出能力のSATソルバによる改善、(4)入力制約下でのカバレッジ駆動検証方式の確立と有効性の確認の4点の成果を上げることができた。

研究成果の学術的意義や社会的意義

半導体回路は現代社会の基盤であり、その動作の正しさを保証する設計検証は回路の安全性を保証する上で不可欠な技術である。その設計検証の自動化・高速化を押し進める上で、本研究で得られた効率の改善手法やより現実的な入力制約を考慮した自動検証手法は必要とされており、エラー検出能力の評価は手法の実用性を担保するものである。この意味で本研究の成果は学術的また社会的に意義のあるものであると考える。

研究成果の概要(英文)：The goal of this study was to improve the efficiency of coverage-driven verification, a method of design verification, by combining a method using machine learning with a method using the SAT solver, in order to automate the verification of various circuit designs. Due to the lack of real design descriptions with input constraints and the limited performance of the machine learning tool planned to use, only a part of the original plan was achieved, but the following results were obtained:(1) improvement of the performance with an SMT solver, (2) improvement of the performance with a distributed execution method, (3) evaluation of the error detection capability for descriptions with artificially inserted errors, and (4) Establishment and validation of a coverage-driven verification method under input constraints.

研究分野：情報工学

キーワード：カバレッジ駆動検証 SATソルバ 機械学習

## 1. 研究開始当初の背景

高速化・低消費電力化のために、FPGA などでの多種多様なハードウェアモジュールの設計が増加していくと考えられ、この際、各モジュールの設計の正しさを保証することはシステム全体の信頼性保証にきわめて重要である。ハードウェアの論理あるいはレジスタ転送レベル設計の検証は、主にシミュレーションによって行われている。シミュレーションを用いる手法ではカバレッジとよばれる数値的指標を設けて、検証進捗の目安とすることが多い。カバレッジの種類としては、例えば、信号線の値の変化に注目したトグルカバレッジなどがある。カバレッジ駆動検証はカバレッジの改善を目指して検証を進める方式である。

研究開始当初では、カバレッジ解析に基づいて入力パターン生成の調整を行うカバレッジ駆動検証を達成しているものはあったが、対象がマイクロプロセッサやその部分モジュールに限られており、これらの設計の持つ性質を明示的に利用する必要があった。このため、多種多様な回路設計を対象とした自動化という点では不十分となっていた。

シミュレーションの効率を改善する手法については、ベイジアンネットワークの学習を利用して、入力パターンを効率的に生成する手法について、単純なランダムシミュレーションよりも、シミュレーション回数を抑えることができることが予測されていた。また、ランダムシミュレーションと SAT ソルバにより入力パターン探索を行うという手法を組み合わせると、カバレッジを改善できることが判明していた。そこで、本研究では、機械学習と SAT ソルバを用いた手法を統合したシステムの構築により、シミュレーションベース検証の自動化・高速化の手法を目指すこととした。

## 2. 研究の目的

本研究では次の点を主な目的として、自動化の度合いを引き上げると同時に汎用性を増すことを目指した。

### (1) 入力制約の下でのカバレッジ駆動検証方式の確立と評価

入力制約は一般に複数サイクルにわたる論理条件で与えられる。これを検証システムの枠組みに組み込む方式を検討・実装する。Wishbone プロトコルなどを前提とした OpenCores など公開されている設計に適用し、有効かどうか評価する。

### (2) 機械学習による方式と SAT ソルバによる方式の統合

単純には、まず計算量が少ない手法を適用してカバーが容易なカバーポイントをカバーし、残ったカバーポイントに対して SAT ソルバを用いるなどの手法が考えられるが、さらにこれらを繰り返して適用することも考えられる。どのような組み合わせが有効性を評価する。

### (3) カバレッジ改善と誤り検出能力の関係の定量的評価

設計に人工的に誤りを挿入しカバレッジの改善が誤り検出に有効であるかどうかを評価する。

## 3. 研究の方法

当初の計画では、まず、入力制約付きの設計記述の作成とともに、特に機械学習を用いる方式に入力制約を組み込む方式を実装・評価することとし、次に、誤り挿入をおこなった設計記述を作成し、カバレッジと誤り検出能力との関係を調べて、システム構成に反映させることとしていた。

この際、本方式で問題となる点の一つは SAT ソルバの性能であると予想された。この問題に対しては、SMT (Satisfiability Modulo Theory) ソルバの利用を計画した。SMT ソルバは、整数・実数の加減算やビットベクトル演算を扱うことができる。つまり、これらの演算を命題論理レベルで処理する必要がないため、高速に動作することが期待された。また、SAT ソルバはカバレッジを改善するという点では強力ではあるが、計算時間が大きくなる。この部分については、分散実行方式により同時に実行して結果を集約する形にすることとした。また、設計への誤りの挿入を行って、カバレッジの改善と、誤り検出能力の関係を実証的に調査することとしていた。

以上が当初の計画であったが、ターゲットとしていた Wishbone プロトコルベースの入力制約付きの実設計記述のうち、トリビアルでないものをわずかしか準備できなかったことと、機械学習に用いる予定であったベイジアンネットワークの機械学習ツールの性能に限界があったことなどから、目的のすべては達成することはできず、特に上記(2)については実装・実験を行うところまで進めることができなかった。結果として、当初計画のうち、成果はつぎの4点にとどまった。以下では、これらについて成果を記す。

### (1) SMT ソルバによる性能の改善

### (2) 分散実行方式による性能の改善

### (3) 誤りの挿入によるカバレッジの改善と誤り検出能力の関係の評価

### (4) 入力制約下でのカバレッジ駆動検証の性能の評価

#### 4. 研究成果

##### (1) SMT ソルバによる性能の改善

本研究では、ランダムシミュレーションと SAT(Satisfiability) ソルバを組み合わせ、検証の進捗を表す数値指標であるカバレッジを自動改善していくシステムがベースとなっている。カバレッジとしては、設計記述中の全信号線のうち 1 から 0 または 0 から 1 へ変化した信号線数の割合であるトグルカバレッジをターゲットとしている。まだカバーされていない信号線に対して値が変化する論理条件を命題論理式として記述して、SAT ソルバに与えることにより、信号線の値が変化するような入力パターンを探索・発見することができ、カバレッジを改善することができる。ランダムシミュレーションでカバーできない信号線をカバーすることができるが、計算コストが非常に大きいため、その軽減化が課題となっていた。SAT ソルバは設計記述中に算術演算器(とくに乗算器や除算器)が含まれていると、計算時間が長大になることが知られている。これに対して、すべてビットレベルの命題論理式しか扱うことができない SAT ソルバと違い、SMT(Satisfiability Module Theory) ソルバは、算術演算を直接的に記述・処理することができるという特徴を持つ。

ハードウェア記述言語 Verilog で与えられた設計記述を SMT ソルバ用の算術演算を含む論理式に変換するプログラムを作成して、試作中の検証システムに組み込んで実験を行った。実験結果を表 1 に示す

表 1 : SMT ソルバによる実験結果

Design	#Length	#Arith	#Gate	#Cov	#Sol=5				#Sol=1			
					SAT		SMT		SAT		SMT	
					#Covered	#SAT	#Covered	#SMT	#Covered	#SAT	#Covered	#SMT
simple_spi_top	80	7	1159	240	238	61	238	51	238	45	238	27
tv80	10	18	10010	694	675	67	610	0	662	46	673	58
pipeline_cordic	16	120	11678	1530	(*1)1530	18	1510	30	(*2)1530	10	(*3)1530	11
cb_dct	10	227	285676	10376	2037	0	2037	0	2037	0	7356	22

カバレッジ 100% が (\*1) 1837.5 秒, (\*2) 2270.7 秒, (\*3) 530.4 秒でそれぞれ達成されている。

実験は 3,600 秒に実行時間を制限して実施した。表 1 で Design は OpenCores で公開されている設計の名前(pipeline\_cordic は自作)であり、いずれも同期式の順序回路である。#Length は SAT ソルバが入力パターンを探索したサイクル数, #Arith は算術演算器の数, #Gate はゲート数, #Cov は対象となるカバーポイントの数, #Covered はカバーされたカバーポイント数, #SAT と #SMT はそれぞれソルバが呼び出された回数を表す。\$Sol はソルバ 1 回の呼び出しで探索する入力パターン数の上限である。

結果として、SMT ソルバの利用は算術演算器が多く含まれている設計記述ほど SAT ソルバに比べて SMT ソルバの方がよりカバレッジの改善に効果があるということが確認できた。

##### (2) 分散実行方式による性能の改善

本研究では、複数の方式を組み合わせカバレッジを改善するシステムを用いている。ランダムシミュレーションと SAT ソルバによる入力パターン生成の組合せは図 1 のようにして実現している。1 回のランダムシミュレーションの実行を例えば 1000 クロックサイクル分として、リセット状態から何回か繰り返す。各ランダムシミュレーションの開始点は、リセット状態か、それ以前に実行したシミュレーションで到達した中間状態である。ランダムシミュレーションを何度か繰り返して、カバレッジが改善されない状態が決まった回数続くと SAT ソルバを呼び出して入力生成を行う。

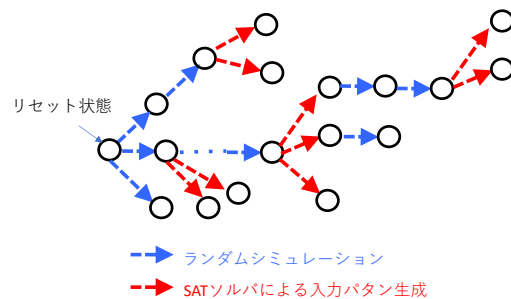


図 1 : 2方式を組み合わせ検証の進展

この方式で最も時間を要するのは、SAT ソルバの呼び出し部分であり、これを効率化する 1 つの方法は、複数のプロセスで実行することである。この際、カバーポイントのカバー状況をすべてのプロセスで共有しておくことにより、同じカバーポイントに対する SAT ソルバの呼び出しを削減する(図 2)。

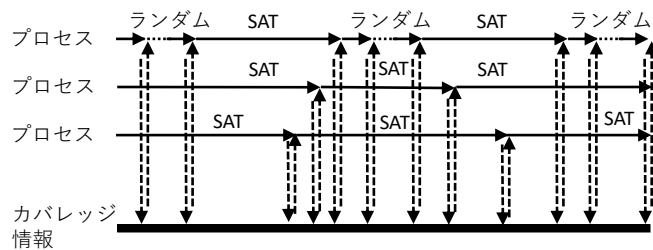


図 2 : 検証プロセスの分散実行

以上の手法を実装して実験した結

果を次の表 2 に示す. 実験は実行時間を 3,600 秒に制限して実施している. Random はランダムシミュレーションのみ 4 プロセスの結果であり, SimpleSAT と DivSat はランダム+SAT のプロセスを 1 個, SAT のみのプロセスを 3 個実行した場合の結果である. SimpleSAT は通常の SAT ソルバを用いた場合, DivSAT はできるだけ異なるパターンを探索するように改造した SAT ソルバを用いた結果を表している. 表 2 で DUV は ISCAS' 89 ベンチマークの設計(いずれも同期式順序回路)の名前, SAT Length は探索するクロックサイクル数の上限, cov. (%) はカバレッジを #SAT は SAT ソルバが呼び出された回数を表している. ランダムシミュレーションを行ったときカバレッジの改善がないと判断するまでのシミュレーションの回数は 20 に固定して実験した.

表 2 : 分散実行による実験結果

DUV	Random	SAT Length	SimpleSAT		DivSAT	
	cov.(%)		cov.(%)	#SAT	cov.(%)	#SAT
s5378	92.3	50	95.1	251	95.1	136
s13207	58.7	50	59.5	72	59.5	69
s35932	92.7	20	94.3	5	94.3	5
s38584	93.1	20	93.7	6	94	6
s38417	53.1	20	53.1	6	52.8	6

表 2 の結果を見ると分散実行した場合, s38417 を除き Random より良い結果を示していることがわかる. S38417 についても, カバレッジの改善がないと判断するランダムシミュレーションの回数を 40 に変更すると, DivSAT のカバレッジは 53.2% となり最も良い値を示した. また紙面の都合でここには示していないが, SAT のみのプロセスを減らしていくと, Random の場合との差が縮まっていくという結果が得られている. 以上より, 分散実行方式がカバレッジ改善に効果があることが確認できた.

### (3) 誤りの挿入によるカバレッジの改善と誤り検出能力の関係の評価

ランダムシミュレーションと SAT ソルバを組み合わせるカバレッジ駆動検証を行う方式は, トグルカバレッジの改善に効果があることが判明しているが, カバレッジを改善できたとしても, 実際に誤りを検出することができるかどうかについては, 定量的な評価は示されて来ない. 本研究では開発中のシステムを利用して, エラー検出能力の評価を行うこととした.

対象としては, ISCAS' 89 ベンチマーク回路の中規模の設計を選び, 人工的にエラーを挿入して, カバレッジの改善によってエラーそのものの検出にどの程度効果があるかを定量的に評価した. エラーとしては, 設計記述中の AND ゲート, OR ゲート, NOT ゲートなどの基本素子を対象として, それらを別の素子に変更する方式で挿入した. エラーを挿入した設計を 1 つの設計に対して 500 個ずつ生成し, もとの設計とエラーを挿入した設計に同じ入力を与えて出力が異なればエラーを検出したと見なす. トグルカバレッジはエラーを挿入した回路に対して計測した. これはもとの設計(正しい設計)の動作が, プログラムなどによって与えられていて, 回路の形式で与えられていない場合でも, 本方式を適用するためである.

実験結果を図 3 に示す. この図で縦軸は挿入されたエラーを検出することができた設計の数を表している. RND はランダムシミュレーションのみのプロセス 2 個を動作させた場合, RND+SAT はランダムシミュレーション+SAT のプロセス 1 個と SAT のみのプロセス 1 個を動作させた場合である. 1 つ 1 つの設計に対する実験の時間制限が 50 秒, 100 秒, 200 秒, 400 秒, 800 秒それぞれの場合の結果を示している.

s1423, s5378, s9234 については, SAT ソルバを併用した場合は, エラー検出の能力が改善されることが確認できた. S15850 については, 2 方式とも制限時間を延ばしてもエラー検出の改善が見られなかった. SAT ソルバの効力が認められないのは, 制限時間が 800 秒と短く, SAT ソルバが解を見つけられないまま 1 つ 1 つの設計に対する実験が終了していることが原因であると分析している. まとめて実際のエラーの検出においても, RND+SAT の方式の方が有利であるという結果が得られたと考える.

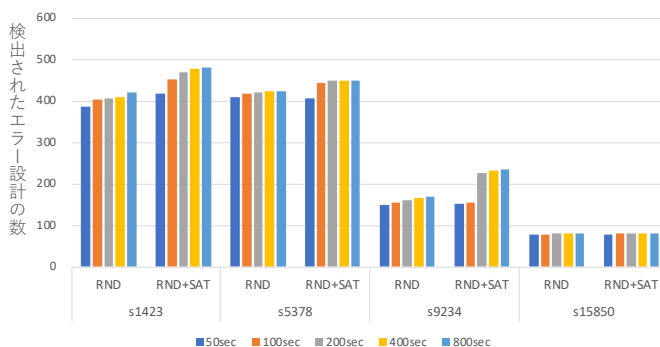


図 3 : エラー検出実験の結果

#### (4) 入力制約下でのカバレッジ駆動検証の性能の評価

レジスタ転送レベルやゲートレベルの設計記述では、入力に特定のデータ転送プロトコル(バスプロトコル)が仮定されていることが多い。このような設計に対して、入力制約を考慮しない入力パターンを与えて、カバレッジを改善し誤り検出を行ったとしても、入力制約下では起こりえない動作について検証を行っている可能性を否定できない。

この問題を解決するために、本研究では設計対象回路の入出力に対して、バスプロトコルにしたがった入力パターンを作り出すラッパーと呼ばれる設計記述を付加する方式をとり、実装・実験を行った。バスプロトコルの基本の動作は、読出し命令と書き込み命令であり、それぞれの命令には読み書きの対象となるアドレスや書き込み用のデータが含まれる。ラッパーについては読出し命令と書き込み命令の列を受け取って、バスプロトコルに準拠した信号パターンに変換し、検証対象の設計回路とデータのやりとりを行う回路として設計した。バスプロトコルを用いるモジュールにはマスタとスレーブがあるが、マスタはみずからバスプロトコルに準じた信号を生成するので、ここでは、検証対象がスレーブの場合のみを取り扱うこととした。

入力パタンの生成については、ランダムに行う場合は、アドレスやデータを含む読出し命令と書き込み命令の列を乱数生成器によって指定された数だけ生成する。SAT を用いる場合は、ラッパーの記述と検証対象の設計記述を合わせた記述に対して論理合成を行って、その結果得られるゲートレベル記述からカバレッジ条件を満たす論理式を生成し、SAT ソルバを使って入力パターンを求める。こうして得られるラッパーへの入力パターンは読出し命令と書き込み命令の列となる。

バスプロトコルの一種である Wishbone プロトコルについて、ラッパーの設計記述を Verilog で作成して、トグルカバレッジを対象としたカバレッジの改善が可能かどうかを計算機実験によって調べた。対象としては、OpenCores で公開されている設計 wbuart32 を用いた。この設計は Wishbone プロトコルによるデータ転送を別のデータ転送プロトコルである UART に変換する。

ランダムシミュレーションのみのプロセス 2 個で実行した場合と、ランダムシミュレーションと SAT ソルバを組み合わせて利用するプロセス 1 個と SAT ソルバのみを利用するプロセスを 1 個、合計 2 個のプロセスで実行した場合のカバレッジ改善の様子を図 4 に示す。最終的なカバレッジは前者の場合で 591、後者の場合で 718 となった。ランダムシミュレーションのみではカバレッジがほぼ変化しないが、SAT を用いることにより、カバレッジが大幅に改善できることが確認できた。

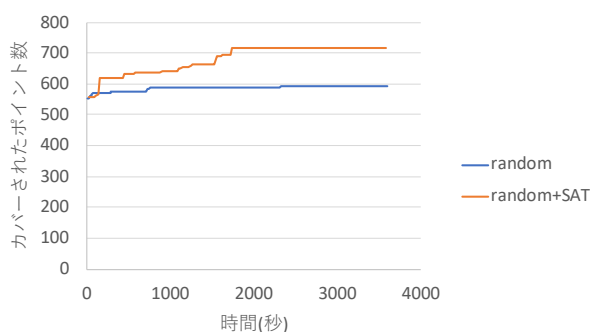


図 4：入力制約を考慮した実験結果

以上をまとめると、設計例の不足やツールの限界から、得られた成果は当初の計画の一部分となったが、SMT ソルバによる性能改善、分散実行システムの構築とその有効性、エラー検出能力についての優位性、入力制約を考慮した検証方式の構築とその有効性を示すことができた。これにより、本研究の大きな目標の一つである、設計回路の種類を選ばない汎用的なカバレッジ検証方式の確立に進展があったと考える。

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 HAMAGUCHI Kiyoharu	4. 巻 E101.A
2. 論文標題 Applying an SMT Solver to Coverage-Driven Design Verification	5. 発行年 2018年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 1053 ~ 1056
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/transfun.E101.A.1053	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計2件（うち招待講演 0件 / うち国際学会 2件）

1. 発表者名 Kiyoharu Hamaguchi
2. 発表標題 Parallelizing SAT-based Coverage-Driven Design Verification
3. 学会等名 22nd Synthesis and Simulation Meeting and International Interchange（国際学会）
4. 発表年 2019年

1. 発表者名 Hiroyuki Nakayama, Kiyoharu Hamaguchi
2. 発表標題 Error Detection Capacity of SAT-based Coverage-driven Design Verification
3. 学会等名 23rd Synthesis and Simulation Meeting and International Interchange（国際学会）
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 （ローマ字氏名） （研究者番号）	所属研究機関・部局・職 （機関番号）	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------