

令和 6 年 6 月 17 日現在

機関番号：17501

研究種目：基盤研究(C)（一般）

研究期間：2018～2023

課題番号：18K11220

研究課題名（和文）IoT時代の再構成可能集積回路に対する高信頼化に関する研究

研究課題名（英文）Studies on Reliability Enhancement of Reconfigurable Integrated Circuits in the IoT Era

研究代表者

大竹 哲史（Ohtake, Satoshi）

大分大学・理工学部・教授

研究者番号：20314528

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：フィールドプログラマブルゲートアレイ（FPGA）などの再構成可能集積回路では、回路素子の劣化状況がわかれば、その影響を回避した回路構成情報（コンフィグレーション）を合成でき、劣化状況に応じてコンフィグレーションをプログラムし直すことにより高信頼化を実現できる。本研究ではこれを実現するため、（1）高位設計からの劣化テスト機構の組み込み、（2）劣化情報の取得と信頼性の予測、（3）劣化情報を用いた高信頼化合成の3つの項目で研究を行った。これにより、FPGA上での劣化検知機構を提案し、提案機構を用いた劣化情報の取得に関する評価と信頼性予測、劣化情報を用いた回路構成情報の生成法を提案した。

研究成果の学術的意義や社会的意義

FPGA上での劣化検知機構の提案と実証により、回路素子の劣化状況を正確に把握する技術が進展した。動的に回路を再構成する手法が確立されたことにより、長期間の運用でも高信頼性を維持する設計が実現される。提案した技術により、FPGAを用いたシステム全体の信頼性が向上する。これにより、産業用機器や医療機器、通信インフラなどの重要な分野でのFPGAを用いたシステムの長期的な安定運用が期待される。動的に回路を再構成することで高信頼性のシステムを構築でき、機器の寿命が延び、廃棄される電子機器の量が減少する。これにより環境負荷の軽減に寄与することも期待される。

研究成果の概要（英文）：In reconfigurable integrated circuits such as Field Programmable Gate Arrays (FPGAs), if the degradation status of circuit elements can be determined, it is possible to synthesize circuit configuration that avoids its impact and achieve high reliability by reprogramming the configuration according to the degradation status. To achieve this, this study focused on three aspects: (1) embedding degradation detection test mechanisms from high-level design, (2) acquiring degradation information and predicting reliability, and (3) synthesizing configuration with high reliability using degradation information. As research outcomes, we have proposed degradation detection mechanisms on FPGAs, have evaluated the acquisition of degradation information and predict reliability using the proposed mechanisms, and have proposed a method for generating circuit configuration information using the degradation information.

研究分野：大規模集積回路の設計とテスト

キーワード：再構成可能集積回路 劣化検知機構 高信頼化設計 動的回路再構成 劣化情報取得 信頼性予測

1. 研究開始当初の背景

半導体技術の進歩により、フィールド（使用環境）でデジタル回路を再構成可能な集積回路は、高性能計算機から IoT（Internet of Things）デバイスに至るまで、様々な電子機器に使われている。再構成可能集積回路は、出荷時には特定の処理を行う回路が定義されておらず、ユーザがフィールドで回路構成情報を設定して使用する大規模集積回路（LSI）である。代表的な再構成可能集積回路としてフィールド・プログラマブル・ゲート・アレイ（FPGA）が広く使われており、2015年にはプロセッサメーカー最大手が FPGA メーカー大手を買収、2017年には国内メーカーが新しい方式の FPGA 開発を発表するなど、これからの IoT 時代のキーデバイスの 1 つになると考えられていた。これまで少量生産されていた特定の用途のために設計・製造される LSI（ASIC という）から、FPGA とそれに設定する回路構成情報へと置き換えが進んでいた。社会インフラ系などの高信頼性が要求される領域にとどまらず、IoT デバイスや IoT によりクラウドに集積されたビッグデータを解析する高性能計算機でも FPGA の利用が始まっていた。

一方、コンピュータ援用設計（CAD）技術の進歩により、ソフトウェア技術者がプログラミングを行うように、手軽に再構成可能集積回路を利用することができるようになりつつあり、クラウドアクセラレータとして、クラウド上にも FPGA が導入される状況だった。これまで、デジタル回路設計者が再構成可能集積回路上にデジタル回路を構成してきたが、ソフトウェア技術者がアクセラレータとしてクラウド上で使用することが考えられていた。

FPGA は出荷時には故障がないかを調べるテストが行われるが、フィールドでの経年劣化による故障への対応は不十分で、産業界ではこれから検討しなければならない課題となっていた。

今後、ハードウェア技術者が ASIC の置き換えとして FPGA を使い、ソフトウェア技術者がハードウェアアクセラレータとして FPGA を使うには、FPGA 向けの高信頼化が自動的に組み込まれる必要が生じると考えられていた。

2. 研究の目的

FPGA は、その使用環境で任意のデジタル回路を構成し直すことができるため、FPGA に生じた劣化や故障がわかれば、再構成の際にその部分を迂回して回路を実現できる可能性がある。これまでに、FPGA 上の故障の検出と故障箇所特定（故障診断という）する手法の研究開発はおこなわれてきた。しかしながら、FPGA が故障してからの検出では、それを使うシステムの障害を防げない可能性がある。FPGA 上の再構成可能素子の劣化には、動作遅延の増加として捉えることができるものがある。本研究では、その遅延の増加を捉えるための劣化テスト機構を設計し、回路構成情報に組み込む方法を提案する。

IoT 時代には、様々な電子機器はネットワークに接続されるため、回路の劣化状況を収集することができると考えられる。既にネットワーク機器など一部の電子機器では、その状態のモニタリングをネットワークを介して行い、得られた情報をメンテナンスコスト削減などに活かす取り組みが行われている。本研究では、提案する劣化テスト機構を用い、FPGA の劣化情報を収集し、信頼性予測を行う手法を提案する。また、信頼性予測結果に基づき、収集した劣化情報を考慮した回路合成・レイアウト（構成情報）生成方法を提案する。

3. 研究の方法

上述した目的のため、(1) 高位設計からの劣化テスト機構組み込み、(2) 劣化情報取得と信頼性予測、(3) 劣化情報を用いた高信頼化合成の 3 つの項目で研究を行う。

(1) 高位設計からの劣化テスト機構組み込み

研究代表者はこれまでに、フィールド故障検出および故障診断機構を研究開発してきた。まず、これまでに開発した技術の応用として、劣化テストおよび劣化箇所特定のための劣化テスト機構を設計する。これに基づき、高位から劣化テスト機構を組み込む方法を確立し、その評価を行う。劣化テスト機構の設計および評価には、実際に FPGA を用いて行う。

(2) 劣化情報取得と信頼性予測

FPGA の劣化情報を取得し、それを回路構成情報の合成・レイアウトに用いる。具体的には、(1) で設計した劣化テスト機構および代表者のこれまでの研究成果である DART 技術を応用することになる。劣化情報を取得する対象としては、FPGA ボードを用い、実際の劣化による遅延増加を測定する。収集した劣化情報から FPGA の信頼性予測を、機械学習技術を用いることを検討する。

(3) 劣化情報を用いた高信頼化合成

(2)における劣化情報の収集と信頼性予測結果を用い、劣化情報の合成へのフィードバック利用方法を検討する。まずは劣化情報を用い、劣化箇所を迂回する回路構成情報を生成するための劣化情報利用レイアウト手法の確立とその評価を行う。さらに、劣化が進行して劣化箇所を完全に迂回できない状況を想定し、劣化した再構成可能素子を回路内に含みながら信頼性を確保するための劣化情報利用合成手法の確立とその評価を行う。

4. 研究成果

(1) 高位設計からの劣化テスト機構組込み

劣化テストを行うためには、通常のクロックよりも高速のクロックを用いたテスト (FAST) を、使用環境 (フィールド) で行う必要がある。特定のフリップフロップ (FF) を終点とする経路遅延の増加を捉えるためには、その経路遅延までクロック周期を短くしていくことになる。その経路よりも大きな遅延を持つ経路が存在した場合には、その終点となる FF は誤った値を取り込むことになる。従って、一部の FF の値を観測しないようマスクする必要がある。特にフィールドでテストを行う場合には、FF に取り込まれた応答を圧縮する回路を用いるため、そのような FF の値をマスクしなければ、特定の FF の値が誤ったかどうかを判定できなくなる。不定値マスク技術を拡張した手法、および、テストパターンをドントケア部に対象経路よりも大きな遅延を持つ経路が活性化されないように値を割り当てる手法方法を提案した。劣化テストを実現するもう一つの手法として、FAST を用いるのではなく、観測対象の経路の終端に時間デジタル変換回路 (TDC) を接続して動作マージンを測定する方法がある。本研究では、FPGA 上に TDC を低コストで実現するため、レジスタ転送レベルにおいて、既存のレジスタに TDC 機能を付加する手法を検討し、FPGA 上で TDC を実現した。

フィールドでテストを行うには、組込み自己テスト (BIST) の仕組みが必要になる。組込み自己テストを用いてクロック速度を変化させながら動的にマスクを行ってテストする場合、それに応じた期待値が必要になるが、これを事前に計算して保持しておくのは現実的ではない。本研究ではフィールドテスト中に動的に期待値を生成する回路機構を提案した。この回路機構を図 1 に示す。この機構は BIST において各疑似ランダムパターンに対する期待署名を自己生成することにより、機体署名をあらかじめ保存しておくためのメモリを削減し、従来法と比べて小さなコストで署名の誤りビットを特定できるようになっている。さらに、署名の誤りビットから誤りのあるスキャンフリップフロップを特定する方法及び回路機構を提案した。これにより、FAST を行うことにより、劣化情報としての劣化箇所の取得が可能になる。

詳細な劣化検知テストを行うためには、特定の経路を活性化するテストパターンが必要になる場合がある。BIST においてこれを実現するためには、パターン生成器として用いられる線形フィードバックシフトレジスタ (LFSR) のシードを複数用いる必要がある。組込み自己診断コストを下げるためには、このシード数を削減する手法が必要になるため、圧縮シード生成法を提案した。提案手法は、診断テストのためのシードを求めるモデルを作成し、商用のテスト生成ツール (ATPG) を用いてテスト生成を行うことによりシードを得ることができる。

シード生成手法として、商用の ATPG 手法を用いるのではなく、シード生成モデルを充足可能性問題 (SAT) として表現し、既存の SAT ソルバーを用い手法も提案した。商用の ATPG では、妥当な時間で許容可能な故障検出率を達成できないという問題があったが、SAT を用いた

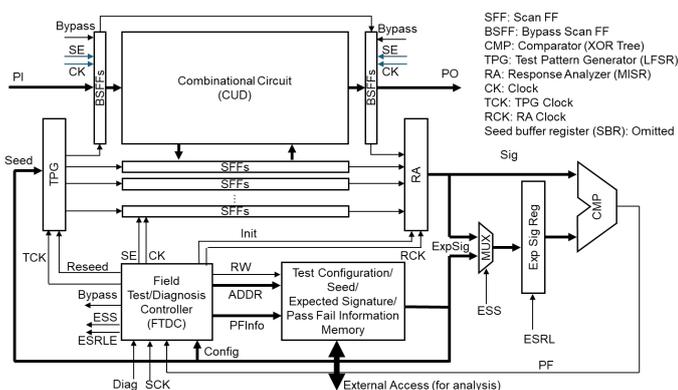


図 1 組込み自己診断のための署名生成機構

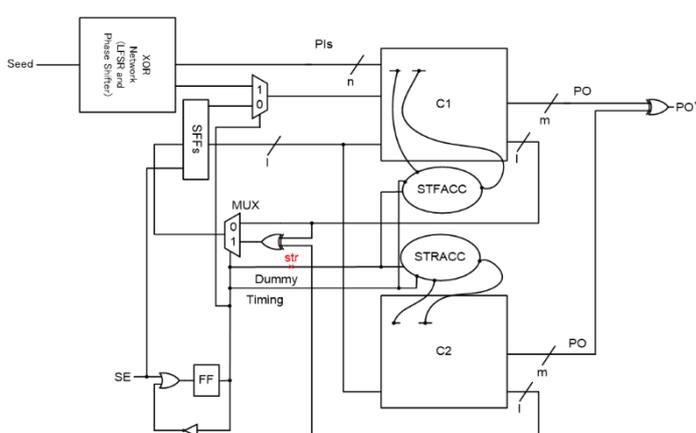


図 2 組込み自己診断のための圧縮シード生成モデル

この手法により完全故障検出効率を達成できることを示した。

(2) 劣化情報取得と信頼性予測

劣化情報の取得に関して、(1)において提案した2つの劣化テスト手法（FASTを用いる手法、TDCを用いる手法）について、FPGA上での実現を行った。

FPGA上でFASTを行うためには、まずスキャン設計が必要になる。FPGAの場合、論理要素（LE）にスキャンFFが用意されていないため、機能としてスキャン設計を実現する必要がある。また、FPGAの開発環境の制約により、レジスタ転送レベルでのスキャン設計が必要になる。本研究ではレジスタ転送レベルからのスキャン設計を行い、FPGA上に実現する例題回路にスキャン機能を組み込んだ。スキャン回路での遅延テストはローンチ・オフ・キャプチャ（LoC）方式を用いる。LoCでは、スキャンパターンを入力してから、クロックパルスを2つ入力して、2パターンテストを行うが、1つめのクロックと2つめのクロックの間隔を通常動作の周期よりも短くすることでFASTを実現する。本研究では1つめのクロックを遅らせる方法を用いてこれを実現するためのクロック生成回路の設計と評価を行った。

また、TDCを用いる手法においては、FPGA上に例題回路（小規模プロセッサ）を実現し、その中で最も遅延が大きいと考えられる算術論理演算回路（ALU）のキャリーチェーンのキャリー出力にTDCを接続して、遅延を観測した。実験に用いた回路のモデルを図3に示す。FPGAの表面温度を変化させたときに、その影響を遅延として観測することができることを示した。

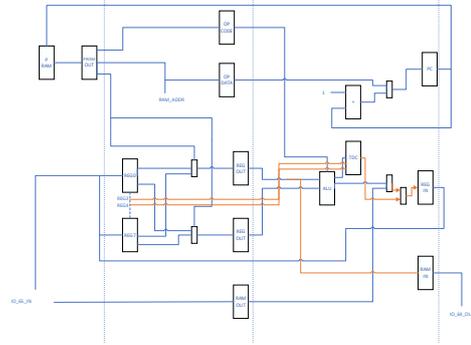


図3 例題回路へのTDCの組み込み

信頼性予測に関して、FPGA上で回路構成情報において使用されるルックアップテーブル（LUT）中のトランジスタの劣化について検討する必要がある。LUTを構成する一部のトランジスタ（LUTの出力側）の負バイアス温度不安定性（NBTI）がクリティカルパスへ及ぼす影響について評価を行った。

(3) 劣化情報を用いた高信頼化合成

(2)において調査したLUTの一部のトランジスタのNBTIによる劣化について、これを緩和する手法を提案した。NBTIではトランジスタのオン時間が劣化を進め、オフ時間がそれを緩和するという特徴を持つ。すなわち、FPGA上に実現する回路の機能を維持しながら、構成情報を変更して、その回路でオンになる割合の高いトランジスタの論理を反転し、オフになる時間を長くすることによりそのトランジスタの寿命を伸ばすことができる。図4に同じ機能を持つ異なる回路構成情報を示す。この場合、LUT1の出力論理を反転することで、LUT1の出力のマルチプレクサを実現するトランジスタのオン/オフを反転することにより、そのオン/オフ割合を反転できる。さらに、寿命を最大化するためのスケジューリング手法を提案し、遅延の増加の抑制を評価した。

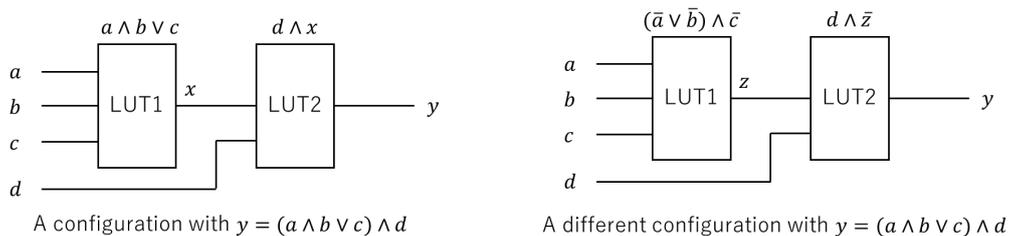


図4 同じ機能を持つ異なる回路構成

本研究では、(1)から(3)を実現するための要素技術を提案した。また、これらの手法を統合して適用するための具体的なIoTアプリケーションとして、音声のエッジ処理のためのアルゴリズムを高位合成により設計し、回路として設計した。今後、このアプリケーション等を例題に、(1)から(3)の成果を統合して評価する。

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Hiramoto Yushiro, Ohtake Satoshi, Takahashi Hiroshi	4. 巻 -
2. 論文標題 A Built-In Self-Diagnostic Mechanism for Delay Faults Based on Self-Generation of Expected Signatures	5. 発行年 2019年
3. 雑誌名 Proceedings of IEEE 28th Asian Test Symposium	6. 最初と最後の頁 31-36
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ATS47505.2019.000-4	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Funakoshi Miyabi, Satoshi Ohtake	4. 巻 -
2. 論文標題 Hardware Implementation of Constant Monitoring System of Fetal Heart Sounds	5. 発行年 2023年
3. 雑誌名 Proceedings of IEEE International Conference on Consumer Electronics-Taiwan	6. 最初と最後の頁 663-664
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ICCE-Taiwan58799.2023.10227017	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計5件（うち招待講演 0件 / うち国際学会 1件）

1. 発表者名 船越雅, 大竹哲史
2. 発表標題 胎児心音常時モニタリングシステムのハードウェア実装
3. 学会等名 火の国情報シンポジウム
4. 発表年 2023年

1. 発表者名 岩本岬汰郎, 大竹哲史
2. 発表標題 SATを用いた遅延故障BIST向けLFSRシード生成法
3. 学会等名 電子情報通信学会
4. 発表年 2021年～2022年

1. 発表者名 中野雄太, 大竹哲史
2. 発表標題 遅延故障向け組込み自己診断のための圧縮シード生成法
3. 学会等名 電子情報通信学会ディベンドブルコンピューティング研究会
4. 発表年 2019年～2020年

1. 発表者名 Yuta Nakano, Satoshi Ohtake
2. 発表標題 Compacted Seed Generation for Built-in Self-Diagnosis of Delay Faults
3. 学会等名 IEEE Workshop on RTL and High Level Testing (国際学会)
4. 発表年 2019年～2020年

1. 発表者名 平本悠翔郎, 大竹哲史, 高橋 寛
2. 発表標題 期待署名自己生成に基づく組込み自己診断機構
3. 学会等名 電子情報通信学会ディベンドブルコンピューティング研究会
4. 発表年 2018年～2019年

〔図書〕 計0件

〔出願〕 計0件

〔取得〕 計1件

産業財産権の名称 回路診断テスト装置、及び回路診断テスト方法	発明者 大竹哲史, 平本悠翔郎	権利者 大分大学
産業財産権の種類、番号 特許、特許7195602	取得年 2022年	国内・外国の別 国内

〔その他〕

-

6. 研究組織	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------