

令和 4 年 6 月 16 日現在

機関番号：12601

研究種目：基盤研究(C) (一般)

研究期間：2018～2021

課題番号：18K11256

研究課題名(和文) 多様な遅延要求に応えるインターネットアーキテクチャの創出

研究課題名(英文) Exploring an Internet architecture to support different latency requirements

研究代表者

小林 克志 (Katsushi, Kobayashi)

東京大学・大学院情報理工学系研究科・特任准教授

研究者番号：90251719

交付決定額(研究期間全体)：(直接経費) 3,200,000円

研究成果の概要(和文)：ネットワーク遅延はネットワークアプリケーションの体感品質に直結することが知られている。我々はアプリケーション毎の遅延要求に応えるネットワークアーキテクチャ LAWIN(Latency AWare INternet)を提案してきた。LAWIN の広帯域基幹ネットワークでの実現性を示すため、LAWIN に必要なパケットスケジューラのハードウェア実装をおこない、既存パケットスケジューラと同等の帯域性能を得た。さらに既存インターネットとの置換可能性を示すため、既存トラフィックへの影響を実システム上で評価し、遅延要求を満たしつつトラフィックの振る舞いへの影響は軽微となることを確認した。

研究成果の学術的意義や社会的意義

本研究が目指すアプリケーションごとの遅延要求に応えるインターネットが実現すればアプリケーション体感品質の向上だけでなく、IoT (Internet of Things)では、取得したデータをもとに制御をおこなうセンサーからアクチュエータにいたる処理における実時間性の向上も期待できるなどその波及範囲は大きい。

研究成果の概要(英文)：Network latency is directly related to user experience of network applications. We have been proposed LAWIN (Latency AWare Internet) architecture, which satisfies various latency requirements from different applications. To demonstrate the feasibility of LAWIN in backbone networks, we implemented a hardware packet scheduler using FPGA. It performed bandwidth throughputs comparable to ordinary hardware based packet schedulers. To demonstrate the replaceability from the existing Internet, we evaluated the impact of LAWIN to existing traffic with real systems. We confirmed the impact to traffic behavior is negligible.

研究分野：インターネット

キーワード：インターネット ルータ ネットワーク品質

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

今日のネットワークアプリケーションでは「スループット」に加えて「遅延」も重視される。対話型アプリケーションにおいて遅延の増大は利用者の体感品質を劣化させるためである。多岐にわたるネットワーク遅延のうちパケットスケジューラに起因する遅延に関しては解決すべき課題は多い。遅延要求の厳しいトラフィックと遅延よりもスループットを重視するものが混在する場合、両者の要求を満たせない問題が顕在化している。たとえばアクセス回線では Bufferbloat として知られる数秒に達する遅延がゲーム、Google ドキュメントといった対話型アプリケーションの体感品質を大きく損なっている。

遅延を含む多様な要求に応えるインターネット Quality of Service(QoS) 方式として、Int-Diff-Serv が標準化されている。これらは QoS クラスに対し、ベストエフォートとは別のネットワーク資源を割り当てる方式である。しかしながらこれらは IP 電話などに用途は限られ普及に至っていない。Floyd らはベストエフォートと QoS 方式を比較し、ベストエフォートサービスでは単純で済む経済関係が資源割り当て方式ではより複雑になることを挙げ、普及の困難さを指摘している。

2. 研究の目的

我々はこれまでにベストエフォートサービス上でアプリケーション毎に異なる遅延要求に応えるネットワークアーキテクチャを提案してきた。このアーキテクチャでは 端末はアプリケーション毎の遅延要求を IP パケットヘッダに埋め込み送出し、途中ルータは Earliest Deadline First with Reneging (EDFR) アルゴリズム、すなわち遅延要求の最も厳しいパケットを送出するが、遅延要求を超えたものは廃棄する。

我々は、従来の FIFO パケットバッファを EDFR に置き換えによってパケット毎の遅延要求が満たされ、加えて既存 TCP の挙動は変わらないことをシミュレーションによって示してきた。これは EDFR の廃棄率が FIFO のそれと同等であり、さらに異なる遅延要求のトラフィックが共存しても廃棄率は遅延要求に関わらず公平という特性による。

EDFR は優先キューとして実装されるが、これの実現性には性能上の課題がのこる。例えば、100Gbps 回線では 64Bytes パケットの持続時間は 5 ナノ秒であり、優先キューにはこれに見合った性能が求められる。これまでのパケットバッファ向けの優先キューの FPGA 実装ではアクセス遅延の小さいオンチップ SRAM が利用されてきた。SRAM の容量は数 MB、100Gbps 回線でミリ秒未満相当、と極めて限られている。TCP ではネットワーク遅延に相当するバッファ容量が求められ、遅延時間が 100 ミリ秒を超える広域ネットワークへの適用には大容量の DRAM が不可欠となる。一方で DRAM のアクセス遅延は 100 ナノ秒を超え、SRAM とは異なる優先キューの実装が求められる。

本研究の目的は遅延要求に応えるネットワークの実現に向けた上記課題の解決である。具体的には広域および基幹網に必要な容量・性能の EDFR パケットバッファを実装によって示す。さらに既存 FIFO を EDFR に置き換えても TCP の挙動が変わらないというこれまでに得られたシミュレーション結果をこのパケットバッファ実装を用いて検証する。

3. 研究の方法

我々は最初に、EDFR パケットバッファを FPGA に実装する。EDFR に必要な優先キューの実装は一般的にヒープやカレンダーキューが用いられるが、これらはアクセス先が予測できず遅延の大きな DRAM には適用できない。我々は DRAM を利用可能な FIFO とプライオリティエンコーダによる優先キューを用いる。この方式でサポート可能な遅延要求のレベルは限ら

れるが、遅延要求は 6-8bits 長の DSCP/ToS 領域に書き込まれるため問題とはならない。さらに遅延を超えたデータを読み飛ばす Skip-FIFO によって、廃棄データの読み込みによる帯域浪費を抑える。次いで、上記 FPGA 実装を利用して EDFR パケットバッファの TCP に与える影響を実システムで検証する。

4. 研究成果

我々は Skip-FIFO による EDFR パケットバッファを Xilinx FPGA 上に実装した。EDFR の FPGA リソース消費量は既存 FIFO と比べて LUT で 20%増であり、FIFO から EDFR への置き換えは十分可能と考えられる。

評価にあたって我々はそれぞれ異なる目的で二世代の Xilinx FPGA ファミリを使用した。第一に基幹網での実現性を検証する帯域性能評価向けに 16nm 世代 Vertex Ultra+ ファミリで 8GB HBM2 を搭載した Alveo U280-ES1(以下 U280)を、第二に TCP 挙動の実システムを用いた検証向けに 28nm Kintex7 で 512MB の NetFPGA-CML (CML)を利用した。

帯域性能評価では、U280 の EDFR における総スループットはフレーム長に関わらず 1.25Tbps、つまり 156GBytes/s となった(図 1)。この結果は HBM2 ハードウェアの理論限界の 3/4 と帯域性能の十分な活用だけではなく、今日の基幹網の回線帯域 100-400Gbps における EDFR の実現性をも示すことができた。

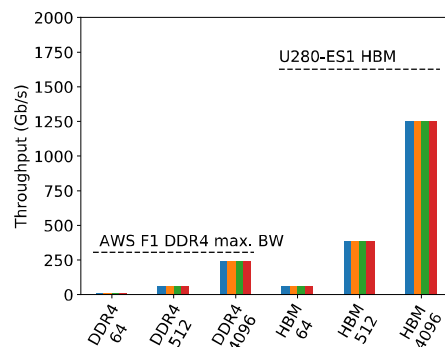


図 2

EDFR における実システムの TCP スループットとパケット損失率評価では Common TCP Evaluation Suite の標準トポロジ(6x6 ダンベル)上に Flowgrind によって複数の遅延要求の 3GPP モデル HTTP トラフィックを発生させた(図 2)。スループットではいずれの遅延要求の組み合わせでも有意なスループットの差はみられなかった(図 3(a))。損失率ではより短い遅延要求の損失率が低く遅延要求に関わらず損失率が一定というシミュレーション結果と異なる結果となった(図 3(b))。先に述べたとおりスループットは同じレベルにとどまっており、インターネットトラフィックの多くを占める HTTP トラフィックに関して言えばこの損失率の差による影響は小さい。我々は大容量転送における EDFR の影響についても検証し、遅延要求の長短にか

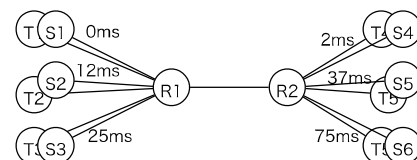


図 1

かわらず公平なスループットが得られることを確認した。

上記のように通常の FIFO スケジューラを EDFR に置き換えても、既存の TCP スタックが良好に動作することが裏付けられた。すなわち EDFR パケットバッファの導入によ

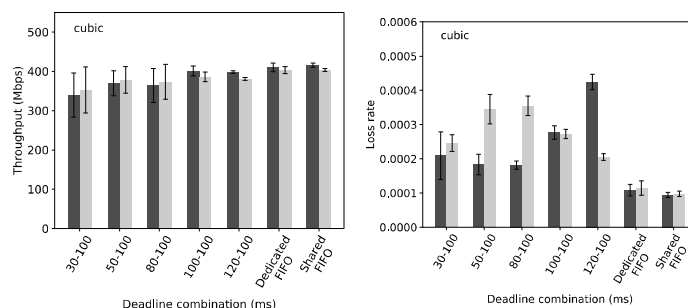


図 3

って異なる遅延要求に応えるネットワークが実現可能であることを実装によって示すことができた。

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 1件/うち国際共著 0件/うちオープンアクセス 1件）

1. 著者名 Katsushi Kobayashi	4. 巻 1
2. 論文標題 A DRAM-friendly priority queue Internet packet scheduler implementation and its effects on TCP.	5. 発行年 2020年
3. 雑誌名 In Proc. IFIP Networking Conference (Networking)	6. 最初と最後の頁 713-718
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 小林克志	4. 巻 119
2. 論文標題 HBM をバッファとするパケットスケジューラの FPGA 設計と実装	5. 発行年 2020年
3. 雑誌名 電子情報通信学会技術研究報告	6. 最初と最後の頁 87-92
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 小林克志	4. 巻 IEICE-118
2. 論文標題 クラウドFPGAサービスを利用したEDFパケットスケジューラ実装の評価	5. 発行年 2018年
3. 雑誌名 電子情報通信学会技術研究報告	6. 最初と最後の頁 51-58
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計0件

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------