

令和 4 年 6 月 23 日現在

機関番号：57102

研究種目：基盤研究(C) (一般)

研究期間：2018～2021

課題番号：18K11284

研究課題名(和文) HDLRuby: a new high productivity hardware description language targeting next generation edge computing architectures for IoT

研究課題名(英文) HDLRuby: a new high productivity hardware description language targeting next generation edge computing architectures for IoT

研究代表者

Gauthier Lovic (Gauthier, Lovic)

有明工業高等専門学校・創造工学科・准教授

研究者番号：90535717

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：研究はエッジコンピューティング装置を実装する設計者の生産性の向上を目標とし、デジタル回路の高速設計できる言語とフレームワークであるHDLRubyの開発と促進である。フレームワークは次のものを含む：既存のデジタル回路合成ツールは新しい言語をサポートしないためにHDLRuby記述を合成可能な標準言語コード(Verilog HDL, VHDL)に変換するコンパイラ、対応する回路の実装の前HDLRuby記述を実行できるシミュレータと、複雑な回路の短い記述のための汎用要素のライブラリ。HDLRubyは多数の回路の実装で検証されており、パッケージ及びソースコードリポジトリとしてネットで公開されている。

研究成果の学術的意義や社会的意義

IoTを実現するために情報処理をセンサーとアクチュエータに近づくエッジコンピューティングはエネルギー消費やセキュリティに対してメリットが多い。ただし、そのようなシステムには複数のデジタル回路が必要であり、それらの設計は時間がかかる。そのために、本研究ではHDLRubyと呼ばれたデジタル回路の設計の生産力を向上する新しい言語と設計フレームワークを開発した。HDLRubyは多数の回路の実装で検証されており、パッケージ及びソースコードリポジトリとしてネットで公開されている。

研究成果の概要(英文)：This research project aimed to develop and promote HDLRuby, a language for designing digital circuits. The goal was to increase the productivity of designers implementing edge-computing applications. Toward that end, this language has been developed from a prototype to a ready-to-use framework for the fast design of digital circuits. HDLRuby being a new language, it is not directly supported by existing digital circuit synthesis tools. Hence, the framework includes a compiler for converting HDLRuby descriptions into synthesizable code in standard languages (Verilog HDL and VHDL). A simulator is also provided for validating the HDLRuby descriptions before the corresponding circuit is being implemented, and a library of generic components for shorter descriptions of complex circuits. The HDLRuby framework has been validated with the implementation of several circuits, and it has been made publicly available online as standard packages and as a source code repository.

研究分野：電子設計自動化

キーワード：ハードウェア記述言語 デジタル回路 エッジコンピューティング Ruby言語 コンパイラ シミュレータ

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

1. 研究開始当初の背景

エッジコンピューティングは、IoT アプリケーションの計算能力及び持続可能性の必要性に対応できる新たなソリューションである。このようなシステムでは、効率性と柔軟性を両立させるために、ハードウェア (HW) とソフトウェア (SW) のハイブリッド実装が有効である。一方、レジスタ・トランスファー・レベル (RTL) は HW の記述に使用される長年の標準的な計算モデルであるが、設計の生産性が低いという問題を抱えている。そのため、HW 設計の生産性を向上させるためには、RTL をより SW に近い計算モデルで置き換えることが当然の目標となっている。この努力は、SW コードから直接 HW を合成する HLS (High Level Synthesis) に結実している。しかし、この方向で長年研究を続けても、合成結果の効率は低く、RTL 設計は依然として必要なままである。したがって、エッジコンピューティングのアプリケーションの実装では、性能や消費電力などのコストが HW よりもはるかに高くても、SW が主流となっている。しかし、HW の RTL の計算モデルを置き換える努力とは対照的に、SW はモデルを変えずに設計生産性を大幅に向上させたことが分かる。そこで、SW の設計の進化を HW に適用することで、RTL の計算モデルを維持したまま HW の設計生産性を向上させることができるはずだと提唱できる。

2. 研究の目的

研究の目標は、HW の設計生産性を向上させ、エッジコンピューティングシステムにおいて経済的に実現可能なソリューションとすることである。そのために、我々は HDLRuby という新しい HW 記述言語と設計フレームワークを提案する。このフレームワークでは計算モデルは RTL のままであるが、オブジェクト指向プログラミング、汎用プログラミング、メタプログラミング、リフレクションなど、最近の SW プログラミング言語から着想を得たいくつかのパラダイムを含んでいる。このフレームワークにより、HW の設計・保守の生産性を一桁向上させることが期待される。HDLRuby は RTL 計算モデルで HW 部品を記述できるように、高い生産性と対話型インタプリタで知られるプログラミング言語 Ruby の拡張言語として設計されている。

さらに、エッジコンピューティングシステムの持続可能性に取り組むため、HDLRuby がオンラインとオフラインの両方でシステムの保守を支援することを第二の目的としている。この目的のために、再構成可能なハードウェア、特に FPGA、をフレームワークのアーキテクチャの主な対象にし、このような装置の動的な再構成可能性をサポートすることが求められている。

3. 研究の方法

本研究が開始された時点では、HDLRuby は概念実証のプロトタイプに過ぎなかった。そこで、本研究の目標を達成するために、この言語を製品レベルの HW 記述言語及び、処理ツール、関連ライブラリで構成されている本格的な HW 設計フレームワークを開発する。具体的には以下のような作業を行った。

(1) **実装**: HDLRuby はインパクトのある HW 記述言語になるために、設計者が記述した HW を迅速にテストするためのシミュレーション・エンジン及び、既存の合成ツールとのインタフェースが必要である。後者は、HDLRuby の記述から Verilog と VHDL の RTL コードを生成する 2 つのエンジンを実装することで実現する。次に、生産性向上のための HW テンプレートライブラリの実装も望ましい。最後に、オンライン・メンテナンスのための動的再構成可能なデバイスのサポートが追加される予定である。

(2) **調査**: 動的再構成可能な HW とその合成ツールによるサポートはまだ実験的であり、サポートしようとする前に、その限界と展望を理解するための調査が必要である。詳細はこちら:

設計の主要なプラットフォームである Linux, Windows, MacOS X の上で、HDLRuby フレームワークを同等の性能でサポートするための調査を実施した。この調査により、HDLRuby はプログラミング言語 Ruby のみからなる最小限の環境で動作するように設計されている。それに加え、シミュレータを動作できるように、標準的な C コンパイラが必要になる。

HDLRuby の Verilog HDL または VHDL の出力を直接合成に使用できるように、Xilinx FPGA 用の Vivado, IC 用の Lip6 の Alliance (フリーソフト), Intel/Altera FPGA 用の Quartus という 3 つのデジタル回路設計環境について調査を行って、HDLRuby の出力はそれらのいずれにも対応していることを確認した。その結果、HDLRuby のフレームワークは、完全な互換性はないものの、これらすべての環境でシームレスに出力がサポートされるようチューニングされた。

(3) **評価**: HDLRuby は調査した設計ツールと対象プラットフォームを使用して、典型的な HW 設計と実世界の IoT アプリケーションの両方で評価されていた。そのため、HDLRuby で設計した回路をテストするために、異なるメーカー、異なるサイズと性能の複数の対象 FPGA ボードを選択した。その結果、クロック生成やピン配置などの対象固有の機能を除けば、どのターゲットでも HDLRuby のフレームワークで完全に設計できることが確認された。

(4) **プロモーション**: HDLRuby が採用されるためには、HW 設計者のコミュニティでプロモーションを行う必要がある。これは、学術的には論文発表や国際研究会への参加を通じて、専門的に

は実際の IoT アプリケーションの設計を通じて行われた。また、この研究の成果物であるツールも一般に公開されている [12][13]。

4. 研究成果

これをもとに、本格的な言語とそれを処理するツール、関連ライブラリからなるデジタル回路設計のフレームワークを作成し、実装を行った。具体的には、次のようなことを行った。

(1) HW 記述言語「HDLRuby」の開発：HDLRuby は、Ruby 言語に基づいている新しい HW 記述言語で、合成可能（計算モデルは RTL）でありながら、オブジェクト指向プログラミング、汎用プログラミング、メタプログラミング、リフレクションなどの高水準パラダイムを特徴として、高い生産性を実現できる。その結果、この言語はプロセッサやニューラルネットワークのような複雑な回路の記述に使えるようになった [1][2][12][13][14]。

(2) 合成可能な VHDL, Verilog HDL コードを生成するコンパイラの実装：HDLRuby は新しい言語であるため、既存の合成ツールではまだサポートされていない。そのため、HDLRuby の記述を合成可能な VHDL または Verilog HDL コードに変換するコンパイラが実装された。生成された VHDL 及び Verilog HDL コードは FPGA (Xilinx Vivado 及び Intel Quartus) と IC (Lip6 Alliance) の両方の合成ツールで検証された [2][5][11]。

(3) HDLRuby シミュレータの実装：HDLRuby コードを直接入力とする RTL シミュレータが実装されており、設計の初期段階で回路の検証を容易にするためにコンパイルや合成のステップを追加する必要をなくした [5]。シミュレーション結果は、テキストファイルや標準的な波形ビューアーを使って直接確認することができる [14]。

(4) コンパイラとシミュレータは使いやすいコマンドラインインタフェースを持つ単一のフレームワークに統合された [1][5][11]。図 1 に、このフレームワークによるグローバルな設計フローを示す。図に見られるように、HDLRuby の記述は HDLRuby レベルのシミュレーションあるいは Verilog HDL または VHDL 合成可能な RTL コードの生成のために HDLRuby コンパイラで処理される。RTL コードの結果は RTL 設計ツールで合成または RTL シミュレーションができる。コマンドラインインタフェースは図 2 のように、HDLRuby ファイル「circuit.rb」に記述されたモジュールを Verilog HDL コードの生成及び、VHDL コードの生成、シミュレーション、また HDLRuby の対話型モードのそれぞれに対応できる。この後者のモードでは、Ruby のプログラムを対話的に設計するのと同様に、回路の記述、修正、Verilog HDL などの他言語への翻訳、シミュレーションを対話的に行うことができる [14]。

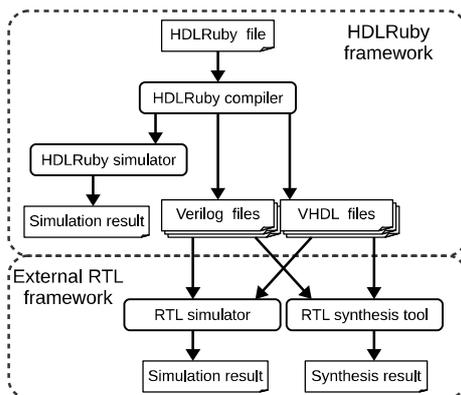


図 1. HDLRuby の設計フロー

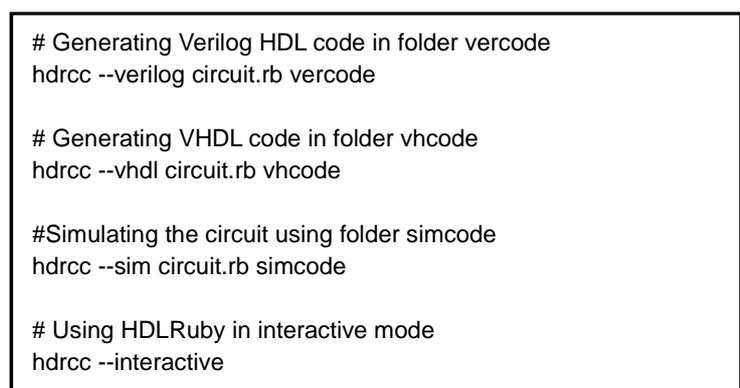


図 2. HDLRuby コマンドラインの使用例

(5) HDLRuby のジェネリックおよびメタプログラミング機能を用いた汎用コンポーネントライブラリの実装：有限状態マシン、デコーダ、クロック分割器、トランザクションレベルモデリング (TLM) ベースの通信のための単純な構文構成からの RTL コード生成器、固定小数点計算拡張、線形および任意関数計算とメモリのためのパラメータ化のモジュールを HDLRuby の標準ライブラリに追加した [5][6][7][8]。

(6) 動的再構成モデルの実装：回路の部分的な動的再構成を記述し、シミュレーションすることができるモデルを HDLRuby の言語とシミュレーション・エンジンに追加した [14]。

HDLRuby フレームワークは、HW 設計に精通した研究責任者から経験の浅い学生まで、FPGA や IC を対象とした複数の回路を実装することで検証した、実装したものは(7)～(13)の通り。

(7) RISC 8 ビットプロセッサ ME18 のゼロからの設計と実装：回路は HDLRuby で実装され、デバイス上で検証された FPGA 実装とポストレイアウトシミュレーションで検証された IC 実装に至るまで行われた。設計工数は、表 1 に示すようにコード指標（コード行数、変数数、代入数、演算数、制御文の数、循環的複雑度、プロセス数、ビットリテラルの数、リテラル内のビット数）を用いて同等の VHDL コードを比較し、設計時間とコードの修正に要する回数を測定することで

表 1. MEI8 における HDLRuby と VHDL のコード複雑度の比較

Metric	VHDL	HDLRuby	Ratio
Lines of code	754	256	2.95
Variables	80	60	1.33
Assignments	272	78	3.49
Operations	245	126	1.94
Controls	174	83	2.10
Cyclomatic	163	76	2.14
Processes	11	5	2.20
Bit literals	131	25	5.24
Bits in literals	628	123	5.11

表 2. FPGA 実装結果 (Xilinx VC707)

Type	Number	Utilization
LUT slices	418	0.14%
Register slices	117	0.02%
Multiplexers	10	0.01%
I/O pins	24	3.43%
Clock Buf.	1	0.15%
	2	6.25%
Timing	Period	Frequency
FPGA clock	5.000ns	200MHz
MEI8 clock	10.000ns	100MHz
Req. time	9.713ns	n/a
Arrival time	5.407ns	n/a
Slack	4.306ns	n/a

表 3. IC 実装結果 (0.5 μm CMOS)

Type	Value
Nb. of cells	6475
Nb. of nets	35501
Nb. of gates	9199
Surface	6.313mm ²
Clock freq.	28MHz

評価した。さらに、同じ HDLRuby 記述の FPGA と IC の実装では、表 2、表 3 に見られるように、非常に小さな面積で良好な性能を示すことが分かった [5]。

(8) HDLRuby の汎用性を評価するため、単純な汎用フィードフォワードニューラルネットワークの実装と、同等の単純な Verilog HDL コードとのコードサイズの比較：図 3 はそのサイズの比較を示す。その図の通りに、その実験の Verilog HDL コードの長さは HDLRuby の汎用コードより多項式に増加する [3]。

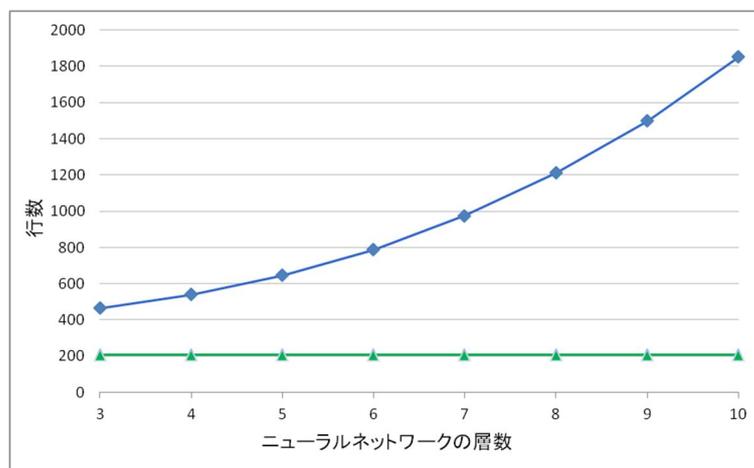


図 3. HDLRuby と Verilog によるニューラルネットワーク記述のコード行数比較

(9) オフラインのソフトウェア学習により重みとバイアスを取得するフィードフォワードニューラルネットワークを生成するためのライブラリの実装：このライブラリは、HDLRuby の汎用性とメタプログラミング能力のデモンストレーションとして切断された [6]。

(10) HDLRuby フレームワークのライブラリ評価用 LSTM(Long Short Memory)ニューラルネットワークの実装 [7]。

(11) HDLRuby のメタプログラミング能力評価のためのモジュラ FM 音源の実装 [10]。

(12) ソフトウェアで実行した学習結果からアーキテクチャを自動生成した 2 値化ニューラルネットワーク(Binarized Neural Network)の実装と、高等で汎用な Verilog HDL コードでゼロから実装した同一の実装との比較により、必要な設計工数、生成回路の性能、および大規模回路における HDLRuby ツールの性能評価：図 4 はこの比較の結果を表す。今度の実験でも回路の複雑さに関わらず HDLRuby のコードは一定であるが、Verilog HDL のコードは高等であっても、サイズはいくつかの次元により増加している。最終的に、HDLRuby フレームワークが複数のバージョンの回路を迅速に生成する能力を評価する目的で、最適な実装とアーキテクチャを見つけるための設計探査を行った [11]。

(13) エッジコンピューティングシステムを対象とした分散ニューラルネットワークのプロトタイプの実装：インターネットを介した最初のソフトウェアベースのニューラルネットワークと、Bluetooth を介して通信する FPGA ベースの分散 2 値化ニューラルネットワークを実装した [4][11]。

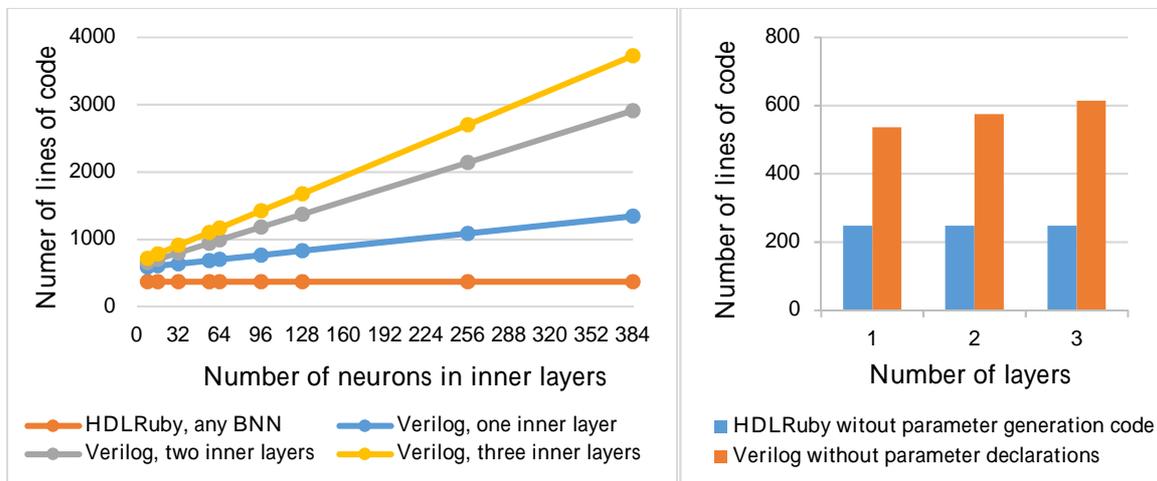


図 4. 複数の BNN 構造を HDLRuby と Verilog で記述した場合のコード行数の比較

<引用文献>

- [1] HDLRuby, a new High Productivity Hardware Description Language, Lovic Gauthier, Yōhei Ishikawa, Proceedings of the 5th International Conference on Business and Industrial Research (ICBIR2018) 2018年5月 (peer-reviewed)
- [2] 新しいハードウェア記述言語 "HDLRuby" を Verilog へ翻訳するバックエン, 小川翔, 北原寛也, ゴーチェ ロヴィック, 第8回電子デバイス・回路・照明・システム関連教育・研究ワークショップ 2018年12月
- [3] 新しいハードウェア記述言語 "HDLRuby" の生産力の評価, 北原寛也, 小川翔, ゴーチェ ロヴィック, 第8回電子デバイス・回路・照明・システム関連教育・研究ワークショップ 2018年12月
- [4] 複数エッジデバイスへのモデル並列による分散型ディープニューラルネットワークの通信の実装, 大河 亮, 酒井 凌大, ゴーチェ ロヴィック, 電子学会 制御理論・機械学習技術一般 2019年11月
- [5] Evaluation of the HDLRuby Hardware Description Language by implementing an 8-bit RISC Processor, Lovic Gauthier, Yōhei Ishikawa, Proceedings of the 8th IIAE International Conference on Industrial Application Engineering 2020年3月 (peer-reviewed)
- [6] Ruby を基にしたハードウェア記述言語 "HDLRuby" によるニューラルネットワークのハードウェア実装に関する検討, 酒井 凌大, 前原 祐生, ゴーチェ・ロヴィック, 一般社団法人電子情報通信学会 2021年1月
- [7] HDLRuby によるハードウェアへの長・短期記憶の実装に関する検討, 前原 祐生, 酒井 凌大, ゴーチェ・ロヴィック, 一般社団法人 電子情報通信学会 2021年
- [8] Abstracting HW communications with channels for HDLRuby, Lovic Gauthier, Yōhei Ishikawa, Ryōta Sakai, The 9th IIAE International Conference on Industrial Application Engineering 2021年3月 (peer-reviewed, best presentation award)
- [9] ニューラルネットワークとビットワイズニューラルネットワークによる敵対的生成ネットワークの構築, 松野匠真, ゴーチェ ロヴィック, 電子情報通信学会、回路とシステム研究会 (CAS)、信学技報 121(196) 62-67 2021年10月
- [10] HDLRuby を用いた FM 音源の回路の実装、評価, 福永侑衣斗, ゴーチェ ロヴィック, 電子情報通信学会、回路とシステム研究会 (CAS)、信学技報 121(196) 68-73 2021年10月
- [11] Evaluation of the Design Exploration of a Binarized Neural Network for FPGA using HDLRuby, Lovic Gauthier, Yōhei Ishikawa, Takuma Matsuno, Proceedings of The 10th IIAE International Conference on Industrial Application Engineering 2022 (ICIAE2022) 2022年3月 (peer-reviewed, best paper award)
- [12] <https://rubygems.org/gems/HDLRuby?locale=ja>
- [13] <https://github.com/civol/HDLRuby>
- [14] <https://www.rubydoc.info/gems/HDLRuby/>

5. 主な発表論文等

〔雑誌論文〕 計31件（うち査読付論文 17件 / うち国際共著 14件 / うちオープンアクセス 12件）

1. 著者名 松野匠真, ゴーチェ ロヴィック	4. 巻 121
2. 論文標題 ニューラルネットワークとビットワイズニューラルネットワークによる敵対的生成ネットワークの構築	5. 発行年 2021年
3. 雑誌名 電子情報通信学会、回路とシステム研究会 (CAS)、信学技報	6. 最初と最後の頁 62 - 67
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 福永侑衣斗, ゴーチェ ロヴィック	4. 巻 121
2. 論文標題 HDLRubyを用いたFM音源の回路の実装、評価	5. 発行年 2021年
3. 雑誌名 電子情報通信学会、回路とシステム研究会 (CAS)、信学技報	6. 最初と最後の頁 68 - 73
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 ShigeruFujita, YutaroTaki, YotaroMiyanishi, TokuyasuKakuta, MasahiroHiji, KenjiSugawara, NorioShiratori, CloudMoulin, Thierry Digel	4. 巻 24
2. 論文標題 "Digital-Ji-in": A Framework for Sustainable Digital Identification Records Based on A Peer-to-peer Network	5. 発行年 2021年
3. 雑誌名 The 2021 IEEE 24th International Conference on Computer Supported Cooperative Work in Design	6. 最初と最後の頁 1281-1286
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CSCWD49262.2021.9437610	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Yutaro Taki, Shigeru Fujita, Norio Shiratori	4. 巻 28
2. 論文標題 A Study on Division Impossibility in the Lightweight N-party Secure Function Evaluation for Cloud-Edge Computing Applications	5. 発行年 2021年
3. 雑誌名 Proceedings of the International Workshop on Informatics 2021	6. 最初と最後の頁 107 - 110
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Hirofumi Miyajima, Noritaka Shigei, Hiromi Miyajima, Norio Shiratori	4. 巻 28
2. 論文標題 Federated Learning with Divided Data for BP	5. 発行年 2021年
3. 雑誌名 Proceedings of the International MultiConference of Engineers and Computer Scientists 2021	6. 最初と最後の頁 94 - 99
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Hirofumi Miyajima, Noritaka Shigei, Hiromi Miyajima, Norio Shiratori	4. 巻 28
2. 論文標題 Securely Distributed Computation with Divided Data for Particle Swarm Optimization	5. 発行年 2021年
3. 雑誌名 Proceedings of the International MultiConference of Engineers and Computer Scientists 2021	6. 最初と最後の頁 1-6
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Hirofumi Miyajima, Noritaka Shigei, Hiromi Miyajima, Norio Shiratori	4. 巻 26
2. 論文標題 Learning algorithms for vector quantization using vertically partitioned data with IoT	5. 発行年 2021年
3. 雑誌名 Artificial Life and Robotics	6. 最初と最後の頁 283 - 290
掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/s10015-021-00683-1	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Shuangrui Zhao, Jia Liu, Yulong Shen, Xiaohong Jiang, Norio Shiratori	4. 巻 16
2. 論文標題 Secure and Energy-Efficient Precoding for MIMO Two-way Untrusted Relay Systems	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Information Forensics and Security	6. 最初と最後の頁 3371 - 3386
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TIFS.2021.3080088	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Shuiguang Zeng, Yin Chen, Xufei Li, Jinxiao Zhu, Yulong Shen, Norio Shiratori	4. 巻 127
2. 論文標題 Visibility graph entropy based radiometric feature for physical layer identification	5. 発行年 2022年
3. 雑誌名 Ad Hoc Networks	6. 最初と最後の頁 1 - 11
掲載論文のDOI (デジタルオブジェクト識別子) 10.1016/j.adhoc.2022.102780	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Lovic Gauthier, Youhei Ishikawa, Takuma Matsuno	4. 巻 26
2. 論文標題 Evaluation of the Design Exploration of a Binarized Neural Network for FPGA using HDLRuby	5. 発行年 2022年
3. 雑誌名 Proceedings of The 10th IIAE International Conference on Industrial Application Engineering 2022 (ICIAE2022)	6. 最初と最後の頁 143 - 150
掲載論文のDOI (デジタルオブジェクト識別子) 10.12792/iciae2022.026	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Lovic Gauthier, Youhei Ishikawa, Ryouta Sakai	4. 巻 9
2. 論文標題 Abstracting HW communications with channels for HDLRuby	5. 発行年 2021年
3. 雑誌名 Proceedings of the 9th IIAE International Conference on Industrial Application Engineering	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.12792/iciae2021.014	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 酒井 凌大, 前原 祐生, ゴーチェ・ロヴィック	4. 巻 120
2. 論文標題 Rubyを基にしたハードウェア記述言語 "HDLRuby" によるニューラルネットワークのハードウェア実装に関する検討	5. 発行年 2021年
3. 雑誌名 一般社団法人 電子情報通信学会 (信学技報 CAS2020)	6. 最初と最後の頁 79-84
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 前原 祐生, 酒井 凌大, ゴーチェ・ロヴィック	4. 巻 120
2. 論文標題 HDLRubyによるハードウェアへの長・短期記憶の実装に関する検討	5. 発行年 2021年
3. 雑誌名 一般社団法人 電子情報通信学会 (信学技報 CAS2020)	6. 最初と最後の頁 85-90
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Yang Xu, Jia Liu, Yulong Shen, Xiaohong Jiang, Yusheng Ji, and Norio Shiratori	4. 巻 1
2. 論文標題 QoS-Aware Secure Routing Design for Wireless Networks with Selfish Jammers	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Wireless Communications	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TWC.2021.3062885	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Hirofumi Miyajima, Noritaka Shigei, Hiromi Miyajima and Norio Shiratori	4. 巻 26-2
2. 論文標題 Learning Algorithms for Vector Quantization using Vertically Partitioned Data with IoT Rece	5. 発行年 2021年
3. 雑誌名 Journal of Artificial Life and Robotics	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Shuangrui Zhao, Jia Liu, Yulong Shen, Xiaohong Jiang and Norio Shiratori	4. 巻 15
2. 論文標題 Secure Beamforming for Full-Duplex MIMO Two-Way Untrusted Relay Systems	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Information Forensics & Security	6. 最初と最後の頁 3775-3790
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TIFS.2020.3001733	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Ji He, Jia Liu, Yulong Shen, Xiaohong Jiang, Norio Shiratori	4. 巻 15
2. 論文標題 Link Selection for Security-QoS Tradeoffs in Buffer-Aided Relaying Networks	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Information Forensics & Security	6. 最初と最後の頁 1347-1362
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TIFS.2019.2939738	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Masahiro Hiji, Yuichi Hashi, Kazuhiko Kikuchi, Shigeru Fujita, Yotaro Miyanishi, Norio Shiratori	4. 巻 8
2. 論文標題 Noble Inheritance Mechanism of Digital Content for "Digital-Ji-in" toward Sustainable Society	5. 発行年 2020年
3. 雑誌名 Proceedings of The Eighth International Symposium on Computing and Networking (CANDAR2020)	6. 最初と最後の頁 254-259
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CANDARW51189.2020.00056	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Bishnu Prasad Gautam, Norio Shiratori	4. 巻 8
2. 論文標題 SUESSA: Sustainable & Ultra-Elastic Stack Security Architecture for Securing IoT Networks of Future Smart Cities	5. 発行年 2020年
3. 雑誌名 Proceedings of The Eighth International Symposium on Computing and Networking (CANDAR2020)	6. 最初と最後の頁 387-390
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CANDARW51189.2020.00079	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Hirofumi Miyajimaand, Noritaka Shigeiand, Hiromi Miyajima, Norio Shiratori	4. 巻 1
2. 論文標題 Simplified Security Learning using Vertically Partitioned Data with IoT	5. 発行年 2020年
3. 雑誌名 Proceedings of The 2020 International Symposium on Nonlinear Theory and its Application	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 宮西洋太郎, 立花康夫, 白鳥則郎	4. 巻 53
2. 論文標題 新型コロナウイルス対応感染症数理モデルの拡張 提案「SEIYR モデル」	5. 発行年 2021年
3. 雑誌名 第 53 回計測自動制御学会北海道支部学術講演会	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 藤田茂, 滝雄太郎, 白鳥則郎	4. 巻 2021-CSEC-92
2. 論文標題 セキュアマルチパーティ計算によるエッジシステム上のBP学習法の提案	5. 発行年 2021年
3. 雑誌名 情報処理学会 DPS 研究会報告	6. 最初と最後の頁 1-8
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 宮島洋文, 重井徳貴, 宮島廣美, 白鳥則郎	4. 巻 2020-DPS-185
2. 論文標題 セキュアマルチパーティ計算によるエッジシステム上のBP学習法の提案	5. 発行年 2020年
3. 雑誌名 情報処理学会 DPS 研究会報告	6. 最初と最後の頁 1-7
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 BISHNU PRASAD GAUTAM, BHARAT POKHAREL, NORIO SHIRATORI	4. 巻 2020-DPS-185
2. 論文標題 Proposal of Sustainable Stone Grinder (石臼) For Realization of Super Smart Villages	5. 発行年 2020年
3. 雑誌名 情報処理学会 DPS 研究会報告	6. 最初と最後の頁 1-5
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 藤田茂, 白鳥則郎, 滝雄太郎	4. 巻 2020-EIP-89
2. 論文標題 共生情報システム:自律・進化・持続可能な分散システムの提唱	5. 発行年 2020年
3. 雑誌名 情報処理学会DPS研究会報告	6. 最初と最後の頁 1-7
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 宮島洋文, 重井徳貴, 宮島廣美, 白鳥則郎	4. 巻 36
2. 論文標題 簡易秘密計算による安全なPSOの実現	5. 発行年 2020年
3. 雑誌名 Proceedings of the 36th Fuzzy System Symposium (FSS2020)	6. 最初と最後の頁 379-384
掲載論文のDOI (デジタルオブジェクト識別子) 10.14864/fss.36.0_379	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Lovic Gauthier, Yohei Ishikawa	4. 巻 8
2. 論文標題 Evaluation of the HDLRuby Hardware Description Language by implementing an 8-bit RISC Processor	5. 発行年 2020年
3. 雑誌名 Proceedings of the 8th IIAE International Conference on Industrial Application Engineering	6. 最初と最後の頁 オンライン
掲載論文のDOI (デジタルオブジェクト識別子) 10.12792/iciae2020.010	査読の有無 有
オープンアクセス オープンアクセスとしている(また、その予定である)	国際共著 該当する

1. 著者名 大河 亮, 酒井 凌大, ゴーチェ ロヴィック	4. 巻 1
2. 論文標題 複数エッジデバイスへのモデル並列による分散型ディープニューラルネットワークの通信の実装	5. 発行年 2019年
3. 雑誌名 電子学会 制御理論・機械学習技術一般	6. 最初と最後の頁 13-17
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Gauthier Lovic, Ishikawa Yohei	4. 巻 1
2. 論文標題 HDLRuby, a new high productivity hardware description language	5. 発行年 2018年
3. 雑誌名 2018 5th International Conference on Business and Industrial Research (ICBIR)	6. 最初と最後の頁 215-220
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ICBIR.2018.8391195	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 北原 寛也, 小川 翔, ゴーチェ ロヴィック	4. 巻 -
2. 論文標題 新しいハードウェア記述言語 "HDLRuby" の生産力の評価	5. 発行年 2018年
3. 雑誌名 第8回電子デバイス・回路・照明・システム関連教育・研究ワークショップ	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 小川 翔, 北原 寛也, ゴーチェ ロヴィック	4. 巻 -
2. 論文標題 新しいハードウェア記述言語 "HDLRuby" を Verilogへ翻訳するバックエンド	5. 発行年 2018年
3. 雑誌名 第8回電子デバイス・回路・照明・システム関連教育・研究ワークショップ	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

〔学会発表〕 計14件 (うち招待講演 0件 / うち国際学会 5件)

1. 発表者名 宮島 洋文, 重井 徳貴, 宮島 廣美, 白鳥 則郎
2. 発表標題 秘匿分解データによる BP 学習の一般化
3. 学会等名 第37回 ファジ システム シンポジウム
4. 発表年 2021年

1. 発表者名 藤田茂, 滝雄太郎, 白鳥則郎
2. 発表標題 システムの持続可能化技術基盤と言語処理系の開発 共生情報システム の実現へ向けて
3. 学会等名 情報処理学会 DPS 研究会報告
4. 発表年 2021年

1. 発表者名 Bishnu Prasad Gautam, Amit Batajoo, Norio Shiratori
2. 発表標題 A Proposal of Enhanced JYAGUCHI Architecture for Secured Service Delivery in Cloud and Edge Computing Environment
3. 学会等名 情報処理学会 DPS 研究会報告
4. 発表年 2021年

1. 発表者名 樋地正浩, 橋祐一, 菊池一彦, 藤田茂, 白鳥則郎
2. 発表標題 個人のサイバー空間利用情報の相続機構
3. 学会等名 2021 年度情報処理学 会東北支部研究会
4. 発表年 2022年

1. 発表者名 福永侑衣斗
2. 発表標題 HDLRubyを用いたFM音源の回路の実装、評価
3. 学会等名 電子情報通信学会、回路とシステム研究会 (CAS)、信学技報
4. 発表年 2021年

1. 発表者名 松野匠真
2. 発表標題 ニューラルネットワークとビットワイズニューラルネットワークによる敵対的生成ネットワークの構築
3. 学会等名 電子情報通信学会、回路とシステム研究会 (CAS)、信学技報
4. 発表年 2021年

1. 発表者名 Lovic Gauthier
2. 発表標題 Evaluation of the Design Exploration of a Binarized Neural Network for FPGA using HDLRuby
3. 学会等名 The 10th IIAE International Conference on Industrial Application Engineering (国際学会)
4. 発表年 2022年

1. 発表者名 Lovic Gauthier
2. 発表標題 Abstracting HW communications with channels for HDLRuby
3. 学会等名 The 9th IIAE International Conference on Industrial Application Engineering (国際学会)
4. 発表年 2021年

1. 発表者名 酒井 凌大
2. 発表標題 言語“HDLRuby”によるニューラルネットワークのハードウェア実装に関する検討
3. 学会等名 一般社団法人 電子情報通信学会 (信学技報 CAS2020)
4. 発表年 2021年

1. 発表者名 前原 祐生
2. 発表標題 HDLRubyによるハードウェアへの長・短期記憶の実装に関する検討
3. 学会等名 一般社団法人 電子情報通信学会 (信学技報 CAS2020)
4. 発表年 2021年

1. 発表者名 大河 亮
2. 発表標題 複数エッジデバイスへのモデル並列による分散型ディープニューラルネットワークの通信の実装
3. 学会等名 電子学会 制御理論・機械学習技術一般
4. 発表年 2019年～2020年

1. 発表者名 Lovic Gauthier
2. 発表標題 HDLRuby, a new High Productivity Hardware Description Language
3. 学会等名 2018 5th International Conference on Business and Industrial Research (ICBIR) (国際学会)
4. 発表年 2018年

1. 発表者名 北原 寛也
2. 発表標題 新しいハードウェア記述言語 "HDLRuby" の生産力の評価
3. 学会等名 第8回電子デバイス・回路・照明・システム関連教育・研究ワークショップ (国際学会)
4. 発表年 2018年

1. 発表者名 小川 翔
2. 発表標題 新しいハードウェア記述言語 " HDLRuby " を Verilogへ翻訳するバックエンド
3. 学会等名 第8回電子デバイス・回路・照明・システム関連教育・研究ワークショップ(国際学会)
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	石川 洋平 (Ishikawa Youhei) (50435476)	有明工業高等専門学校・創造工学科・准教授 (57102)	
研究分担者	白鳥 則郎 (Shiratori Norio) (60111316)	中央大学・研究開発機構・機構教授 (32641)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------