

科学研究費助成事業 研究成果報告書

令和 3 年 6 月 7 日現在

機関番号：82401

研究種目：若手研究

研究期間：2018～2020

課題番号：18K18020

研究課題名（和文）データ圧縮技術に基づく可変実効帯域型計算機アーキテクチャの探求

研究課題名（英文）Exploring Novel Computer Architecture with Flexible Bandwidth Based on Data Compression Techniques

研究代表者

上野 知洋（Ueno, Tomohiro）

国立研究開発法人理化学研究所・計算科学研究センター・特別研究員

研究者番号：30794135

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：本研究では、計算機システムにおいて、計算性能の主要な決定要因であるデータ移動時の帯域を可変とする柔軟なアーキテクチャの探求を行った。主に、メモリ帯域とネットワークの帯域を制御可能とするために、回路を自由に再構成できるFPGAと、パイプライン処理により低遅延のデータ圧縮が可能なハードウェアとを組み合わせ、計算機資源をデータ移動時の帯域向上に振り分けられるアーキテクチャの検討、及び試作を行った。具体的には、圧縮性能と計算機資源との関係調査、及びFPGA上のハードウェアプラットフォームの構築を行った。

研究成果の学術的意義や社会的意義

本研究の主な成果は、データ移動時の実効帯域を柔軟に変更可能な計算機アーキテクチャを示したことである。データ圧縮とFPGAの回路再構成機能により、これまでにないアーキテクチャの方向性を示した。特に、FPGAの利点を活かした部分再構成技術と、利用しやすさを考慮したシステムオンチップの開発により、柔軟なアーキテクチャを比較的容易に実現するための基盤技術を提案した。今回の成果において、特にデータ圧縮に関する部分は大きな改良の余地があるため、圧縮アルゴリズムの改良や、より効率的な実装等により、さらに使いやすく、柔軟な帯域を持つシステムの実現が期待できる。

研究成果の概要（英文）：In this study, we explored a flexible architecture for variable bandwidth for data movement, which is a major factor to determine the computational performance of systems. In order to control the memory bandwidth and the network bandwidth, we combined FPGAs, which can reconfigure circuits freely, and data compression hardware, which can compress data with low latency by pipeline processing. Specifically, we investigated the relationship between compression performance and computational resource usage, and constructed a hardware platform for flexible bandwidth system on multiple FPGAs.

研究分野：コンピュータアーキテクチャ

キーワード：FPGA データ圧縮 可変実効帯域 システムオンチップ

1. 研究開始当初の背景

人工知能やゲノム解析、気候シミュレーションやデータセンター等、近年勃興した新しいテクノロジーの要求に伴い、高性能計算における性能向上が強く求められている。一方で、需要が大幅に高まりつつある機械学習やビッグデータ処理などは、従来の計算機アーキテクチャによる効率的な処理が困難である。さらに、近年のスーパーコンピュータ等の高性能計算システムでは、電力消費量の増大が大きな問題となりつつあり、電力効率の高い計算機システムの実現が、環境への配慮および経済性の観点から、強く求められている。このような高性能計算への様々な要求に対し、FPGA に代表される回路再構成可能なデバイスによる専用計算回路を利用した高効率な計算手法が、計算性能と電力効率を両立可能な手法として有望視されている。この手法を用いることにより、処理回路自体を対象計算に対して最適化した専用設計回路による効率的な処理によって、計算性能と電力効率を両立する計算機システムを実現することが可能である。近年では、IP コアの利用や高位合成等、FPGA アプリケーションの生産性を高めるためのツールや技術の発達により、FPGA の利用が幅広い分野に広まりつつある。

演算回路の柔軟な構築が可能である一方、計算性能向上を目的とする FPGA のクラスタ化による大規模システム内のデータ移動性能は、バスやケーブル、入出力端子などの機器自体の性能やシステムの設計に依存する。このため、計算機における伝送路の最大帯域(伝送路容量)は固定であり、特に多数の FPGA 間通信が発生するシステムにおいて、帯域の不足により計算性能が制限される可能性がある。これに対し、実行帯域を向上するリアルタイムデータ圧縮ハードウェアを用いて、物理的な帯域以上の実効帯域を実現する先行研究を行い、データストリーム通信時の実効帯域を最大約 2.5 倍に向上させることに成功した。しかしながら、大量のノードやメモリを含む大規模計算機において、各伝送路の要求帯域は対象アプリケーションや処理方法に応じて変動する。このように変動する要求帯域に対し、データ圧縮ハードウェアの技術を応用した、可変実効帯域を実現できるシステムの実現が期待できる。

データ圧縮ハードウェアにおいて、より高いデータ圧縮性能(=実効帯域の向上度合い)を実現するには、より多くの計算機資源が必要になる、という傾向がみられることが先行研究において示されている。これに基づき、リコンフィギュラブルデバイスを導入した計算機システムにおいて、計算機資源を帯域の向上と計算回路とに適切に振り分けることにより、要求帯域の不均一さや時間的な変動に対応可能な、柔軟な伝送路容量を持つ計算機アーキテクチャの実現が可能になる。リコンフィギュラブルデバイス上の計算資源は、計算回路の一部としても活用できるため、回路の性能と帯域とに資源を適切に分配する手法が必要である。また、実際の大規模システムへの適用を考えた場合、ネットワークのトポロジや通信プロトコル、あるいはオンチップメモリや外部メモリ等へのアクセスなど、多様なデータ移動の形態が考えられる。よって、ネットワークなど、提案手法のための様々な評価環境の構築も必要となる。

2. 研究の目的

本研究の目的は、リアルタイムデータ圧縮ハードウェア用いた、可変実効帯域型計算機アーキテクチャの探求である。先行研究において開発した、浮動小数点データを対象とするリアルタイムデータ圧縮ハードウェア^[1]は、専用ハードウェアによるパイプライン処理によって、数十ナノ秒の小さな遅延でデータストリームを圧縮・展開することが可能である。これを利用し、FPGA 等の回路再構成デバイスを用いた処理にデータ圧縮・展開ハードウェアを適用し、ネットワークや外部メモリの実効帯域を向上させる。このようなハードウェアの実装を行うと共に、要求帯域に応じた計算機資源を計算回路と実効帯域の向上とに分配する手法を探索する。そのために、本データ圧縮に関する具体的な圧縮率と資源量との関係を定量的に調査する。また、様々なデータに適した圧縮アルゴリズムについても調査を行い、これまでに開発したデータ圧縮ハードウェアと同様に、専用パイプラインによる低遅延な処理が可能かどうか調査を行う。

このようなアーキテクチャの開発や評価には、FPGA 実機を用いた環境構築が必須である。特に、研究の前提である多数の FPGA を接続したクラスタにおいて、FPGA 間のデータ通信を実現するシステムの実装は、目的とするアーキテクチャの実現には不可欠である。そのために、FPGA 間を接続する実用的なネットワークシステムの構築を行う。加えて、実際の FPGA クラスタの運用を考慮したハードウェアプラットフォームの実装も必要となる。近年の高位合成技術を利用して、容易に FPGA アプリケーションを実装可能なシステムオンチップを開発し、そのフレームワーク上でデータ圧縮ハードウェアによる実効帯域手法を適用する。このようなプラットフォームを用いることにより、直接網や間接網など様々なネットワークシステムや多様なアプリケーションに対し、実効帯域の向上手法の有効性と柔軟性を様々な角度から評価できるようになる。さらに、部分再構成技術を用いて、対象アプリケーションに応じてデータ圧縮手法を切り替える手法についても検討及び試作実装を行う。これらを実現するシステムを、ハードウェアとして研究、開発し、FPGA を用いた試作実装により、目的とする可変実効帯域アーキテクチャのフレームワークの検証を行う。

3. 研究の方法

本研究を進める上で達成すべき課題として、以下に示す4つが挙げられる。それぞれについて具体的な研究方法を示す。

研究1: 先行研究において開発を進めてきた、浮動小数点データ圧縮ハードウェアに関して、投入する計算機資源と実効帯域との具体的な関係を詳細に評価する。具体的には、実際の数値計算データおよび、数値的連続性を持たせたベンチマークデータに対して、データ圧縮ハードウェアを適用し、その圧縮率を調査するとともに、ハードウェア側のパラメータ、特に予測演算の回数と符号化の際の量子化パラメータを変化させて、必要な計算機資源量の調査を行う。最終的に、圧縮率と投入する計算機資源量との相関を定量的に評価し、可変実効帯域アーキテクチャにおける帯域向上に投入する資源量の決定プロセスを具体化する。

研究2: 高性能計算の用途は今後さらに多様な分野に拡大すると考えられる。それに対し、先行研究において開発したデータ圧縮ハードウェアの対象は数値データ、特に流体計算の分野に偏っているため、異なる分野の計算データ等、より汎用なデータに有効な圧縮手法が求められる。よって、様々な大規模データに適した圧縮アルゴリズムの調査と選択、ハードウェア設計などを行い、可変実効帯域システムへの組み込みについて検討を行う。

研究3: 作成したデータ圧縮コアを計算機アーキテクチャに組み込むためのハードウェアシステムの検討及び設計を行う。具体的には、データストリームに対するパイプライン処理を行うために、DMA コントローラを含む外部メモリ駆動ハードウェアと、FPGA 間を接続するネットワークシステムとを組み込んだ、システムオンチップをFPGA 用に開発する。これを用いることで、データ圧縮ハードウェアをメモリアクセスやFPGA 間ネットワーク通信に容易に適用可能となる。また、当初の予定には含まれないが、実際の運用を考慮し、FPGA 間ネットワークとして、従来の直接網だけではなく、ネットワークスイッチを用いた間接網、及び仮想的なネットワークトポロジを実現するシステムについても、設計及び実装を行い、様々なネットワークや通信方式に対して実効帯域向上を適用可能な環境の構築を行う。

研究4: 部分再構成技術を用いた計算中の圧縮手法の切り替えについての検討や、実装に関する検討、調査を行う。その中で、Intel 社の提供する最新の D5005 FPGA ボードにおける部分再構成技術を用いる手法が有望であったため、これを用いて可変実効帯域システムの圧縮ハードウェアを切り替える手法の検討を行う。研究3と併せて、FPGA 上にプラットフォームシステムを構築し、データ圧縮ハードウェアを自由に切り替えて利用するための環境を構築する。

4. 研究成果

本研究の成果について、3節の研究1~4に関連させて述べる。

研究1: 浮動小数点データ向け圧縮ハードウェアの、圧縮性能と投入する計算機資源とのトレードオフに関する評価を行った。圧縮性能はデータの種類や性質によって大きく変動するため、本研究では数値的連続性を持つデータ、特に空間的に連続性を持つ数値シミュレーションデータを対象として行った。実際の評価について述べる前に、データ圧縮ハードウェアの構造について示し、回路面積を変化させる方法の概要を述べる。

本データ圧縮ハードウェアは、圧縮器と展開器の組み合わせからなり、圧縮器は入力されるデータストリームを圧縮して出力することにより要求帯域を削減し、展開器は圧縮されたデータストリームを元のデータストリームに復元する。圧縮器と展開器を、伝送路を挟み込むように配置することで、圧縮されたデータストリームが伝送路を通り、実効帯域を向上させる。圧縮器は、予測演算、差分計算、残差長処理、符号化の4つのステージからなる。また、展開器は、復号化、予測演算、データ再構築の3つのステージからなる。このうち予測演算については、用いる予測多項式の次数を変えることによって回路面積が変化する一方、予測演算の精度は圧縮性能にも直接影響する。そのため、予測多項式の次数を変化させることにより、圧縮性能と回路面積を変化させることが出来るが、実際に性能やデータ形式を実用的な値で運用する場合、予測演算部分を利用する回路面積は、圧縮器、展開器全体のごくわずかな部分(10%未満)^[1]に留まり、全体の回路規模への影響は小さい。予測演算の次数以外に回路面積を操作可能なパラメータとして、予測残差長の量子化パラメータ q がある。これは符号化の際に各データの圧縮後のビット長を q の倍数に制限する。圧縮後に撮りうるビット長の数を減らすほど、操作が簡略化され回路面積を削減できる。例えば、 q が2の場合、量子化を全く行わない場合と比べて、処理回路の面積は約半分になる。これは、圧縮器の符号化、展開器の復号化のステージに含まれるバレルシフタ(1クロックサイクルで任意のビット分シフトを行うモジュール)の性質による。符号化、復号化ステージは、圧縮器と展開器の回路面積のうちそれぞれ80%、90%以上を占めており^[1]、バレルシフタがその大きな要因である。よって、この値を操作することにより、回路面積を操作することが可能になる。一方、量子化における q の値を大きくしていくと、当然無駄なビットが圧縮後のビット列に含まれることになるため、圧縮性能が低下する。つまり、予測残差長の量子化パラメータ q により、データ圧縮ハードウェアの圧縮性能と投入する計算機資源量との関係を、制御することが可能になる。

図1と2に量子化パラメータ q による回路面積の変化と圧縮率の変化をそれぞれ示す。回路面積は、32ビット入力、256ビット出力の圧縮器を仮定した際のバレルシフタのみの理論値であり、実際のFPGA実装時には多少変動する。圧縮率は上述の通り、データによって変動するため、

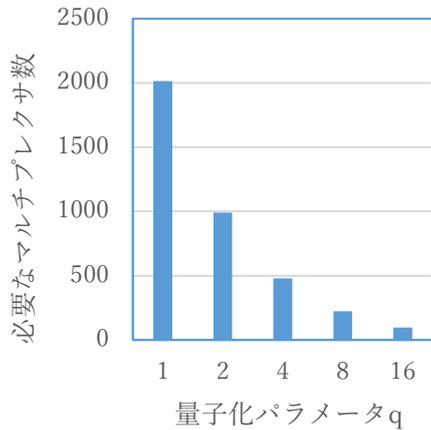


図1 予測残差長量子化とバレルシフタの回路面積

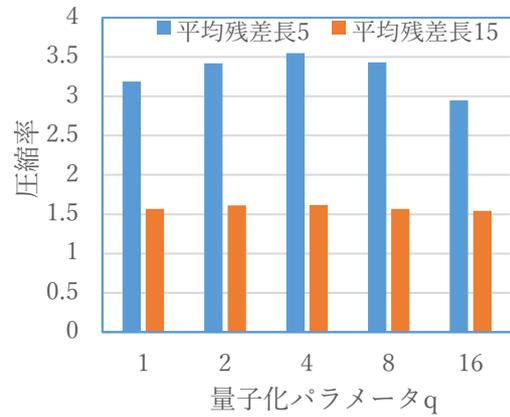


図2 予測残差長量子化と圧縮率

圧縮の効果を示す値として平均予測残差長を用いる。この値は、一様流体のシミュレーションなど、連続性が高い場合には小さく、不連続性が強まるにつれて大きくなる。圧縮するデータは、予測残差長の平均を5と15とし、標準偏差3の正規分布に従う集合として作成したベンチマークデータである。グラフから、量子化パラメータが大きくなるほど回路面積は大幅に削減されるが、圧縮率はむしろqが2や4の場合の方が高くなった。これは、量子化により取りうる値が少なくなると、符号化の際に残差長を示すためのビット数が減るためである。グラフの条件では、q=4が最適であるが、データの実装によっては1や2の方が高くなることも観測されている。実装に際しては、32ビットデータに対して2, 4, 8, 16の4段階の量子化が現実的である。これらの値から、2または4を基準として、状況に応じて1や8を選択することにより、回路面積および圧縮性能をある程度制御することが可能となった。

研究2: 様々なデータに適した圧縮アルゴリズムの調査と選択、ハードウェア設計などに関して、関連研究の調査及びオープンソースのIP等の調査を行った。FPGAによるデータ圧縮アルゴリズムとして有望な選択肢となるのはLZ^[2,3]、ハフマン符号、Lorenzo 予測器^[3]等である。このうち、LZはシストリックアレイを用いた先行研究があり、Lorenzo 予測器はステンシル処理の応用により高スループットな回路として実現可能性が高い。計画では、これらの実装に関する情報収集とノウハウの蓄積のために海外研究機関への訪問を予定していたが、昨年度からのコロナ禍により不可能となった。そのため、研究方針を様々な圧縮アルゴリズムのFPGA実装から、研究3と4について追加の研究及び開発を行う方向へと切り替えた。よって、研究2に関しては未完了となっているが、今後研究1の内容と共に成果報告を行う予定である。

研究3, 4: 研究3と4に関しては重複する部分があるため、まとめて成果を記載する。Intel社のPAC(programmable acceleration card)D5005ボードを用いて、ネットワークに接続可能なFPGAハードウェアプラットフォームを開発した。D5005にはIntel Stratix10 FPGAが搭載されており、部分再構成技術を利用することが可能である。これは、FPGAアプリケーションの基本的な機能である、外部メモリやネットワークポート、PCI Expressのインターフェースが部分再構成領域の外にFIM(FPGA Interface Manage)としてあらかじめ用意してあり、利用者はそれらの基本ブロック以外の部分に用途に応じて回路を実装することが可能である。部分再構成領域はAFU(Accelerator Functional Unit)と呼ばれ、実際にデータを処理していないタイミングであれば回路の書き換えが可能である。回路の書き換えは1~2秒で完了するため、これを利用したデータ圧縮ハードウェアの書き換えも容易に実現できる。データ圧縮ハードウェアのみの動的再構成は、現在の構成では不可能であるが、この機能と予測残差長の量子化手法を組み合わせることにより、可変実効帯域アーキテクチャを部分的に実現することが可能になる。

さらに、AFUの内部にFPGAアプリケーション及びデータ圧縮ハードウェアを利用しやすくするための、SoC(System on Chip)の開発を行った。これはAFU Shell(図3)と呼ばれ、DMA(Direct memory access)を駆動するエンジンやクロスバなどが接続されている。DMAエンジンによってメモリからデータストリームを読み出し、クロスバのルーティング機能によって、FPGA上の計算回路やネットワークポート等任意のデータ移動を可能にする。これにより、データ圧縮ハードウェアをクロスバに接続するだけで、圧縮の有無を選択可能な柔軟なデータ移動が可能になる。AFU Shellの回路はFPGA全体の10%以下のリソースにより実装できるため、計算回路やデータ圧縮ハードウェアと共に実装することにより、実効帯域向上技術を組み込んだ柔軟なFPGAシステムが利用可能になる。

研究2の項で述べた計画の変更に伴い、FPGA間のネットワークに関する研究を追加で行った。先行研究において構築したFPGA同士を直接ケーブルによって接続する直接網に加え、ネットワークスイッチを介してFPGAを接続する間接網についてもハードウェアの開発を行った。間接網のシステムに関して、より使い勝手の良いシステムとするため、仮想的な回線交換ネットワーク

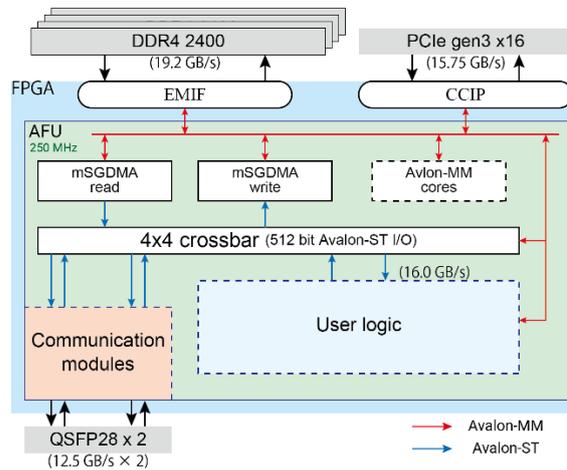


図3 AFU Shell の概要

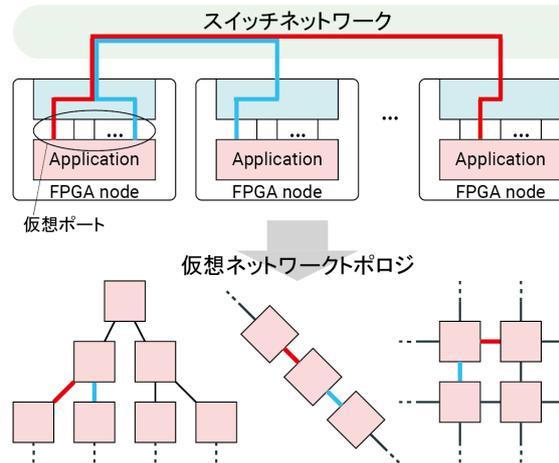


図4 仮想ネットワークトポロジの概要

を構築する仮想化ハードウェアを設計し、実装を行った(図4)。これは、間接網として構築されたネットワーク上に仮想的な直接網によるトポロジを構築するものである。この際、FPGAの各外部ポートを複数の仮想的なポートとして利用する事により、様々な仮想ネットワークトポロジを物理的な構成に依存せずに実現できる。この手法は、一つの物理ポートを複数の仮想的なリンクが利用するため、ネットワークトラフィックの問題が起きやすく、データ圧縮との相性が良い。また、大規模なFPGAクラスタにおいて多数のアプリケーションがリソースを共有して実行される場合にも適用出来るため、本研究の目的の一つである、高性能計算のための大規模システムの可変ネットワーク帯域アーキテクチャの試作として意義が大きい。特にこれらのFPGA間のネットワークに関する成果については、国際会議において成果発表を行った。

以上のように、FPGA上のプラットフォーム及びネットワークシステムについて、データ圧縮ハードウェアの適用を考慮した機構の研究開発を行った。そのほかにも、直接網を利用したFPGAクラスタにおいて、遠隔FPGA間におけるリモートDMAシステムなど、データ圧縮による効果が期待できる通信システムについても研究及び開発を行った^[5]。これらの環境を利用して、可変実効帯域アーキテクチャに関するさらなる研究の進展も期待できる。

<参考文献>

- [1]. Tomohiro Ueno, Kentaro Sano, and Satoru Yamamoto, "Memory Bandwidth Compressor for FPGA-based High-Performance Custom Stream Computation," ACM Transactions on Reconfigurable Technology and Systems (TRETS), Vol.10, No.3, Article No.18, DOI:10.1145/3053688 (22 pages), May 2017.
- [2]. S. Rigler, W. Bishop and A. Kennings, "FPGA-Based Lossless Data Compression using Huffman and LZ77 Algorithms," 2007 Canadian Conference on Electrical and Computer Engineering, 2007, pp. 1235-1238, doi: 10.1109/CCECE.2007.315.
- [3]. eikang Qiao, Jieqiong Du, Zhenman Fang, Libo Wang, Michael Lo, Mau-Chung Frank Chang, and Jason Cong. 2018. High-Throughput Lossless Compression on Tightly Coupled CPU-FPGA Platforms: (Abstract Only). In Proceedings of the 2018 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays (FPGA '18). Association for Computing Machinery, New York, NY, USA, 291. DOI:https://doi.org/10.1145/3174243.3174987
- [4]. P. Lindstrom and M. Isenburg, "Fast and Efficient Compression of Floating-Point Data," in IEEE Transactions on Visualization and Computer Graphics, vol. 12, no. 5, pp. 1245-1250, Sept.-Oct. 2006, doi: 10.1109/TVCG.2006.143.
- [5]. Tomohiro Ueno, Takaaki Miyajima, Antoniette Mondigo, Kentaro Sano, "Hybrid Network Utilization for Efficient Communication in a Tightly Coupled FPGA Cluster," Proceedings of 2019 International Conference on Field-Programmable Technology (FPT), pp. 363-366, December, 2019

5. 主な発表論文等

〔雑誌論文〕 計10件（うち査読付論文 7件 / うち国際共著 0件 / うちオープンアクセス 3件）

1. 著者名 MONDIGO Antoniette, UENO Tomohiro, SANO Kentaro, TAKIZAWA Hiroyuki	4. 巻 E102.D
2. 論文標題 Scalability Analysis of Deeply Pipelined Tsunami Simulation with Multiple FPGAs	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 1029 ~ 1036
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2018RCP0007	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Ueno Tomohiro, Miyajima Takaaki, Mondigo Antoniette, Sano Kentaro	4. 巻 -
2. 論文標題 Hybrid Network Utilization for Efficient Communication in a Tightly Coupled FPGA Cluster	5. 発行年 2019年
3. 雑誌名 Proceedings of 2019 International Conference on Field-Programmable Technology	6. 最初と最後の頁 363-366
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ICFPT47387.2019.00068	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Mondigo Antoniette, Ueno Tomohiro, Sano Kentaro, Takizawa Hiroyuki	4. 巻 -
2. 論文標題 Comparison of Direct and Indirect Networks for High-Performance FPGA Clusters	5. 発行年 2020年
3. 雑誌名 Applied Reconfigurable Computing. Architectures, Tools, and Applications	6. 最初と最後の頁 314 ~ 329
掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/978-3-030-44534-8_24	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 上野知洋, 佐野健太郎, 土方康平, 滝沢寛之	4. 巻 119
2. 論文標題 RDMAを用いた密結合FPGAクラスタのメモリ間通信性能	5. 発行年 2019年
3. 雑誌名 電子情報通信学会リコンフィギャラブルシステム研究会 信学技報	6. 最初と最後の頁 7 ~ 10
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 MONDIGO Antoniette, UENO Tomohiro, SANO Kentaro, TAKIZAWA Hiroyuki	4. 巻 E102.D
2. 論文標題 Scalability Analysis of Deeply Pipelined Tsunami Simulation with Multiple FPGAs	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 1029 ~ 1036
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2018RCP0007	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Ueno Tomohiro, Sano Kentaro, Furusawa Takashi	4. 巻 2018
2. 論文標題 Performance Analysis of Hardware-Based Numerical Data Compression on Various Data Formats	5. 発行年 2018年
3. 雑誌名 Proceedings of 2018 Data Compression Conference	6. 最初と最後の頁 345 ~ 354
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/DCC.2018.00043	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Lee Jinpil, Ueno Tomohiro, Sato Mitsuhsa, Sano Kentaro	4. 巻 Article No. 5
2. 論文標題 High-productivity Programming and Optimization Framework for Stream Processing on FPGA	5. 発行年 2018年
3. 雑誌名 Proceedings of the 9th International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies	6. 最初と最後の頁 1 ~ 6
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3241793.3241798	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 上野 知洋, 土方 康平, 佐野 健太郎	4. 巻 vol. 118, no. 215
2. 論文標題 大規模FPGAクラスタのためのRDMA通信機構	5. 発行年 2018年
3. 雑誌名 電子情報通信学会技術研究報告	6. 最初と最後の頁 49 ~ 54
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 李 珍泌, 上野 知洋, 佐藤 三久, 佐野 健太郎	4. 巻 2018-HPC-167
2. 論文標題 ストリーム計算ハードウェアコンパイラSPGenのためのPolyhedral Modelを用いたループスケジューリング最適化	5. 発行年 2018年
3. 雑誌名 研究報告ハイパフォーマンスコンピューティング (HPC)	6. 最初と最後の頁 1~6
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tomohiro Ueno, Atsushi Koshiba, Kentaro Sano	4. 巻 -
2. 論文標題 Virtual Circuit-Switching Network with Flexible Topology for High-Performance FPGA Cluster	5. 発行年 2021年
3. 雑誌名 Proceedings of the 32nd IEEE International Conference on Application-specific Systems, Architectures and Processors	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

[学会発表] 計4件 (うち招待講演 0件 / うち国際学会 2件)

1. 発表者名 Tomohiro Ueno
2. 発表標題 Hybrid Network Utilization for Efficient Communication in a Tightly Coupled FPGA Cluster
3. 学会等名 2019 International Conference on Field-Programmable Technology (FPT) (国際学会)
4. 発表年 2019年

1. 発表者名 Tomohiro Ueno
2. 発表標題 Comparison of direct and indirect networks for high-performance FPGA clusters
3. 学会等名 16th International Symposium on Applied Reconfigurable Computing (ARC) (国際学会)
4. 発表年 2020年

1. 発表者名 上野 知洋
2. 発表標題 RDMAを用いた密結合FPGAクラスタのメモリ間通信性能
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2019年

1. 発表者名 上野 知洋, 土方 康平, 佐野 健太郎
2. 発表標題 大規模FPGAクラスタのためのRDMA通信機構
3. 学会等名 電子情報通信学会 リコンフィギャラブルシステム研究会
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関