

令和 4 年 6 月 10 日現在

機関番号：12612

研究種目：挑戦的研究（萌芽）

研究期間：2018～2021

課題番号：18K19778

研究課題名（和文）超微細ナノカーボン・プロセッサのアーキテクチャに関する研究

研究課題名（英文）A Study of Ultrascaled Nanocarbon Processor Architecture

研究代表者

三輪 忍（Miwa, Shinobu）

電気通信大学・大学院情報理工学研究科・准教授

研究者番号：90402940

交付決定額（研究期間全体）：（直接経費） 4,800,000円

研究成果の概要（和文）：本研究課題の主要な成果は2つある。1つ目の研究成果は、先行研究で使用されていた実質的に非公開のCNFETプロセッサの開発環境に限りなく近い開発環境を再現できたことである。これにより、CNFETプロセッサ・アーキテクチャの開発と評価を行うことが可能となった。2つ目の研究成果は、上記の開発環境を用いて評価・分析を行うことにより、CNFET化によるプロセッサ内の各ユニットへの影響を世界で初めて明らかにしたことである。この評価・分析によって得られた知見は、今後CNFET向けにプロセッサ・アーキテクチャの最適化を行う上で重要な指針となることが期待される。

研究成果の学術的意義や社会的意義

CNFETはプロセッサの電力性能を大幅（最大約20倍）に改善できることを示すとともに、タイミング制約などのプロセッサの設計制約がCNFETを用いることで大幅に変化することが確認された。これらの研究成果はCNFETならびにCNFETプロセッサの実用化を後押しするものである。また、本研究課題の研究成果はプロセッサアーキテクチャをCNFET用に最適化する必要性を世界で初めて示したものであり、今後のプロセッサアーキテクチャ開発に大きな影響を与えることが予想される。

研究成果の概要（英文）：The main contributions of this study are twofold. First, I was able to successfully reproduce an environment for development of CNFET processors, which is similar to the substantially close environment used in the previous work. This enables us to develop and evaluate architecture of CNFET processors. Second, with the above environment, I uncovered the impact of CNFET on performance, power consumption and area of processors. This analysis provides a valuable guideline to optimize processor architecture for CNFET.

研究分野：コンピュータアーキテクチャ，高性能計算

キーワード：プロセッサアーキテクチャ CNFET スタンドセルライブラリ シミュレーション

### 1. 研究開始当初の背景

多くのプロセッサはシリコン・トランジスタ (Silicon Metal Oxide Semiconductor Field Effect Transistor. 以下 Si-MOSFET とする) と銅などのメタル配線によって構成されており、これらの微細化とともにその性能を向上させてきた。しかし、Si-MOSFET やメタル配線の微細化は限界を迎えつつあることから、プロセッサの性能向上も近い将来に頭打ちになると予想されている[1]。プロセッサが今後も半導体製造技術の進歩による性能向上の恩恵を受けるためには、Si-MOSFET とメタル配線に代わる新たなデバイスが必要とされている[2]。

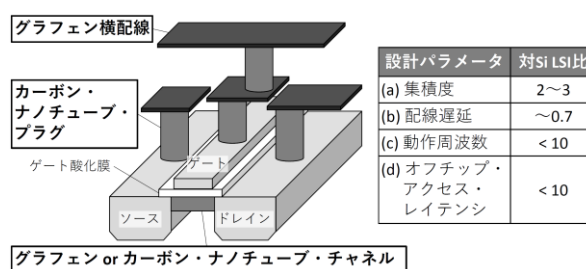


図1. 超微細ナノカーボン LSI

そのようなデバイスの 1 つに超微細ナノカーボンを使用したデバイスがある。超微細ナノカーボンは数 nm 級のカーボン・ナノチューブやグラフェンであり、シリコンや銅と比べて 1~2 桁高い移動度を有する。そのため、MOSFET のチャンネルや配線の材料に超微細ナノカーボンを使用する (図 1) ことで、既存の LSI よりも高速かつ低消費電力な LSI が実現できると期待されている。本研究課題の研究開始当初は、超微細ナノカーボン LSI の実用化に向けてデバイスの研究開発が進んでいる段階であった[3]。

超微細ナノカーボンはシリコンや銅とはまったく異なるデバイス特性を有することから、超微細ナノカーボン LSI の設計パラメータもシリコン LSI のそれとは大きく異なることが予想される。具体的には、超微細ナノカーボン LSI には図 1 中の表に示した(a)~(c) の利点と(d) の欠点があると考えられる。将来的にはこの新しい設計パラメータに対応したアーキテクチャを開発していくことがプロセッサ・アーキテクトに求められるが、本研究課題の開始当初はアーキテクチャ開発に必要な開発環境もまだ整備されていない状況であり、超微細ナノカーボン・プロセッサのアーキテクチャ開発はまったくと言っていいほど行われていなかった。

### 2. 研究の目的

本研究課題は、超微細ナノカーボン LSI 用に最適化したプロセッサのアーキテクチャ開発を目的とする。具体的には、本研究課題では、開発項目(1): 超微細ナノカーボン LSI の利点である高集積、低配線遅延、高動作周波数を利用したアーキテクチャと開発項目(2): 超微細ナノカーボン LSI の欠点である大きなオフチップ・アクセス・レイテンシを隠ぺいするアーキテクチャの開発を実施する。また、上記のアーキテクチャ開発に加えてこれらの開発を行うための評価基盤、すなわち、開発項目(3): 超微細ナノカーボン・プロセッサの評価基盤の開発を実施する。

### 3. 研究の方法

まずは開発項目(3): 超微細ナノカーボン・プロセッサの評価基盤の開発に取り組んだ。上述のように本研究課題の計画段階では、超微細ナノカーボン・プロセッサのアーキテクチャ開発に利用可能な開発環境が有償・無償を問わず存在しなかったことから、Gem5, McPAT 等のオープンソースのプロセッサ・アーキテクチャ・シミュレータを超微細ナノカーボン・プロセッサに対応させる方向で開発を開始した。また、本研究課題の計画段階では超微細ナノカーボン・プロセッサとして MOSFET だけでなく配線にも超微細ナノカーボンが使用されるプロセッサを想定していたが、その後の調査により MOSFET に比べて配線のナノカーボン化は技術的な課題が多いことが判明し、配線のナノカーボン化にはより多くの時間が必要であることがわかった。そこで本研究課題では、実用化が近いとされる CNFET (Carbon Nanotube Field Effect Transistor) にターゲットを絞り、上記のシミュレータを CNFET に対応させるための開発を開始した。

ところが上記の開発を進めていた最中に、スタンフォード大学の研究チームが独自に開発した環境を用いて CNFET プロセッサの性能と消費電力を評価した論文[4]を発表する出来事があった。同論文では、CNFET の SPICE 等のモデルから CNFET の PDK (Process Design Kit) を自作し、作成した PDK と商用の EDA (Electronic Design Automation) ツールを用いてオープンソースのプロセッサの論理合成と配置配線を行っていた。また上記の PDK は同論文の著者らによって公開されていた。この論文発表によって開発項目(3)の最新技術が本研究課題の計画段階で想定していたものとは異なってしまったため、本研究課題の研究方針も変更せざるを得なくなった。

そこで超微細ナノカーボン・プロセッサの評価基盤を独自に開発するのではなく、上記の論文で使用されている開発環境を超微細ナノカーボン・プロセッサの評価基盤とする方向に研究の方針を転換した。当初は同論文の著者らが公開している PDK と商用 EDA ツールを使用すれば同論文の開発環境が簡単に再現できると考えていたが、その後調査を進めていくうちに公開さ

れている PDK のソースには論理合成と配置配線の実行に必要ないくつかのファイルが同封されていないことが判明した。また、この不具合に関して著者らに問い合わせたものの返答がなかった。そのため、公開されている PDK の利用を断念し、同論文に記載されている情報等から同論文の著者らが開発した PDK を再現することにした。再現した PDK と商用の EDA ツールを用いて超微細ナノカーボン・プロセッサのアーキテクチャ評価が可能な環境を構築した上で、開発項目(1)と(2)の開発に取り組む予定であった。

#### 4. 研究成果

本研究課題の個別の成果については後で詳しく述べることにし、ここでは主要な成果について述べる。本研究課題の主要な成果は次の2つである。1つ目の研究成果は、論文[4]の開発環境に限りなく近い開発環境を再現できたことである。これにより、CNFET プロセッサ・アーキテクチャの開発と評価を行うことが可能となった。2つ目の研究成果は、開発した環境を用いて評価・分析を行うことにより、CNFET 化によるプロセッサ内の各ユニットへの影響を世界で初めて明らかにしたことである。この評価・分析によって得られた知見は、今後 CNFET 向けにプロセッサ・アーキテクチャの最適化を行う上で重要な指針となる。本研究課題は採択後に発表された論文によって方針変更を余儀なくされたため、残念ながら当初予定していた開発項目(1)と(2)の着手には至らなかったものの、CNFET プロセッサ・アーキテクチャの研究開発における重要な一歩になったと確信している。

以下では、本研究課題の研究成果を詳しく述べる。

##### (1) CNFET を用いて論理合成したプロセッサの評価

Si-MOSFET と CNFET を用いてプロセッサの論理合成を行い、トランジスタの CNFET 化がプロセッサ内の各ユニットの電力/面積/回路遅延に与える影響を分析した。論理合成に必要なスタンダードセルライブラリは、Si-MOSFET に関してはいくつかのオープンセルライブラリが存在するが、CNFET に関してはオープンセルライブラリが存在しない。そこで、CNFET のトランジスタモデルや論文データなどの公開情報を元に CNFET の SPICE モデルを独自に作成し、作成した SPICE モデルを元に CNFET のセルライブラリを新たに開発した。

今回開発した CNFET セルライブラリは、5nm および 7nm ノードの CNFET セルライブラリである。CNFET のトランジスタモデルには、文献[4]と同様、スタンフォード大学が開発した VS-CNFET モデル(図2) [6]を採用した。

5nm および 7nm ノードの CNFET の主要なパラメータの値は、文献[4]に記載されている値と同じである。同文献に記載のないパラメータについては値を振って SPICE シミュレーションを行い、シミュレーションによって求めた I-V 特性が同文献に記載されている I-V 特性と一致する値を採用した。

上記の CNFET モデルを用いて AND2\_X1 など計 56 種類のセルのネットリストを作成し、SPICE シミュレーションを行うことで各セルの遅延と消費電力を求めた。遅延モデルは CCS (Composite Current Source) と NLDM (Non-Linear Delay Model) の2種類を用いた。セル面積は、ゲートピッチの比をスケールリングファクタとして NanGate 15nm オープンセルライブラリ [7]の各セルの面積から求めた。同様の計算方法は先行研究で用いられているセルライブラリ作成ツール[6]内でも使用されており、問題ないと考えている。このようにして求めた値を元に、論理合成に必要な CNFET セルライブラリ (.lib ファイル) を作成した。

上述のようにして作成したセルライブラリを用いて OpenSPARC T2 プロセッサ [8]の論理合成を行い、CNFET 化された OpenSPARC T2 の電力/面積/回路遅延を評価した。OpenSPARC T2 は 8つのインオーダーコアからなるマルチコアプロセッサであり、各コアは 8つのスレッドを細粒度マルチスレッディング方式によって処理する。各コアは、8ステージの整数系パイプラインと 12ステージの浮動小数点系パイプラインを有する。キャッシュメモリは、プライベートな L1 キャッシュと共有 L2 キャッシュの2階層によって構成されている。

今回開発した CNFET 7nm および 5nm セルライブラリ (以下ではそれぞれを CNFET7, CNFET5 とする)に加えて、Si-MOSFET のセルライブラリである NanGate 45nm および 15nm オープンセルライブラリ (以下ではそれぞれを OCL45, OCL15 とする)を用いて OpenSPARC T2 プロセッサのコア1つを論理合成し、コアおよびコア内の各ユニットの消費電力/回路面積/回路遅延の評価を行った。各セルライブラリのコンパイルには Synopsys 社のライブラリコンパイラ (バージョン M-2017.06-SP3) を、論理合成には同社のデザインコンパイラ (バージョン O-2018.06-SP4) を使用した。

各セルライブラリを用いて論理合成したコアの動作周波数と消費電力を図3に示す。グラフの横軸はコアの動作周波数、縦軸はコアの消費電力を表している。グラフより、いずれのセルライブラリにおいても動作周波数の増加にほぼ比例してコアの消費電力は増加する。ただし、OCL15 の場合は 0.4GHz 以下、CNFET7 と CNFET5 の場合は 1.6GHz 以下の領域において動作周波数に対する消費電力の変化は緩やかとなる。これは、動作周波数が高い領域ではコアの消

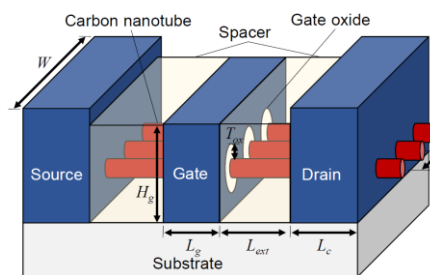


図2. VS-CNFET

費電力において静的消費電力（動作周波数に比例しない成分）よりも動的消費電力（動作周波数に比例する成分）が支配的となり、動作周波数が低い領域ではその逆となるためである。

IRDS によれば、Si-MOSFET のスイッチングに必要な消費エネルギーは、7nm から 5nm に微細化されると 22.4%減ると予想されている[9]。したがって、微細化が 1 世代進むごとに Si-MOSFET 回路の消費電力は 30%減ると考えれば、OCL15 から 5nm ノードまで 3 世代微細化が進むと回路の消費電力は 34.3%になると考えられる。また、文献[4]によると、5nm ノード CNFET を用いた場合の OpenSPARC T2 の消費電力は 5nm ノード FinFET を用いた場合の 1/4 以下であることから、OCL15 に対する 5nm ノード CNFET の消費電力削減量は 91.1%程度と考えられる。前述した OCL15 に対する CNFET5 の消費電力削減量 (96.6%) は上記の見積りに近い値であり、今回の実験結果は妥当と考えている。

動作周波数が 0.8GHz のときの各ユニットの消費電力を図 4 に示す。表より、OCL15 から CNFET7 または CNFET5 に変更することで最も消費電力が削減されたユニットは FGU であった。特に CNFET5 の FGU の消費電力は、OCL15 の FGU の消費電力の 3.34%であった。

動作周波数が 0.8GHz のときの各ユニットの回路面積を図 5 にまとめた。OCL15 から CNFET7 および CNFET5 に変更することで最も回路面積が削減されたユニットは GKT であった。特に CNFET5 の GKT の回路面積は、OCL15 の 41.6%であった。ただし、OCL15 に対する面積削減率が最も小さかった EXU (43.7%) との差は 2.1 ポイントであり、その差はわずかと言える。

動作周波数が 0.8GHz のときの各ユニットの回路遅延を図 6 に示す。OCL15 から CNFET7 および CNFET5 に変更した際の回路遅延削減率が最も高かったユニットは GKT であり、CNFET5 の GKT の回路遅延は OCL15 のその約 12.3%になった。一方、回路遅延の削減率が最も小さかったユニットは IFU\_IBU であり、CNFET5 の IFU\_IBU の回路遅延は OCL15 のその約 44.0%になった。

## (2) CNFET を用いて配置配線したプロセッサの評価

Si-MOSFET と CNFET それぞれを用いてプロセッサの配置配線を行い、トランジスタの CNFET 化がプロセッサ内の各ユニットの電力/面積/回路遅延に与える影響を分析した。前節で述べた CNFET セルライブラリをベースに CNFET の PDK を新たに開発した。作成した PDK は文献[4]に記載されている 5nm と 7nm の 2 つの CNFET のテクノロジノードをモデル化したものであり、それぞれの PDK を CNFET5、CNFET7 とする。

CNFET5 と CNFET7 の各レイヤのピッチと幅は文献[4]に記載された値とする。各セルのピン配置はセル面積と同じ計算方法を用いて求めた。これらの情報をもとに Cadence 社の配置配線ツールで使用する LEF ファイルを作成した。なお、今回作成した PDK には SRAM マクロなどのマクロは含まれていない。CNFET5 と CNFET7 向けのマクロ作成は今後の課題である。

本稿では OpenSPARC T2 に加えて RSD プロセッサを評価に使用した。RSD は主に九州大学と東京大学の研究チームが開発した 32 ビットの RISC-V

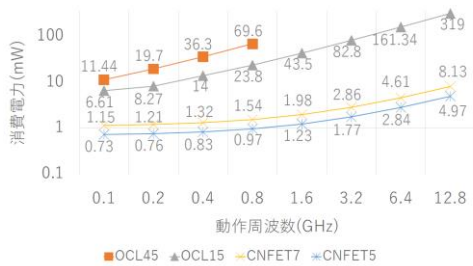


図 3. コアの動作周波数と消費電力

	OCL45	OCL15	CNFET7	CNFET5
GLU	0.87(294)	0.30	0.03(8.51)	0.02(5.32)
DEC	0.98(332)	0.30	0.02(5.60)	0.01(3.50)
EXU	4.63(277)	1.67	0.01(7.76)	0.08(4.94)
FGU	22.47(320)	7.01	0.37(5.30)	0.23(3.34)
GKT	1.99(298)	0.67	0.04(6.71)	0.03(4.19)
IFU_CMU	1.77(317)	0.03	0.19(6.18)	0.02(3.85)
IFU_FTU	4.58(300)	0.10	0.51(6.49)	0.06(4.12)
IFU_IBU	5.62(283)	0.14	0.74(6.37)	0.08(4.03)
LSU	7.72(274)	2.82	0.19(6.81)	0.12(4.27)
MMU	6.32(268)	2.35	0.17(7.02)	0.10(4.40)
PKU	1.85(298)	0.62	0.04(7.21)	0.03(4.50)
PMU	1.26(269)	0.47	0.04(8.05)	0.02(5.06)
TLU	9.50(269)	3.54	0.25(7.04)	0.16(4.44)
Total	69.6(292)	23.8	1.54(6.46)	0.97(4.07)

図 4. 各ユニットの消費電力 (単位: mW, 括弧内の数字は対 OCL15 比)

	OCL45	OCL15	CNFET7	CNFET5
GLU	7383(367)	2010	873(43.5)	873(43.4)
DEC	4287(354)	1209	517(42.8)	518(42.8)
EXU	34155(356)	9581	4182(43.7)	4186(43.7)
FGU	84689(357)	23714	10280(43.4)	10287(43.4)
GKT	12802(357)	3585	1491(41.6)	1491(41.6)
IFU_CMU	8598(359)	2389	1027(43.0)	1027(43.0)
IFU_FTU	27071(362)	7468	3212(43.0)	3216(43.1)
IFU_IBU	26303(332)	7922	3415(43.1)	3425(43.2)
LSU	54447(358)	15174	6502(42.9)	6504(42.9)
MMU	42600(352)	12079	5211(43.1)	5208(43.1)
PKU	14247(394)	3611	1552(43.0)	1555(43.1)
PMU	11057(355)	3106	1336(43.0)	1335(43.0)
TLU	70705(357)	19760	8478(42.9)	8487(43.0)
Total	398351(356)	111614	48084(43.1)	48117(43.1)

図 5. 各ユニットの回路面積 (単位:  $\mu\text{m}^2$ , 括弧内の数字は対 OCL15 比)

	OCL45	OCL15	CNFET7	CNFET5
DEC	880(1850)	47.48	23.74 (50.0)	19.08 (40.2)
EXU	1050(1620)	64.97	39.64 (61.0)	25.43 (39.1)
FGU	580(1710)	33.86	21.57 (63.7)	14.03 (41.4)
GKT	510(2240)	20.9	3.76 (18.0)	2.57 (12.3)
IFU_CMU	810(1950)	41.60	24.50 (58.9)	15.70 (37.7)
IFU_FTU	750(1890)	39.75	24.66 (62.0)	16.59 (41.7)
IFU_IBU	600(1920)	31.27	21.43 (68.5)	13.75 (44.0)
LSU	900(1590)	56.70	30.66 (54.1)	20.15 (35.5)
MMU	740(1320)	55.87	34.10 (61.0)	22.45 (40.2)
PKU	1250(973)	128.46	63.80 (49.7)	40.78 (31.7)
PMU	660(1530)	43.14	22.96 (53.2)	14.60 (33.8)
TLU	730(3560)	20.51	11.39 (55.5)	7.03 (34.3)

図 6. 各ユニットの回路遅延 (単位: ps, 括弧内の数字は対 OCL15 比)

アウトオブオーダースーパースカラプロセッサである [10]。フロントエンドは 6 段の命令パイプラインからなり、最大 2 命令を同時にフェッチできる。バックエンドは 5-7 段の命令パイプラインであり、1 サイクルあたり最大 5 命令を同時に発行する。

5 つの PDK (FreePDK15, FreePDK45, ASAP7, CNFET5, CNFET7) を用いて OpenSPARC T2 と RSD の 2 つのプロセッサの配置配線を行い、配置配線後の回路遅延、消費電力、回路面積を比較する。論理合成と配置配線には Cadence 社の Genus Synthesis Solution 18.13 と Innovus 19.17 を使用する。論理合成の際の目標動作周波数は 0.8GHz とし、最大ファンアウト数は 6 とした。

Innovus などの EDA ツールを用いて 10nm 以下のプロセスに対して配置配線を行う場合、アカデミック向けの無償ライセンスではなく有償ライセンスが必要になる。この問題を回避するため、ASAP7 はセルなどのレイアウトを 4 倍にスケールアップした LEF ファイルを提供している。本稿では CNFET5 と CNFET7 に対しても上記の方法を適用する。

上記の方法を適用した場合、EDA ツールが報告する回路遅延、消費電力、回路面積などの値は本来 (LEF ファイルを 4 倍にスケールする前) の値とは異なってしまふ。そこでスケールした LEF ファイルを用いた場合の結果から、スケールリングファクタを入力変数とするモデルをフィッティングによって求め、同モデルを用いてスケール前の結果を予測した。消費電力は線形モデル、回路面積は 2 次関数モデルにより近似した。回路遅延に関してはスケールリングファクタとの間に明確な相関関係を見出すことができなかったため、以下では回路遅延に関する結果を省略する。

紙面の都合により RSD の結果のみを示す。図 7 に RSD のコアの各ユニットの消費電力を示す。表より、CNFET7 は ASAP7 と比べて最大 94.5% (PVA) 消費電力を削減できる。また、CNFET5 は CNFET7 に対してさらに 20% の消費電力を削減可能である。

図 8 に各ユニットの面積を示す。表より、OpenSPARC T2 の結果と同様、RSD においても CNFET5 と CNFET7 との間でユニットの面積にほとんど差はない。また表より、CNFET7 は ASAP7 の約 2 倍の面積を必要とすることがわかった。

#### 参考文献

- [1] Eeckhout, L.: Is Moore's Law Slowing Down? What's Next?, IEEE Micro, Vol. 37, No. 04, pp. 4-5 (2017).
- [2] IRDS: International Roadmap for Devices and Systems 2018 -Beyond CMOS-, Whitepaper (2018).
- [3] T. Simonite: IBM: Commercial Nanotube Transistors Are Coming Soon", MIT Tech. Review (2014).
- [4] Hills, G., et al.: Understanding Energy Efficiency Benefits of Carbon Nanotube Field-Effect Transistors for Digital VLSI, IEEE Transactions on Nanotechnology, Vol. 17, pp. 1259-1269 (2018).
- [5] Stanford Nanoelectronics Lab: VS-CNFET Model, Internet:nano.stanford.edu/stanford-cnfet2-model (July 2, 2021 [June 10, 2021]).
- [6] Hill, G.: Variation-aware Nanosystem Design Kit (NDK), Internet:nanohub.org/resources/22582 (July 29, 2015 [June 9, 2021]).
- [7] Silicon Integration Initiative: 15nm Open-Cell Library and 45nm FreePDK, Internet:si2.org/open-cell-library/ ([June 10, 2021]).
- [8] Sun Microsystems: OpenSPARC T2 Core Microarchitecture Specification, Whitepaper (2007).
- [9] IRDS: International Roadmap for Devices and Systems 2018 -More Moore-, Whitepaper (2018).
- [10] Mashimo, S., et al.: An Open Source FPGA-Optimized Out-of-Order RISC-V Soft Processor, 2019 International Conference on Field-Programmable Technology (ICFPT), pp. 63-71 (2019).

Unit	CNFET5	CNFET7	ASAP7	FreePDK15	FreePDK45
CSRU	0.0324(7.6)	0.0399(9.4)	0.424	0.936(220.5)	2.222(523.5)
IOU	0.0118(7.0)	0.0145(8.6)	0.169	0.361(213.3)	0.972(574.0)
LSU	0.0187(18.8)	0.0219(22.0)	0.099	0.451(454.2)	1.062(1069.3)
MDU	0.3712(14.2)	0.5246(20.1)	2.614	7.388(282.6)	28.53(1091.3)
PC	0.0178(5.3)	0.0210(6.3)	0.334	0.556(166.6)	1.622(485.7)
PBC	0.0017(8.0)	0.0019(9.2)	0.021	0.035(170.7)	0.137(667.2)
PMU	0.3612(17.7)	0.4621(22.7)	2.037	6.346(311.5)	25.3(1241.8)
PVA	0.0352(4.9)	0.0395(5.5)	0.719	0.874(121.5)	2.709(376.9)
PVM	1.2608(19.1)	1.8430(27.9)	6.617	26.2(395.9)	90.5(1367.7)
SCD	0.0094(7.0)	0.0110(8.2)	0.134	0.271(201.6)	0.524(390.0)

図 7. RSD の各ユニットの消費電力 (単位: mW, 括弧内の数字は対 ASAP7 比)

Unit	CNFET5	CNFET7	ASAP7	FreePDK15	FreePDK45
CSRU	332(193)	331(192)	172	751(437)	2840(1652)
IOU	167(205)	165(202)	82	357(437)	1464(1792)
LSU	146(170)	146(170)	86	330(385)	1267(1476)
MDU	1128(215)	1033(197)	525	1921(366)	13857(2637)
PC	231(185)	228(182)	125	494(395)	2017(1612)
PBC	36(227)	34(214)	16	67(424)	433(2744)
PMU	812(221)	721(196)	368	1235(336)	10461(2844)
PVA	306(210)	303(208)	146	526(361)	2624(1801)
PVM	3250(220)	2884(195)	1475	4941(335)	38757(2627)
SCD	121(189)	121(188)	64	277(432)	983(1532)

図 8. RSD の各ユニットの回路面積 (単位:  $\mu m^2$ , 括弧内の数字は対 ASAP7 比)

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計2件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 佐々木 魁, 三輪 忍, ヨウドウキン, 塩谷亮太, 八巻 隼人, 本多 弘樹
2. 発表標題 カーボンナノチューブトランジスタを用いて論理合成したプロセッサの電力 / 面積 / 回路遅延評価
3. 学会等名 情報処理学会研究報告2021-ARC-245
4. 発表年 2021年

1. 発表者名 C. Shi, K. Sasaki, S. Miwa, T. Yang, R. Shioya, H. Yamaki, and H. Honda
2. 発表標題 Evaluation of Microprocessors Placed-and-Routed with CNFET
3. 学会等名 情報処理学会研究報告2021-ARC-248
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------