

令和 4 年 6 月 5 日現在

機関番号：34315

研究種目：挑戦的研究（萌芽）

研究期間：2018～2021

課題番号：18K19790

研究課題名（和文）測定型量子回路の設計理論の構築

研究課題名（英文）Design methodologies for measurement-based quantum circuits

研究代表者

山下 茂（Yamashita, Shigeru）

立命館大学・情報理工学部・教授

研究者番号：30362833

交付決定額（研究期間全体）：（直接経費） 4,800,000円

研究成果の概要（和文）：量子計算の有望な実現形態と考えられているモデルの一つが測定型量子回路である。本研究では、測定型量子回路の設計手法に関して主に以下のような成果を得た。（1）braidingと呼ばれる操作の列で表現される測定型量子回路をトーラスの集合で表現することにより計算機で自動的に回路サイズを減らす手法を考案した。（2）lattice surgeryと呼ばれるモデルで表現された測定型量子回路を合成する際に、従来手法に比べて最終的な回路サイズを削減できるような論理量子ビットの配置の仕方を考案した。（3）測定型量子回路ではコストがかなり高いTゲートを削減する種々の手法を考案した。

研究成果の学術的意義や社会的意義

量子計算はまだ完全には実現されていない。しかし、もし量子計算機が実現すれば、ある種の有用な問題で現在の計算機では時間がかかりすぎて到底計算できないような問題を、現実的な時間で計算できるようになると期待されている。しかし、量子計算は物理的なエラーに弱く、それを克服する有用な実現方法が、測定型量子回路と呼ばれるものである。測定型量子回路は通常の量子回路とモデルが異なるため、その設計手法を確立することは将来の量子計算の実現のために大変重要であると考えられる。本研究の成果は、測定型量子回路の設計手法に関して今まで知られていなかった新しい設計手法として今後利用できることが期待できる。

研究成果の概要（英文）：One of the promising ways of realizing quantum computation is measurement-based quantum circuits. For the design methodology of measurement-based quantum circuits, this research got the following results. (1) This research developed an automatic circuit reduction method by representing a sequence of braiding operations for measurement-based quantum circuits with toruses. (2) This research developed a method to reduce the circuit size by the layout of logical qubits for the lattice surgery model which represents a measurement-based quantum circuit. The method can reduce the final circuit size compared to the conventional methods. (3) This research developed a various optimization methods to decrease the number of T gates whose realization costs are very high for measurement-based quantum circuits.

研究分野：量子計算

キーワード：量子回路設計 測定型量子回路 braiding lattice Surgery Tゲート Relative Phase量子ゲート

## 1. 研究開始当初の背景

現在の計算方式を原理的に凌駕する可能性があると考えられている量子計算の実現のために、現在多くの国で研究開発が盛んにおこなわれている。その実現のために、現時点で乗り越えなければならない最も高いハードルは、量子状態に起こる望ましくない状態変化(以下では、エラーと呼ぶ)をどう克服するかということである。そのためには、もちろん、物理的なデバイスの性能を上げるハードウェアの性能向上が必要であることはいままでの間でもないが、ソフトウェア的にエラーを訂正する手法の開発も有用であり、実際、量子状態のエラー訂正手法の基本原則に関して数多くの研究が行われている。エラー訂正を行いながら量子計算を行う方法として、有望と考えられている手法の一つに、Topological Quantum Computer (以下、TQC) と呼ばれるモデルで計算を行う手法がある。任意の量子アルゴリズムを TQC 上の基本的な論理演算の列(量子回路と呼ばれる)に変換することが原理的に可能であることは既に示されている。TQC 向けの量子回路の実現方法として、量子ビットの初期化(Initialization)、CNOT(制御 NOT) と呼ばれる 2 量子ビット間の論理演算、および量子ビットの観測(Measurement) の 3 つの論理的な操作のみからなる回路をもとに考えることが一般的である。この回路モデルは「測定型量子回路」と呼ばれる。与えられた量子アルゴリズムを測定型量子回路の基本演算に変換する手法は知られているが、ナイーブな手法で実用的な規模の量子アルゴリズムを変換すると、非常に多くの演算列になるため、測定型量子回路の効率的な設計手法の開発が将来の量子計算の実現のためには必要であると考えられる。

## 2. 研究の目的

測定型量子回路は、測定結果によりその後適用する量子ゲートを動的に変更する。そのため、事前に回路全体を考慮した最適化を行うことができない。また、観測の回数に対してその結果の組み合わせの数は指数的となるため、動的に行う量子回路のパターンは指数的な数となる。これらが本質的な問題となり、回路の最適化、回路の仕様の検証、などを系統的に行うための理論が現状では未整備であると言わざるを得ない。本研究は、この問題点の解決に挑戦して、測定型量子回路を扱える設計理論の構築を目指す。

## 3. 研究の方法

測定型量子回路は、測定した観測結果により動的にその後の操作を選択して実行するため、あらかじめ実際に実行すべき braiding の列のすべてが確定していない。そのため、回路全体の関係を考慮して、braiding の列をあらかじめ最適化することができない。この「観測結果によって実行すべき操作が動的に変わる」という問題の一つの解決方法として、ICM 形式と呼ばれるモデルが考案されたため、まず ICM 形式の回路をターゲットとして検討することにした。ICM 形式では、測定結果により動的に変えなければならない操作をあらかじめ 2 つとも用意しておき、最後にどちらかの結果を選択するという考え方により、実行時に操作列を動的に変更するというを行わない。そのため、実現すべき測定型量子回路の全体像をあらかじめ確定できるため、全体の回路を braiding の列に変換した後の最適化を行うことが可能である。そのため、まず、braiding の列を最適化するための設計手法を重点的に開発することとした。braiding の列を最適化する手法として、人手によるアドホックなものしか知られていなかったため、その手法だけでは大規模な回路が扱えないことは明らかであった。そこで、本研究では、何らかの手法で braiding の列の最適化を計算機で扱えるルールとして表現する手法を開発して、そのルールを用いて計算機で自動的に最適化する設計手法を開発することを目指した。研究の方針としては、様々な発見的な手法のアルゴリズムを検討して、ベンチマーク回路で評価することにより、より実用的なアルゴリズム開発を目指す方針をとった。

測定型量子回路として、上述したモデルとは別に新たに提案された lattice surgery というモデルがあり、多くの場合でこちらの方式の方が最終的な量子回路が小さくなる可能性が示唆されている。そこで、lattice surgery に特化した最適化手法も検討することとした。lattice surgery の場合、論理量子ビットをタイルのようにして並べるモデルのため、タイルのレイアウト問題として定式化して、その問題を計算機で自動的に最適化する設計手法を開発することとした。研究の方針としては、上記の braiding の回路モデルの場合と同様に、様々な発見的な手法のアルゴリズムを検討して、ベンチマーク回路で評価することにより、より実用的なアルゴリズム開発を目指す方針をとった。

量子アルゴリズムを一般的な量子回路に変換してから測定型量子回路に変換することが一般的である。そのため、測定型量子回路をできるだけ小さく生成するためには、その前段の一般的な量子回路において、測定型量子回路でコストが大きくなる量子ゲートをできるだけ使わないように合成されていることが望ましい。具体的には、T ゲートと呼ばれるゲートやその段数を減ら

すように量子回路を作るのが望ましい。そのため、Tゲートやその段数を減らすような量子回路設計手法の開発を目指した。ここでも、様々な発見的な手法のアルゴリズムを検討して、ベンチマーク回路で評価することにより、より実用的なアルゴリズム開発を目指す方針をとった。

#### 4. 研究成果

##### 【braidingの列を最適化する設計理論の構築】

前述した通り、量子計算を実現する方式として、測定型量子回路を用いる方式がエラー耐性を考慮すると最も実現可能性が高いと考えられている。測定型量子回路として、まずトポロジカル量子回路を取り上げて、その最適化手法に関して、従来にない手法の開発を行った。トポロジカル量子回路の最適化としては、最適化のための様々な変形規則が提案されているが、その変形規則を用いた最適化は現在人手によって実現されている。そこで、回路をトーラスの集合で表現して変形規則のbridgeを定式化し、計算機上でトーラスの交差数に注目したトポロジカル量子回路の最適化を行うための手法を考案した。考案した手法では、トポロジカル量子回路を構成するトーラスの順序を並べ替え、bridgeを適用することによって、トーラスの交差数が最小なトポロジカル量子回路を見つけることを基本としている。提案手法では、まず、トポロジカルな連続変形のみでトポロジカル量子回路の回路コストを削減する。その後、削減できた回路のトーラスの順序を並べ替え、2つのトーラス間でbridgeを適用できるかを判断することで、bridgeも含めたトーラスの交差数の削減を実現する。計算機シミュレーション実験の結果、bridgeを用いた変形を自動化することによって、人手による手法と同等の結果を全自動で得られることを確認した。そのため、人手では最適化できない大規模な回路でも今後は自動で最適化できるようになると期待できる。

##### 【lattice surgeryにおいて回路を最適化する手法の開発】

量子デコヒーレンスによるエラーに対して耐性を持つ計算モデルとして lattice surgery が提案されている。そのため、lattice surgery では、量子ビットを lattice に符号化した論理量子ビット同士を結合と分割することによって計算を行う。任意の量子回路を lattice surgery にマッピングする手法が Lao 氏らによって提案されている。Lao 氏らの手法では、lattice surgery の利点の1つである multi-target CNOT ゲートを考慮していない。また、Lao 氏らの手法で用いているレイアウトでは、1つの論理量子ビットと3つの論理補助量子ビットを1つの区画としている。したがって、レイアウト上における論理量子ビットの充填率は最大 25%となる。その手法を改善するために、lattice surgery における lattice の回転操作を利用することで、レイアウト上における論理量子ビットの充填率を向上させる手法を考案した。考案した手法では、lattice の回転を利用することで、論理量子ビット1つあたりの論理補助量子ビットの数を削減したレイアウトを用いる。提案手法を用いることで、Lao 氏らの手法と比べ、全体の surface code の大きさを平均して 45.9% 削減することに成功した。

##### 【量子回路の種々の最適化手法の開発】

最終的に合成される測定型量子回路の実現コストをできるだけ小さくするために、その前段の一般の量子回路を最適化する手法に関して以下の成果を上げた。

(1)測定型量子計算における回路合成では、Tゲート数やT-depthと呼ばれる並列に実行できないTゲートの数の最適化が重要であり、AmyらによってT-depthを最適化する設計手法が提案されている。それに対して、lattice surgeryを想定し、並列化するTゲートの個数に適切な上限を設ける手法を提案した。提案手法では、multi-target CNOTの使用と並列化を考慮した行列分解および、その行列の再構築を行うことでCNOTゲートを削減している。提案手法を用いることで、Amyらの手法と比べ、多くの場合で量子回路の実行時間を削減できることを示した。

(2)量子コンピュータを物理的に実現するためには、Mixed-Polarity Multiple-Control Toffoli (MPMCT) ゲートで構成された量子回路を Nearest Neighbor Architecture (NNA) にマッピングしなければならない。MPMCTゲートをNNAにマッピングするためには、MPMCTゲートを1量子ビットゲートと2量子ビットゲートのみで分解し、SWAPゲートを挿入することで演算に用いる2つの量子ビットをそれぞれ隣接させる必要がある。このとき、できるだけ少ない量子ゲートでNNAにマッピングすることが望ましい。既存手法はこれら2つの処理をそれぞれ独立に考慮しているため、MPMCTゲートを分解するとき、分解後にSWAPゲートを挿入することへの影響を考慮していない。それに対して、MPMCTゲートの分解とSWAPゲートの挿入の2つの処理を同時に考慮することで、MPMCTゲートで構成された量子回路をより少ない量子ゲート数でNNAにマッピングする手法を開発し、ベンチマーク評価でその有効性を確認した。

(3)量子回路で最もよく使用されるToffoliゲートを構成するためには7つのTゲートが必要であり、そのTゲートの実現コストは大きい。そこで、Toffoliゲートの機能を近似したRTOFゲート(Relative-Phase Toffoli gate)が提案されている。RTOFは4つのTゲートで構成でき、Toffoliゲートと比較して実現コストが小さい。ToffoliゲートとRTOFゲートの出力論理は同じであるため、量子ブール回路を構成しているToffoliゲートを全てRTOFゲートに置換しても、回路の出力論理は変化しない。RTOFゲートを使用することにより、Toffoliゲートのコストが全て4/7倍となり、量子ブール回路のコストを削減することができる。ただし、出

力の量子状態の位相が変化してしまうため、一般には単純に全ての Toffoli ゲートを RTOF ゲートに置換することはできない。そこで、RTOF によって変化した位相の変化を効率的に修正する手法を考案した。考案した手法では、まず、位相の変化を関数として表現し、その位相の変化を表す関数が回路内に既に存在すれば、その箇所に、Tゲートよりも実現コストがずっと少ないといわれている Sゲートを配置することによって位相の変化を戻す。また、そのような関数が存在しない場合には、その関数を回路の最初の部分に実現してその後 Sゲートを配置することによって位相を修正する。提案した手法により、実際に全体の Tゲートの数が削減される回路例があることを確認した。

## 5. 主な発表論文等

〔雑誌論文〕 計11件（うち査読付論文 9件 / うち国際共著 0件 / うちオープンアクセス 1件）

|   |                       |
|---|-----------------------|
| 1. 著者名<br>山下茂   | 4. 巻<br>14 巻 4 号      |
| 2. 論文標題<br>量子回路設計における最適化問題  | 5. 発行年<br>2021年       |
| 3. 雑誌名<br>電子情報通信学会Fundamentals Review   | 6. 最初と最後の頁<br>337-346 |
| 掲載論文のDOI（デジタルオブジェクト識別子）<br>10.1587/essfr.14.4_337   | 査読の有無<br>無            |
| オープンアクセス<br>オープンアクセスとしている（また、その予定である）   | 国際共著<br>-             |
| 1. 著者名<br>Atsushi Matsuo, Wakaki Hattori, Shigeru Yamashita   | 4. 巻<br>ASP-DAC2021   |
| 2. 論文標題<br>Dynamical Decomposition and Mapping of MPMCT Gates to Nearest Neighbor Architectures           | 5. 発行年<br>2021年       |
| 3. 雑誌名<br>IEEE 26th Asia and South Pacific Design Automation Conference                                   | 6. 最初と最後の頁<br>786-791 |
| 掲載論文のDOI（デジタルオブジェクト識別子）<br>なし   | 査読の有無<br>有            |
| オープンアクセス<br>オープンアクセスではない、又はオープンアクセスが困難  | 国際共著<br>-             |
| 1. 著者名<br>Atsushi Matsuo, Yudai Suzuki, Shigeru Yamashita   | 4. 巻<br>AQIS2020      |
| 2. 論文標題<br>Problem-specific Parameterized Quantum Circuits of the VQE Algorithm for Optimization Problems | 5. 発行年<br>2020年       |
| 3. 雑誌名<br>The 20th Asian Quantum Information Science Conference   | 6. 最初と最後の頁<br>161     |
| 掲載論文のDOI（デジタルオブジェクト識別子）<br>なし   | 査読の有無<br>有            |
| オープンアクセス<br>オープンアクセスではない、又はオープンアクセスが困難  | 国際共著<br>-             |
| 1. 著者名<br>HAN Zhengtong, Shigeru Yamashita  | 4. 巻<br>AQIS2020      |
| 2. 論文標題<br>Quantum Circuit Design by Steiner-Gauss with Considering the Order of Qubits                   | 5. 発行年<br>2020年       |
| 3. 雑誌名<br>The 20th Asian Quantum Information Science Conference   | 6. 最初と最後の頁<br>188     |
| 掲載論文のDOI（デジタルオブジェクト識別子）<br>なし   | 査読の有無<br>有            |
| オープンアクセス<br>オープンアクセスではない、又はオープンアクセスが困難  | 国際共著<br>-             |

|   |                   |
|---|-------------------|
| 1. 著者名<br>Risa Segawa, Shigeru Yamashita                                      | 4. 巻<br>AQIS2020  |
| 2. 論文標題<br>An Efficient Generation of Arbitrary Superposition of Basis States | 5. 発行年<br>2020年   |
| 3. 雑誌名<br>The 20th Asian Quantum Information Science Conference               | 6. 最初と最後の頁<br>211 |
| 掲載論文のDOI (デジタルオブジェクト識別子)<br>なし  | 査読の有無<br>有        |
| オープンアクセス<br>オープンアクセスではない、又はオープンアクセスが困難  | 国際共著<br>-         |

|   |                           |
|---|---------------------------|
| 1. 著者名<br>Wakaki Hattori, Shigeru Yamashita   | 4. 巻<br>Vol.E102-D, No.11 |
| 2. 論文標題<br>Mapping a quantum circuit to 2D Nearest Neighbor Architecture by Changing the Gate Order | 5. 発行年<br>2019年           |
| 3. 雑誌名<br>IEICE Transactions on Information and Systems   | 6. 最初と最後の頁<br>2127 ~ 2134 |
| 掲載論文のDOI (デジタルオブジェクト識別子)<br>10.1587/transinf.2018EDP7439  | 査読の有無<br>有                |
| オープンアクセス<br>オープンアクセスではない、又はオープンアクセスが困難  | 国際共著<br>-                 |

|   |                          |
|---|--------------------------|
| 1. 著者名<br>Kota Asahi and Shigeru Yamashita  | 4. 巻<br>Vol.E102-A, No.4 |
| 2. 論文標題<br>Compaction of Topological Quantum Circuits by Modularization                           | 5. 発行年<br>2019年          |
| 3. 雑誌名<br>IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences | 6. 最初と最後の頁<br>624 ~ 632  |
| 掲載論文のDOI (デジタルオブジェクト識別子)<br>10.1587/transfun.E102.A.624   | 査読の有無<br>有               |
| オープンアクセス<br>オープンアクセスではない、又はオープンアクセスが困難  | 国際共著<br>-                |

|  |                         |
|--|-------------------------|
| 1. 著者名<br>Wakaki Hattori and Shigeru Yamashita   | 4. 巻<br>11106           |
| 2. 論文標題<br>Quantum Circuit Optimization by Changing the Gate Order for 2D Nearest Neighbor Architectures | 5. 発行年<br>2018年         |
| 3. 雑誌名<br>Lecture Notes in Computer Science  | 6. 最初と最後の頁<br>228 ~ 243 |
| 掲載論文のDOI (デジタルオブジェクト識別子)<br>10.1007/978-3-319-99498-7_16   | 査読の有無<br>有              |
| オープンアクセス<br>オープンアクセスではない、又はオープンアクセスが困難   | 国際共著<br>-               |

|  |                           |
|--|---------------------------|
| 1. 著者名<br>浅井孝太, 星孝太郎, 山下茂                                  | 4. 巻<br>Vol. J102-D, No.5 |
| 2. 論文標題<br>大規模TQEC回路の自動最適化手法                               | 5. 発行年<br>2019年           |
| 3. 雑誌名<br>電子情報通信学会論文誌D                                     | 6. 最初と最後の頁<br>367 ~ 377   |
| 掲載論文のDOI (デジタルオブジェクト識別子)<br>10.14923/transinfj.2018JDP7040 | 査読の有無<br>有                |
| オープンアクセス<br>オープンアクセスではない、又はオープンアクセスが困難                     | 国際共著<br>-                 |

|  |                         |
|--|-------------------------|
| 1. 著者名<br>山下茂, 松尾惇士                    | 4. 巻<br>Vol. 63, No.6   |
| 2. 論文標題<br>量子回路設計と最適化                  | 5. 発行年<br>2018年         |
| 3. 雑誌名<br>オペレーションズ・リサーチ                | 6. 最初と最後の頁<br>342 ~ 349 |
| 掲載論文のDOI (デジタルオブジェクト識別子)<br>なし         | 査読の有無<br>無              |
| オープンアクセス<br>オープンアクセスではない、又はオープンアクセスが困難 | 国際共著<br>-               |

|  |                 |
|--|-----------------|
| 1. 著者名<br>Jingwen Ding and Shigeru Yamashita   | 4. 巻<br>1       |
| 2. 論文標題<br>Exact Synthesis of Nearest Neighbor Compliant Quantum Circuits in 2D architecture and its Application to Large-scale Circuits | 5. 発行年<br>2019年 |
| 3. 雑誌名<br>IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems  | 6. 最初と最後の頁<br>1 |
| 掲載論文のDOI (デジタルオブジェクト識別子)<br>10.1109/TCAD.2019.2907919  | 査読の有無<br>有      |
| オープンアクセス<br>オープンアクセスではない、又はオープンアクセスが困難   | 国際共著<br>-       |

〔学会発表〕 計22件 (うち招待講演 5件 / うち国際学会 15件)

|   |
|---|
| 1. 発表者名<br>Atsushi Matsuo   |
| 2. 発表標題<br>Dynamical Decomposition and Mapping of MPMCT Gates to Nearest Neighbor Architectures |
| 3. 学会等名<br>26th IEEE Asia and South Pacific Design Automation Conference (ASP-DAC2021) (国際学会)   |
| 4. 発表年<br>2021年   |

|                                     |
|-------------------------------------|
| 1. 発表者名<br>浅田尚也                     |
| 2. 発表標題<br>位相がずれたToffoliゲートの厳密最小化手法 |
| 3. 学会等名<br>第45回量子情報技術研究会 (国際学会)     |
| 4. 発表年<br>2021年                     |

|   |
|---|
| 1. 発表者名<br>Shohei Kuroda  |
| 2. 発表標題<br>A Cost Reduction Method for Quantum Boolean Circuits by Applying The Transduction Method |
| 3. 学会等名<br>Asian Quantum Information Science Conference 2021 (国際学会)                                 |
| 4. 発表年<br>2021年   |

|   |
|---|
| 1. 発表者名<br>Duo Xu   |
| 2. 発表標題<br>Quantum State Preparation By Gaussian Elimination        |
| 3. 学会等名<br>Asian Quantum Information Science Conference 2021 (国際学会) |
| 4. 発表年<br>2021年   |

|   |
|---|
| 1. 発表者名<br>Terumi Oguri   |
| 2. 発表標題<br>T-depth Reduction Considering Multiple MCT Gates with Ancilla Bits |
| 3. 学会等名<br>Asian Quantum Information Science Conference 2021 (国際学会)           |
| 4. 発表年<br>2021年   |



|  |
|--|
| 1. 発表者名<br>Naoya Asada   |
| 2. 発表標題<br>Exact Minimization of a Relative-Phase Toffoli Gate             |
| 3. 学会等名<br>25th Annual Conference on Quantum Information Processing (国際学会) |
| 4. 発表年<br>2022年  |

|   |
|---|
| 1. 発表者名<br>Shouhei Kuroda   |
| 2. 発表標題<br>Optimization of Quantum Boolean Circuits by Relative-Phase Toffoli Gates |
| 3. 学会等名<br>Reversible Computation 2022 (国際学会)                                       |
| 4. 発表年<br>2022年   |

|  |
|--|
| 1. 発表者名<br>山下 茂  |
| 2. 発表標題<br>量子回路の設計手法に関する研究動向                           |
| 3. 学会等名<br>情報処理学会連続セミナー2020 量子コンピュータとソフトウェア2020 (招待講演) |
| 4. 発表年<br>2020年  |

|   |
|---|
| 1. 発表者名<br>山下 茂                                 |
| 2. 発表標題<br>量子回路設計                               |
| 3. 学会等名<br>情報処理学会 量子ソフトウェア研究会月例バーチャルセミナー (招待講演) |
| 4. 発表年<br>2020年                                 |

|  |
|--|
| 1. 発表者名<br>山下 茂                          |
| 2. 発表標題<br>量子ソフトウェア研究会の紹介とSLDM研究会との連携の期待 |
| 3. 学会等名<br>情報処理学会 DAシンポジウム 2020 (招待講演)   |
| 4. 発表年<br>2020年                          |

|  |
|--|
| 1. 発表者名<br>HAN ZHENG TONG                        |
| 2. 発表標題<br>量子ビットの処理順序を考慮したシュタイナーガウス消去法による量子回路の設計 |
| 3. 学会等名<br>デザインガイア2020                           |
| 4. 発表年<br>2020年                                  |

|   |
|---|
| 1. 発表者名<br>Atsushi Matsuo   |
| 2. 発表標題<br>Problem-specific Parameterized Quantum Circuits of the VQE Algorithm for Optimization Problems |
| 3. 学会等名<br>情報処理学会第1回量子ソフトウェア研究発表会   |
| 4. 発表年<br>2020年   |

|   |
|---|
| 1. 発表者名<br>山下茂  |
| 2. 発表標題<br>量子回路設計   |
| 3. 学会等名<br>第18回情報科学技術フォーラム (FIT) イベント企画: 量子コンピュータ技術基盤の創出に向けて (招待講演) |
| 4. 発表年<br>2019年   |

|                                   |
|-----------------------------------|
| 1. 発表者名<br>山下茂                    |
| 2. 発表標題<br>量子回路設計における最適化問題        |
| 3. 学会等名<br>電子情報通信学会 VLD研究会 (招待講演) |
| 4. 発表年<br>2019年                   |

|  |
|--|
| 1. 発表者名<br>Shigeru Yamashita   |
| 2. 発表標題<br>An Efficient Method for Quantum Circuit Placement Problem on a 2-D Grid |
| 3. 学会等名<br>Reversible Computation 2019 (国際学会)                                      |
| 4. 発表年<br>2019年  |

|   |
|---|
| 1. 発表者名<br>Yohei Wakabayashi  |
| 2. 発表標題<br>A handy condition of bridge compression for topological quantum circuits |
| 3. 学会等名<br>19th Asian Quantum Information Science Conference (国際学会)                 |
| 4. 発表年<br>2019年   |

|  |
|--|
| 1. 発表者名<br>Risa Segawa   |
| 2. 発表標題<br>Minimizing Quantum Circuits for Simultaneous Two-Qubit Measurement by Single-Qubit Measurements |
| 3. 学会等名<br>19th Asian Quantum Information Science Conference (国際学会)  |
| 4. 発表年<br>2019年  |

|   |
|---|
| 1. 発表者名<br>Kota Asai  |
| 2. 発表標題<br>Efficient Mapping of the ZX calculus                     |
| 3. 学会等名<br>19th Asian Quantum Information Science Conference (国際学会) |
| 4. 発表年<br>2019年   |

|   |
|---|
| 1. 発表者名<br>Wakaki Hattori   |
| 2. 発表標題<br>The decomposition of an MPMCT gate in consideration of NNA |
| 3. 学会等名<br>19th Asian Quantum Information Science Conference (国際学会)   |
| 4. 発表年<br>2019年   |

|  |
|--|
| 1. 発表者名<br>Jingwen Ding  |
| 2. 発表標題<br>Exact and Approximate Exact Synthesis of Nearest Neighbor Compliant Quantum Circuits in 2-D Architectures |
| 3. 学会等名<br>AQIS 2018 (国際学会)  |
| 4. 発表年<br>2018年  |

|   |
|---|
| 1. 発表者名<br>Kota Asai and Shigeru Yamashita                              |
| 2. 発表標題<br>Compaction of Topological Quantum Circuits by Modularization |
| 3. 学会等名<br>AQIS 2018 (国際学会)   |
| 4. 発表年<br>2018年   |

|   |
|---|
| 1. 発表者名<br>Wakaki Hattori and Shigeru Yamashita   |
| 2. 発表標題<br>Mapping to 2D Nearest Neighbor Architecture by a SAT Solver and A* Algorithm |
| 3. 学会等名<br>AQIS 2018 (国際学会)   |
| 4. 発表年<br>2018年   |

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

| 氏名<br>(ローマ字氏名)<br>(研究者番号) | 所属研究機関・部局・職<br>(機関番号) | 備考 |
|---------------------------|-----------------------|----|
|                           |                       |    |

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

| 共同研究相手国 | 相手方研究機関 |
|---------|---------|
|         |         |