

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年6月12日現在

機関番号：12601

研究種目：基盤研究（S）

研究期間：2007～2011

課題番号：19106005

研究課題名（和文） ナノメートル誘電体・薄膜の電子物性の理解と制御の研究

研究課題名（英文） Understanding and Control of Electronic Properties of Nanometer-thick Dielectric Films

研究代表者

鳥海 明 (TORIUMI AKIRA)

東京大学・大学院工学系研究科・教授

研究者番号：50323530

研究成果の概要（和文）：

CMOS デバイスにおけるゲート絶縁膜の薄膜化に対して膜厚を実際に薄膜化するのではなく、膜の誘電率を上げることでゲート絶縁膜の機能を電氣的に薄膜化するという今回の研究を通して、高誘電率薄膜における絶縁体としてのエネルギー障壁、誘電率の時間的安定性、SiO₂との界面で生ずる電氣的ダイポール層の決定的確認、希土類金属酸化膜の吸湿性に対する一般的理解、あるいは新しい半導体材料(Ge)に対する絶縁膜(GeO₂)の欠陥生成機構に関する実験的証拠を確認できた。

研究成果の概要（英文）：

The gate insulator thickness is required to be thinned for enhancing semiconductor device performances. This project has aimed at the thinning the insulator thickness electrically by increasing the dielectric constant of the films instead of thinning the physical thickness. Through this research, the energy barrier heights of the insulator films with regard to Si have been obtained systematically. In addition, the stability of dielectric constant, the dipoles formed at interfaces between such films and conventional insulator (SiO₂) have been deeply investigated and modeled in terms of atom kinetics in the bulk films and at the interfaces. Furthermore, hygroscopic properties of rare-earth metal oxides have been characterized thermodynamically and the defect generation origin in GeO₂ which will be a new insulator for new semiconductor (Ge) has been also experimentally clarified.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	38,400,000	11,520,000	49,920,000
2008年度	28,200,000	8,460,000	36,660,000
2009年度	3,800,000	1,140,000	4,940,000
2010年度	4,200,000	1,260,000	5,460,000
2011年度	4,500,000	1,350,000	5,850,000
総計	79,100,000	23,730,000	102,830,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子電気材料工学

キーワード：電気・電子材料, 誘電体物性, 超薄膜, 表面・界面物性

1. 研究開始当初の背景

Si-CMOS の心臓部を支えるゲート絶縁膜

が、SiO₂から高誘電率(High-k)絶縁膜へまさに転換されようとしている。しかしながら、

新しい絶縁膜の材料物性は不明の部分が多く、しかもナノメートル厚で作製し、大規模集積回路の中で使えることが要求されている。これは Si という材料に限られた問題ではなく、FET を集積回路の中で使う際のゲート絶縁膜が抱える本質的問題である。このような状況下では、新材料のできるだけ原理的な性質と薄膜領域であるが故の界面に焦点をあてて研究することにきわめて大きな意味があると判断された。

2. 研究の目的

本研究では、材料・プロセスの最適化ではなく材料の持つ物性的な性質を抽出し、さらに極薄誘電体をもつ性質として捉えることを基本的なスタンスとしている。これは今後のエレクトロニクスの基盤技術として必要というだけでなく、数分子層の厚さしかない誘電体に対する新しい材料科学的な研究領域を構築するものとも言える。以上のことを、特に半導体用デバイスにむけた High-k 膜を中心にして、High-k 膜が半導体、金属あるいは異なる絶縁膜界面において見せるきわめて活性な性質を理解し、何をどのように制御すればよいのか明らかにすることが研究の大きな目的である。

3. 研究の方法

本研究では、すでに作製されたデバイスの評価ではなく、洗浄、製膜、熱処理、加工のすべてに対して自ら準備し、それに続いて多面的な材料評価を行うというきわめてオーソドックスで実証的な態度で研究を進めた。つまり、膜の性質がプロセスに大きく依存すること、またその評価結果が製膜プロセスにすぐにフィードバックできること、また一つの評価だけではなく、多角的にいくつかの方法を相補的に矛盾無く理解できることを重要視してきた。製膜は高真空スパッター、あるいは超高真空中での電子線蒸着、パルスレーザー蒸着を使用して行った。そしてそれらの共通性と相違性を明らかにし、物性を見ているのか、製法の個性を見ているのかにも注意を払った。また製膜だけでなくどのようにその後熱処理(PDA)を行うかは膜質に大きく影響することは知られているので、熱力学、反応速度論の基本に戻って、PDA の温度、雰囲気は言うまでもなく、圧力、時間に注意を払いながら行った。膜質評価に関しては電気的測定、光学測定(可視光、UV、X線、可視光、赤外)、熱的測定(TDS)、あるいはこれらの複合測定(内部光電効果(IPE)等)によって、多角的にかつ総合的な理解を進めている。

4. 研究成果

(1) 新規絶縁膜の物性量の評価

絶縁膜、特に High-k 膜をゲート絶縁膜として使用する場合に求められる基本物性量は、比誘電率、電子構造(バンドギャップ、障壁量)、トンネル有効質量である。本研究では、各種絶縁膜の電子構造を系統的、俯瞰的に理解することを目的に、評価手法の検討、その妥当性、結果の理解を進めた。評価手法としては XPS を用いた。XPS 測定する場合に通常 Si 基板を参照電位として使うが、バンドベンディング、High-k/SiO₂ 界面にあるダイポールの影響を避けるために、絶縁膜上面に極薄 Au を蒸着し、Au のコアレベルを参照エネルギーとした。11 種類の酸化膜すべてに関して同様の評価を行ない、典型的な High-k 材料に関して初めて系統的な結果を実験的に得ることができた。

(2) 等価酸化膜厚(EOT)の薄膜化

実効的に High-k 膜の電気的膜厚を薄膜化するためには、誘電率の高い新しい酸化膜を発見するという方法と、既にある High-k 膜に対してその内部構造を調べ、そこから新たな膜設計をめざすことによってさらに誘電率の高い膜(Higher-k 膜)を実現するという手法が一般的には考えられる。従来、前者の方法がよく取られるが、今回の研究では後者の方法にも力を注いできた。実際には Higher-k HfO₂ を各種手法で実現することを大きな目標として行った。つまり HfO₂ の誘電率の起源を考えて、さらに高い誘電率を実現しようと言うものである。我々は本研究を始める前に、HfO₂ にドーピングを行うことで HfO₂ の結晶構造を変調し、誘電率を上げることが可能であることを見つけていた。本研究では、ドーピング以外の Higher-k 相の実現に向けた研究に力を入れ、急速昇温プロセスを非酸素雰囲気中で行う PDA によって、HfO₂ の Higher-k 相を出現させることに成功した。この際の誘電率は $k \sim 50$ に近づく値であった(図1)(通常の HfO₂ は $k < 20$)。しかし、このような非安定相(もともとの HfO₂ の構造として室温における基底状態ではない)における Higher-k の時間的安定性に関しては懸念される。これに関しては、立方晶から斜方晶への構造相転移の問題としてとらえ、一般的な速度論の問題として定式化を行った(JMA 則)。その結果、HfO₂ に関しては JMA 則ははかかなりよく適用できることがわかり、膜形成後のプロセス温度を制御することで現実的な時間領域では安定に使えることができることが予測される(熱力学的には基底状態ではないので、無限の時間後には基底状態に戻るのは当然であり、ここでは数年という現実的時間を考えた。本手法の開発によって、今後 Higher-k 相を扱っていく上での解析に関して基礎的枠組みを構築できたものと考えている。

以上のような Higher-k 膜の適用に関して現実的に懸念されるのは、EOT の薄膜化に伴う誘電率の低下がないかという点である。これに関してドーピングによる Higher-k HfO₂ に関して実証的に調べ、EOT でおおよそ 0.5nm までは誘電率 $k \sim 30$ がほぼ維持されていることを実験的に示した。つまり、物性的には誘電率の向上は薄膜化で失われることはなく、またバンドギャップ、エネルギー障壁、新たな欠陥生成など問題も生じていないことを意味する。これらは今後のより薄膜化に向けた研究開発に対して極めて大きな意味を与えている。

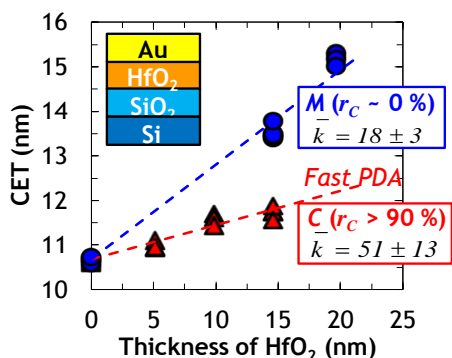


図1. 熱処理の制御によってHfO₂の結晶構造を変えて誘電率をおおよそ50まで上げることができた。

(3) 絶縁膜/絶縁膜界面のダイポール解析

SiO₂/High-k 界面にダイポール層が形成されるという実験結果を電気的な評価(C-V 測定における V_{FB}の結果)から見いだした。この結果は High-k ゲートスタックにおけるしきい値の理解、調整に対して極めて大きな貢献をしたと考えている。さらに、そのダイポール層の形成機構に関して界面における High-k と SiO₂の酸素密度の差に着目し、その差がダイポール形成の駆動力になるというまったく新しいモデルを提案した。この考え方によれば今までに報告されている実験事実を無理なく説明することができている。この考え方は結果を説明するというよりも、むしろ結果を導き出すための駆動力を議論しており、実験結果に対する一般的理解という意味でつじつま合わせでなく無理のない見方であると言える。

一方、異なる物理評価からダイポールを検証する事に関しては、ダイポールが界面で形成する界面電界が Si2p シグナルへ及ぼす効果に着目し、XPS を用いて High-k 材料によるダイポールの向きの変化を捉えることに成功した。

さらに、このダイポール層を考える上で実現することが求められていた点がある。それは SiO₂/High-k 界面のダイポールが存在するのなら、その逆向きに High-k/SiO₂ 界面にもダイポール層が実現されるはずであるとい

う点である。そうだとすると、SiO₂/High-k/SiO₂ 構造ではダイポール効果がキャンセルされるであろうということである(図2)。今回もっとも新しい結果として、この点に関して極めて進展があった。それは、実際に SiO₂/High-k/SiO₂ 構造におけるダイポールのキャンセル効果を実験的に確認できたことである。実際に SiO₂/Al₂O₃/SiO₂、SiO₂/Y₂O₃/SiO₂ の MIS キャパシタサンプルを形成し、両方ともほぼ High-k 膜のない場合の V_{FB}に戻ることを実験的に確認することができた。この結果は CMOS のしきい値電圧の調整という意味だけではなく、ヘテロ絶縁膜間に電気的なダイポールが形成されるという界面の特殊性を極めて特徴的に示している結果である。

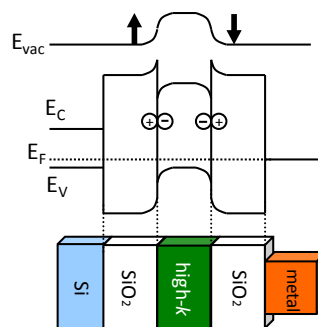


図2. SiO₂で高誘電率膜層を挟むことによって、界面で形成されたダイポールを打ち消しあうことの原理的な模式図。

(4) メタル/極薄絶縁膜/半導体界面

メタル/Ge は典型的に強い Fermi-level Pinning が起こる系として知られているが、この界面に絶縁膜を挿入することで、界面におけるショットキー特性、つまり障壁高さ、ピンニングの強さ、が大きく変わることを見つけた。この結果を詳細に調べたところ、比較的厚い絶縁膜膜(~2nm)を挿入しても効果が続くことがわかった。MIGS モデルとの関係など今後まだ詰めるべき事は多くあるが、この発見がもたらした影響は大きく、メタル/半導体界面を考えなおす基本的な実験になるものと考えている。絶縁膜が界面で何を起こしているか焦点であるが次の二点を引き起こしていると考えている。一つは Pinning を弱めること、もう一点は電荷中性点をシフトさせていることである。全体の結果を説明しようとする、一方の機構だけでは説明できない。上記事実および考え方は、Fermi-level Pinning を一般的に捉え、理解するためのとっかかりとなる実験結果と考えている。現在、その定式化に取り組んでいる。

(5) Ge 基板の酸化機構と膜中欠陥の解析

Ge は Si よりもモビリティが高いという観

点から注目を浴びているが、我々は Ge と絶縁膜の界面あるいは Ge 上の絶縁膜の性質に関して調べてきた。大きな特徴は、まず Ge/GeO₂ から GeO の脱離が低温で観測される点である。この脱離機構に関しては、同位体酸素を用いて界面で生成した GeO が膜中拡散して表面から脱離という単純な過程ではないことを明らかにし、界面における反応に基づいて生成した酸素空孔が表面に向かって拡散して、表面から GeO という形で脱離するという基本モデルを構築した。

また GeO₂ は GeO が脱離し易いことから酸素欠損の影響が大きいと考えられる。実際に酸素欠損の増加に伴い、光吸収端にテイル成分が現れることを初めて見いだした。欠陥同定はまだできていないが、より極端な状況下では (N₂ ガス処理など)、バルク膜中に ESR 欠陥が明確に観測され、微視的欠陥と対応していることが推測されている。さらに、UHV 中での熱処理による GeO の脱離に伴って GeO₂ の結晶化(α-クォーツ型)することが明瞭に TEM および XRD によってはじめて観測された (図 3)。これは酸素空孔拡散によって局所的な構造安定化が進んだ結果と考えられる。この結果は GeO₂ の性質を明瞭に表すというだけでなく、典型的な絶縁膜材料である SiO₂ との同一性と差異を理解し、ガラスの安定性を理解する上での一般的な結果を含むものと理解できる。

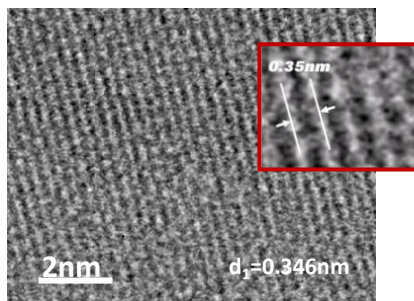


図 3. Ge 基板上的 GeO₂ を真空中で処理後の GeO₂ の結晶化を示す断面 TEM 写真。

(6) 希土類絶縁膜の安定性

La₂O₃ に代表される希土類金属酸化膜は HfO₂ の次に期待されている高誘電率膜の候補である。しかし、吸湿性が大きいこと、また高誘電率が出現するヘキサゴナル相の安定化が難しく期待されほどには具体的な結果が出ていない。本研究では吸湿性に関する熱力学計算を行い、どの材料が吸湿性に対して安定かを見積もることができた。この一環として、La₂O₃ に Y₂O₃ を導入することで吸湿性を防ぎながらヘキサゴナル相が安定化することを実験的に見いだした。これによって 30 程度の誘電率を安定的に実験結果として得ることができるようになった。この結果

は希土類金属酸化物一般に展開できるはずである。つまり、この場合も先に述べた HfO₂ の場合と同様に、結晶相の安定化が高誘電率の出現には決定的に重要であることを具体的に示した結果である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 34 件)

1. S. Hibino, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Counter Dipole Layer Formation in Multi-layer High-k Gate Stacks", Jpn. J. Appl. Phys., 査読有, accepted, 2012.
2. K. Tomida, K. Kita, and A. Toriumi, "Higher-k Scalability and Leakage Current Reduction of SiO₂-Doped HfO₂ in Direct Tunneling Regime", Jpn. J. Appl. Phys., 査読有, 50, 2011, 111502.
3. A. Toriumi, Y. Nakajima, and K. Kita, "Opportunity for Phase-controlled Higher-k HfO₂", ECS-Trans., 査読有, 41 (7), 2011, 125-136.
4. L.Q. Zhu, K. Kita, T. Nishimura, K. Nagashio, S.K. Wang, and A. Toriumi, "Interfacial Dipole at High-k Dielectric / SiO₂ Interface: X-ray Photoelectron Spectroscopy Characteristics", Jpn. J. Appl. Phys., 査読有, 50, 2011, 031502.
5. L.Q. Zhu, K. Kita, T. Nishimura, K. Nagashio, S.K. Wang, and A. Toriumi, "Observation of Dipole Layer Formed at High-k Dielectrics/SiO₂ Interface with X-ray Photoelectron Spectroscopy", Appl. Phys. Exp., 査読有, 3, 2010, 061501.
6. Y. Zhao, K. Kita, and A. Toriumi, "Thermodynamic analysis of moisture absorption phenomena in high-permittivity oxides as gate dielectrics of advanced complementary-metal-oxide-semiconductor devices", Appl. Phys. Lett., 査読有, 96, 2010, 242901.
7. K. Nagashio, C. H. Lee, T. Nishimura, K. Kita, and A. Toriumi, "Thermodynamics and kinetics for suppression of GeO desorption by high pressure oxidation of Ge", MRS Symp. Proc., 査読有, 1155, 2009, 06-02.
8. Y. Zhao, K. Kita, K. Kyuno, and A. Toriumi, "Dielectric and electrical properties of amorphous La_{1-x}Ta_xO_y films as higher-k gate insulators", J. Appl. Phys., 査読有, 105, 2009, 34103.

9. Y. Zhao, K. Kita, K. Kyuno, and A. Toriumi, "Band gap enhancement and electrical properties of La_2O_3 films doped with Y_2O_3 as high-k gate insulators", *Appl. Phys. Lett.*, 査読有, 94, 2009, 042901.
 10. K. Kita, T. Takahashi, H. Nomura, S. Suzuki, T. Nishimura and A. Toriumi, "Control of high-k/germanium interface properties through selection of high-k materials and suppression of GeO volatilization", *Appl. Surf. Sci.*, 査読有, 254, 2008, 6100-6105.
 11. T. Nishimura, K. Kita, and A. Toriumi, "A Significant Shift of Schottky Barrier Heights at Strongly Pinned Metal/ Germanium Interface by Inserting an Ultra-Thin Insulating Film", *Appl. Phys. Exp.*, 査読有, 1, 2008, 51406-1-51406-3.
 12. J. Widiez, K. Kita, K. Tomida, T. Nishimura, and A. Toriumi, "Internal Photoemission over HfO_2 and $\text{Hf}_{(1-x)}\text{Si}_x\text{O}_2$ High-k Insulating Barriers : Band Offset and Interfacial Dipole Characterization", *Jpn. J. Appl. Phys.*, 査読有, 47, 2008, 2410-2414.
 13. Y. Yamamoto, K. Kita, K. Kyuno and A. Toriumi, "Study of La-Induced Flat band Voltage Shift in Metal/ HfLaO_x / SiO_2 / Si Capacitors", *Jpn. J. Appl. Phys.*, 査読有, 46(11),2007, 7251-7255.
 14. T. Nishimura, K. Kita, and A. Toriumi, "Evidence for strong Fermi-level pinning due to metal-induced gap states at metal /germanium interface", *Appl. Phys. Lett.*, 査読有, 91, 2007, 123123.
 15. Y. Zhao, K. Kita, K. Kyuno and A. Toriumi, "Mechanisms of and Solutions to Moisture Absorption of Lanthanum Oxide as High k Gate Dielectric", *ECS-Trans.*, 査読有, 6(1), 2007, 141-148.
- [学会発表] (計 127 件)
1. S. Hibino, T. Nishimura, K. Nagashio, K. Kita and A. Toriumi, "Counter Dipole Layer Formation in SiO_2 /High-k/ SiO_2 / Si Gate Stacks", *Silicon Nanoelectronics Workshop (2012)*, 6/10/2012, Honolulu, USA.
 2. K. Kita, S.K. Wang, T. Tabata, C.H. Lee, T. Nishimura, K. Nagashio and A. Toriumi, "Control of Ge/High-k Interface for Ge CMOS Technology (invited)", 39th Conf. Physics and Chemistry of Surfaces and Interfaces, (PCSI-39),1/25/2012, Santa Fe, USA.
 3. A. Toriumi, C. H. Lee, S. K. Wang, T. Tabata, M. Yoshida, D. D. Zhao, T. Nishimura, K. Kita, and K. Nagashio, "Material Potential and Scalability Challenges of Germanium CMOS (invited) ", 2011 IEEE International Electron Device Mtg. (IEDM2011), 12/7/2011, Washington DC, USA.
 4. Y. Nakajima, K. Kita, T. Nishimura, K. Nagashio, and A. Toriumi, "Phase Transformation Kinetics of HfO_2 Polymorphs in Ultra-Thin Region", 2011 Symposia on VLSI Technology, 6/15/2011, Kyoto, Japan.
 5. T. Tabata, C. H. Lee, K. Kita, and A. Toriumi, "Direct LaLuO_3 /Ge Gate Stack Formation by Interface Layer Scavenging and Subsequent Low Temperature O_2 Annealing", 218th ECS Mtg., 10/13/2010, Las Vegas, USA.
 6. K. Kita, L. Q. Zhu, T. Nishimura, K. Nagashio, and A. Toriumi, "Formation of Dipole Layers at Oxide Interfaces in High-k Gate Stacks (invited)", 218th ECS Mtg.,10/12/2010, Las Vegas, USA.
 7. Y. Nakajima, K. Kita, T. Nishimura, K. Nagashio, and A. Toriumi, "Experimental Demonstration of Higher-k Phase HfO_2 through non-equilibrium Thermal Treatment", 217th ECS Mtg., 4/27/2010, Vancouver, Canada.
 8. A. Toriumi and T. Nabatame, "Anomalous V_{FB} Shift in High-k Gate Stacks - Is its origin at the top or bottom interface?- (invited)", 216th ECS Mtg., 10/5/2009, Vienna, Austria
 9. A. Toriumi and K. Kita, "On the Origin of Anomalous V_{TH} Shift in high-k MOSFETs (invited)",215th ECS Mtg., 5/27/2009, San Francisco, USA.
 10. K. Kita and A. Toriumi, "Intrinsic Origin of Electric Dipoles Formed at High-k/ SiO_2 Interface", 2010 IEEE International Electron Device Mtg. (IEDM), 12/15/2008, San Francisco, USA.
 11. A. Toriumi, "Physical Model of V_{TH} Instability in High-k MOSFETs (invited)", 2010 IEEE Semicon. Interface Specialist Conf. (SISC), 12/12/2008, San Diego, USA.

12. A. Toriumi, T. Nabatame and H. Ota, "Application of Advanced Atomic Layer Deposition for Understanding and Control of V_{TH} and EOT in Metal/High-k Gate Stacks (invited)", Pacific Rim Mtg. on Electrochemical and Solid-State Science, 10/14/2008, Honolulu, USA.
13. A. Toriumi, K. Kita, S. Migita and Y. Watanabe, "Phase Controlled HfO_2 for Higher-k Dielectrics (invited)", Higher-k Workshop, 8/22/2008, Stanford Univ., USA.
14. A. Toriumi, K. Kita, K. Tomida, Y. Zhao, J. Widiez, T. Nabatame, H. Ota and M. Hirose, "Materials Science-based Device Performance Engineering for Metal Gate High-k CMOS (invited)", 2007 International Electron Device Mtg. (IEDM), 12/12/2007, Washington DC, USA.
15. T. Nishimura, K. Kita, A. Toriumi, "A Significant Shift of Strongly Pinned Charge Neutrality Level at Metal/Germanium Interface by Inserting Ultra-thin Oxides", 38th IEEE Semiconductor Interface Specialists Conference (SISC2007), 12/10/2007, Arlington, USA.
16. A. Toriumi, "Current Status and Perspective of High-k Gate Stack Materials Engineering for Further Scaled CMOS (invited)", 212th ECS Mtg., 10/10/2007, Washington DC, USA.
17. A. Toriumi, "High-k dielectric films for advanced microelectronics (invited)", International Conf. <Micro- and Nanoelectronics 2007>, 10/2/2007, Moscow, Russia.
18. A. Toriumi, K. Kita and T. Nishimura, "High-k Dielectrics and Metals on Germanium (invited)", International Workshop on High-k Dielectrics on High Electron Mobility Channel Materials, 5/25/2007, Taiwan.
19. A. Toriumi and K. Kita, "Ternary High-k Dielectrics for Advanced CMOS (invited)", International Workshop on High-k Dielectrics on High Electron Mobility Channel Materials, 5/25/2007, Taiwan.

[図書] (計 2 件)

1. A. Toriumi, K. Kita, M. Toyama and H. Nomura (Chapter11 部分を担当), Springer, "Advanced Gate Stacks for

High-Mobility Semiconductors", Chap. 11: "Interface Properties of High-k Dielectrics on Germanium", 発行年 2007, 総ページ数 : 383, 担当ページ : 257-267.

[その他]
ホームページ等

<http://www.adam.t.u-tokyo.ac.jp/top.html>

6. 研究組織

(1) 研究代表者

鳥海 明 (TORIUMI AKIRA)
東京大学・大学院工学系研究科・教授
研究者番号 : 50323530

(2) 研究分担者

喜多 浩之 (KITA KOJI)
東京大学・大学院工学系研究科・准教授
研究者番号 : 00343145 (H19 年度)

西村 知紀 (NISHIMURA TOMONORI)
東京大学・大学院工学系研究科・技術専門
職員
研究者番号 : 10396781 (H19 年度)

(3) 連携研究者

喜多 浩之 (KITA KOJI)
東京大学・大学院工学系研究科・准教授
研究者番号 : 00343145

西村 知紀 (NISHIMURA TOMONORI)
東京大学・大学院工学系研究科・技術専門
職員
研究者番号 : 10396781