

平成22年6月1日現在

研究種目：基盤研究（A）  
 研究期間：2007～2009  
 課題番号：19206038  
 研究課題名（和文）絶縁ゲートを持つ縦型 InP 系ホットエレクトロントランジスタの研究  
 研究課題名（英文） Research on vertical InP-related hot electron transistors with insulated gate  
 研究代表者 宮本 恭幸  
 (MIYAMOTO YASUYUKI)  
 東京工業大学・大学院理工学研究科 准教授  
 研究者番号：40209953

## 研究成果の概要（和文）：

本研究は、縦型化合物半導体トランジスタとして今までに無く微細な 15nm 幅チャンネルを用いることで、6 MA/cm<sup>2</sup> という従来最高値の約 3 倍の高速化に重要である高電流密度を実現した。さらに電子を加速するヘテロ接合ランチャとも組み合わせることで、チャンネル長に寄らない電流駆動能力という電子がチャンネル内で無衝突の場合の状況を確認した。高駆動能力化の為の High-k 絶縁膜と横型への拡張の為の再成長ソースの研究も行った。

## 研究成果の概要（英文）：

High current density (6 MA/cm<sup>2</sup>) that was important for high speed operation was achieved by using a 15-nm-wide source that was narrowest in compound semiconductor vertical transistors. Moreover, the current drivability without dependence of channel length was confirmed and suggested that electron transportation in the channel was ballistic. High-k dielectric for high drivability and regrown source for extension of the scheme in lateral device were also studied.

## 交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	18,000,000	5,400,000	23,400,000
2008 年度	7,500,000	2,250,000	9,750,000
2009 年度	6,000,000	1,800,000	7,800,000
年度			
年度			
総計	31,500,000	9,450,000	40,950,000

## 研究分野：工学

科研費の分科・細目：電気電子工学 ・ 電子デバイス・電子機器

キーワード：ホットエレクトロン、電子ランチャー、InP/InGaAs、電子ビーム露光、III-V MOS、バリスティック電子、モンテカルロシミュレーション、縦型電子デバイス

## 1. 研究開始当初の背景

高速電子デバイスにおいて、性能指標を決める重要な概念は、遮断周波数と駆動能力であり、その両方の改善がお互いに性能をも高める重要な指標である。駆動能力は、pn 接合等による熱電子放出エミッタがもっとも高

いと考えられ、電子の走行速度が大きな InP 系 III-V 族半導体と組み合わせたヘテロ接合バイポーラトランジスタ(HBT)により、世界最高の遮断周波数である 710GHz が 2005 年にイリノイ大学から報告されている。2001 年からの HBT の速度向上は、大電流密度に

よる充電時間の縮小と、短走行距離による走行時間の縮小の両方が助け合ったからであるが、InP系の長所である高い電子走行速度については、ここ数年  $4 \times 10^7 \text{cm/s}$  程度で殆ど進歩していない。本来、ヘテロ接合によるエミッタを出た直後では、バンド不連続によるランチャ効果により  $8 \times 10^7 \text{cm/s}$  程度の速度が望める。しかしながら、HBTでの高濃度ベース層で散乱を受け、急速に速度は落ちる。ベースコレクタ界面での内蔵電界で再加速するが、ヘテロ接合ほど急峻ではないので、散乱電子が混じってしまい、平均速度が  $4 \times 10^7 \text{cm/s}$  程度に留まる。更なる走行距離縮小による高速化へのアプローチは、走行時間は縮小しても充電時間の増大を招いてしまう。従って、今後の高速化には、電子の速度を速くするバリスティック性を高めることが必須である。

電子のバリスティック走行をトランジスタに用いる試みは、既に1980年代からコーネル大学や富士通などが盛んに研究された。ただし、これまでの試みでは、電流密度の低さから充電時間の制限を受け、LOフォノン散乱長よりも長い走行距離による散乱も避けられなかった。

## 2. 研究の目的

本研究は駆動能力の向上をヘテロ接合バイポーラトランジスタにおいて実績のある熱電子放出エミッタとし、また高い電子走行速度を得るためにバンド不連続によるランチャ効果をもちいて、さらにその電流量制御を絶縁層を挟んだソース両脇のゲートで行うことで、新たな高速電子デバイスを形成しようとしたものである。

## 3. 研究の方法

当初作製した構造では、メサ幅50nmのデバイスにおいて観測されたドレイン電流密度は約  $200 \text{kA/cm}^2$  であった。この構造では、ゲート電極の位置制御をベンゾシクロブテン(BCB)のエッチバックによって制御しており、ゲート電極とチャンネルの間のゲート絶縁膜厚を制御することが困難であった。これにより、数  $\text{kA/cm}^2$  以上のゲートリーク電流が流れてしまうデバイスが多く、ゲートリーク電流が流れずにドレイン電流の変調が観測できる素子数が全体の1%程度であり、作製が困難であった。そこで、デバイス作製を容易にするためにゲート電極をソース側面にオーバーラップさせた構造に修正した。後で示すように電流密度を上げればこの構造でも高い遮断周波数を得ることができる。

ソース層の側面はすべてゲート電極で覆われた構造として作製した。当初作製したデバイスの設計は、チャンネル長120nm、ソースドーピング濃度  $2 \times 10^{18} \text{cm}^{-3}$ 、チャンネルはアン

ドープ、ゲート絶縁膜は  $\text{SiO}_2$  を5nmとした。ドレインはタングステンとした。このプロセスを用いて作製したデバイスを測定した結果、ゲートリーク電流が流れずに、ドレイン電流の変調動作が確認できる素子数が全体の50%程度にまで向上した。これは、ゲート絶縁膜厚をエッチバックによって制御するのではなく、意図的に成膜したためにメサ側面に確実にゲート絶縁膜が残ったためであると考えている。

一方で、高速動作に必要なメサ幅20nm程度のデバイスにおける高電流密度動作は観測できなかった。高電流密度動作が確認できたのは、メサ幅50nmと60nmのデバイスであり、得られたドレイン電流密度はそれぞれ  $400 \text{mA/mm}$ 、 $1 \text{A/mm}$  である。計算されたドレイン電流密度は、それぞれ  $1.5 \text{A/mm}$ 、 $1.8 \text{A/mm}$  であるので、実験値よりも大幅に大きい値となっている。しかしながら、メサ幅が10nm増えたことによるドレイン電流密度の増加分は、実験値は  $600 \text{mA/mm}$  であり、計算値である  $300 \text{mA/mm}$  と比較してほぼ等しいことがわかる。このことから、計算通りの電流が流れている領域は、メサの中央部の幅10~20nm程度の領域のみではないかと考えた。これは、ICP-RIEによるプラズマダメージ領域またはフェルミレベルピニングによるソース領域の空乏化が疑われた。そこで、ドライエッチング後にチャンネル層に片側30nm程度のアンダーカットを行うことを考えた。

チャンネル層のみのアンダーカットを行うために、エッチャントはInGaAsとInPの選択性に優れていることが必要である。また、ICP-RIEで形成した垂直なメサ形状を維持するために、異方性エッチングが可能なエッチャントが望ましい。これらの条件を満たすエッチャントとして、チャンネルのアンダーカットにはリン酸系エッチャントを用いた。(リン酸：過酸化水素水：水=1：2：40)このエッチャントでは、 $\langle 01-1 \rangle$ 方向のエッチングスピードが $\langle -100 \rangle$ 方向のエッチングスピードよりも2倍遅いエッチャントであり、InPとの選択性にも優れている。我々の実験においてはInPのエッチングは確認できなかった。

さらにゲートスタック構造の形成方法として、ゲート電極の斜め方向からの蒸着を導入した。アンダーカットが30nm程度入っていることにより、斜め方向から蒸着を行うことで自己整合的にドレイン電極とゲート電極を分離することができる。

同時に、 $\text{Al}_2\text{O}_3$ による高い誘電率とドライエッチング耐性を持った絶縁層も導入した。作製は原子層堆積装置を用いて行ったが、この絶縁膜は成膜後のアニール条件により、その特性が大きく変わることから、InGaAs 12nm/InP 5nmのコンポジットチャンネルを持つ横型化合物半導体MOSFETを作製して、そ

の電気的特性から評価を行った。ソースとドレインは、その部分のみ n-InGaAs 層を残してコンタクトとしてある。

さらに、同じようなヘテロ構造電子ランチャを持った横型化合物半導体 MOSFET を実現するため、MOVPE の選択成長によりソースを形成した。SiO<sub>2</sub> のダミーゲートを作製することにより、チャンネル長 175nm の素子を作製した。

#### 4. 研究成果

作製したデバイスの断面 SEM を図 1 に示す。

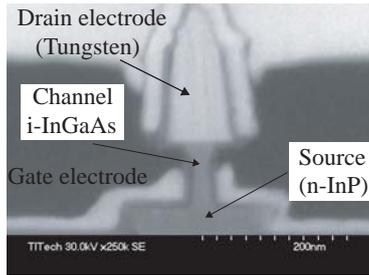


図 1 作製したデバイスの断面 SEM 像

チャンネルメサ幅が 15nm となっていることがわかる。Al<sub>2</sub>O<sub>3</sub> は 7.5nm、チャンネル長は 100nm である。

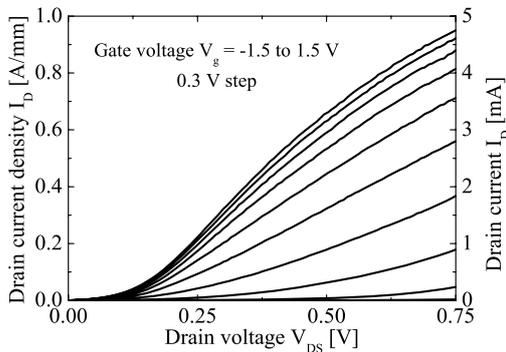


図 2 作製したデバイスの I-V 特性

デバイスのソース接地特性を図 2 に示す。作製したデバイスでは、ドレイン電圧 0.75V、ゲート電圧 1.5V のときにドレイン電流密度が 0.95A/mm となっていることがわかる。チャンネルメサ幅が 15nm なので単位面積当たりでは 6.3MA/cm<sup>2</sup> の電流密度となっている。ゲートリーク電流は測定した電圧の範囲においては、45 A/cm<sup>2</sup> よりも小さいため、ゲートの絶縁性も確認できている。

名取筑波大名誉教授が提案したモデルでは、バリスティック伝導が実現されている場合には、ソースから注入された電子がチャンネル内において後方散乱を受けないことがない。そのため、バリスティック伝導が実現できていれば、チャンネル長を長くしたとしても同じ

測定条件において観測される電流密度は減少しないと考えられる。そこで、同じプロセスで作製したチャンネル長 60nm のデバイスの電流密度と比較した結果を図 3 に示す。

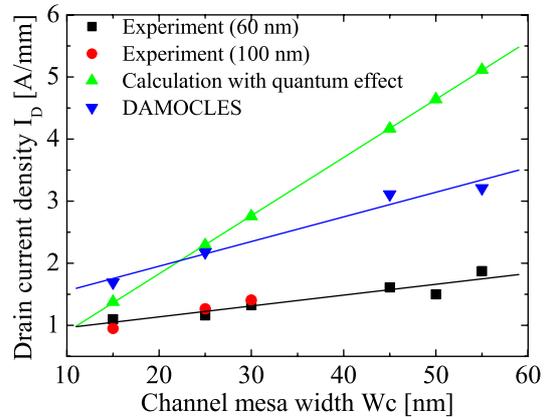


図 3 チャンネル長およびチャンネル幅依存性

図 3 はすべて同じ電圧 (ドレイン電圧 0.75V、ゲート電圧 1.5V) で測定した結果であるが、チャンネル長 60nm と 100nm で電流量は減少していないことがわかる。この結果より、少なくともチャンネル長 100nm までは電子は後方散乱を受けることなくソースからドレインに向けて走行していると考えられる。すなわち、名取モデルでのバリスティック伝導が実現できている可能性を示唆している。

また、得られた電流密度が理論的に妥当かどうかを調べるために、モンテカルロシミュレーションプログラム DAMOCLES による計算結果と実験結果も図 3 で比較した。チャンネルメサ幅に対するドレイン電流密度の変化の傾きは、モンテカルロシミュレーションと実験ではほぼ一致していることがわかる。一方で、電流密度の大きさに差があるが、モンテカルロシミュレーションでは、トンネル効果や量子反射などの量子効果を考慮しないで計算を行っており、実際にはヘテロ障壁において量子効果の影響があると考えられる。空間電荷を考慮しない簡単な計算で量子効果を導入した結果も図 3 に示した。比較するとチャンネルメサ幅 15nm ではモンテカルロシミュレーションの結果よりも小さい値であることがわかる。このため、モンテカルロシミュレーションと実験値との差は量子効果によるものであると考えている。一方、量子効果を考えた計算では、空間電荷の影響でチャンネルメサ幅に対する電流密度の変化の傾きが異なっていると考えられる。

Al<sub>2</sub>O<sub>3</sub> の絶縁層としての評価は、2μm のチャンネル長を持つ InGaAs/InP MOSFET の特性から評価した。当初アニールを行わない時は同じ膜厚を持つ SiO<sub>2</sub> ゲートの素子と比べてほとんど同じ程度の特徴しか持たなかったが、

350°C、120 秒のアニールを電極形成後に行くと、ゲート・ドレイン共に 3V 印加したときのドレイン電流が 560mA/mm から 742mA/mm に、ドレイン電圧 0.5V での最大伝達コンダクタンスも 153mS/mm から 254mS/mm に、さらにサブスレッショルドスロープは 402mV/dec から 179mV/dec と大幅に改善された。

続いて、選択成長ソースを持った MOSFET の特性について示す。

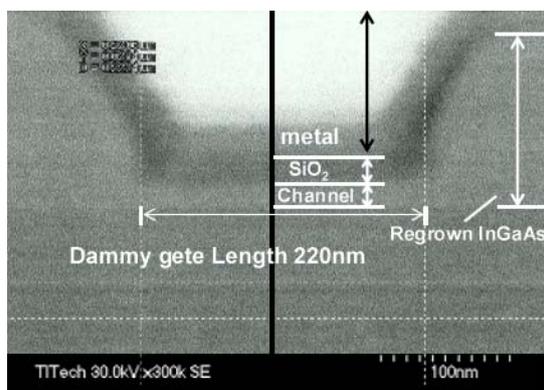


図 4 再成長ソースを持つ MOSFET の断面図

図 4 に、再成長ソースを持つ MOSFET の断面 SEM 像を示す。再成長で作製したソースとチャンネルが連続的に形成できていることが判る。なお、この成長では、チャンネルとソースで同じ組成を目指していることから、どこまでが再成長層かを見分けられないが、両側からの約 25nm はアンダーカットエッチングにより再成長前に除去されていることから、チャンネル長は約 170nm と推測される。

つづいて作製した素子の I-V 特性を示す。得られたドレイン電流はドレイン電圧 1V、ゲート電圧 3V で 940mA/mm であり、また相互コンダクタンスは 534mS/mm であった。この素子の絶縁膜は 20nm 厚の SiO<sub>2</sub> を用いており、ゲート長 2μm の場合は 200mS/mm 以下の伝達コンダクタンスしか得られていない。それと比較してあきらかにチャンネル長縮小により特性改善していることが判る。

素子抵抗のチャンネル長依存性を図 6 に示す。再成長ソースを用いることで、チャンネル長がゼロの時の残留抵抗、すなわちソースとドレイン部両側で起こっているアクセス抵抗が、再成長を用いない素子に比べて 1/3 程度になっていることが判る。

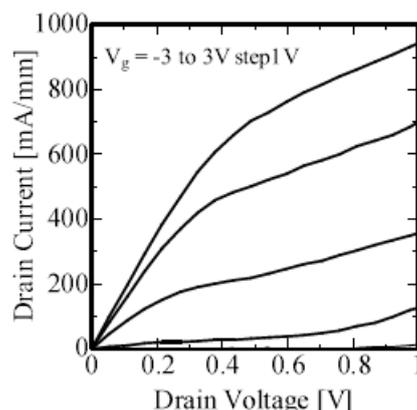


図 5 再成長ソース MOSFET の I-V 特性

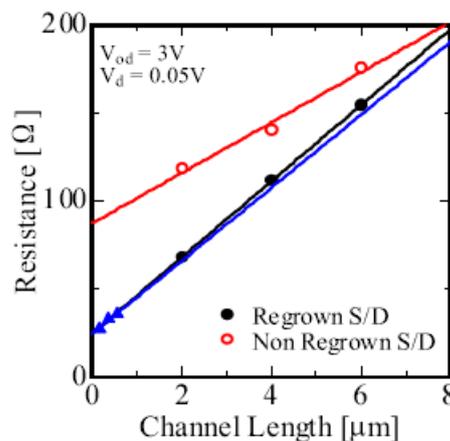


図 6 素子抵抗のチャンネル長依存性

なお、ゲート電極はソース層の側面までオーバーラップしている構造が、遮断周波数に対してどの程度の影響を及ぼすかをモンテカルロシミュレーションにより見積もった。チャンネル長 60nm のデバイスに対して計算した結果、6MA/cm<sup>2</sup> 以上の電流密度を実現すれば、20nm まではオーバーラップしても遮断周波数 1THz を超えることが判った。これは、ゲート直下に BCB など low-k 材料を挟むことによって実現することが可能な値である。

なお、示した以外にも比較の為の HBT の高性能化に関する研究やエミッタ充電時間に関する研究も行ったが、この報告では紙面の関係から割愛する。

以上チャンネル幅を 15nm と狭くして、6MA/cm<sup>2</sup> という非常に高い電流密度を達成したことが、本研究での一番大きな成果であり、当初設定した目的を達成したと言える。

この数値は縦型化合物半導体トランジスタとしては他の研究機関で得られている値に比べて非常に優れている。たとえばこの素子でのチャンネル長に相当する HBT のエミッタ幅では 100nm 程度が報告されている最小例で

あり、電流密度では  $2 \text{ MA/cm}^2$  程度がトランジスタでの最高値である。これは、今後の高速化への発展に向けて非常に重要な鍵となると考えられる。

今後の展開としては、このデバイスを素子として実用化するためには、まだソース・ゲート間の大きな容量を低減する必要がある。これは前もって数十 nm 程度の BCB 膜をソース上部のみに成膜することで実現可能であり、現在初期的な実験結果を得ている。さらに高性能 Si MOSFET と較べれば倍以上  $\text{SiO}_2$  膜厚換算で厚い絶縁膜を利用しているが、これは High-k への注力がまだ始まったばかりであることに強く起因しており、すでに原子層堆積層装置にハフニウムを導入して初期的な実験を開始していることから、これも比較的容易に今後結果を示しうらと思う。

さらに本研究で示した非常に高い電流密度を応用できるのは、実は HBT である。HBT の高性能化は高電流密度と強く結びついていることから、今回の構造を HBT に応用していくことで、耐圧や出力コンダクタンスの面で優れている HBT のさらなる高性能化が期待できる。

## 5. 主な発表論文等

〔雑誌論文〕 (計 5 件)

- (1) Y. Miyamoto, S. Takahashi, T. Kobayashi, H. Suzuki, and K. Furuya, Estimation of collector current spreading in InGaAs SHBT having 75-nm-thick collector, *IEICE TRANSACTIONS on Electronics*, 査読有、vol. E-93C, 2010, pp. 644-647.
- (2) T. Uesawa, M. Yamada, Y. Miyamoto, and K. Furuya, Monte Carlo Analysis of Base Transit Times of InP/GaInAs Hetero-junction Bipolar Transistors with Ultra thin Graded Bases, *Jpn. J. Appl. Phys.* 査読有、vol. 49, 2010, 024302
- (3) H. Saito, Y. Miyamoto, and K. Furuya, Improvement in Gate Insulation in InP Hot Electron Transistors for High Trans-conductance and High Voltage Gain, *Applied Physics Express*, 査読有、巻 2, 2009, 03451
- (4) M. Igarashi, K. Furuya, and Y. Miyamoto, Cutoff Frequency Characteristics of Gate-Control Hot Electron Transistors by Monte Carlo Simulation, *Physica Status Solidi (C)*, 査読有、巻 5, 2008, 70-73
- (5) A. Suwa, T. Hasegawa, T. Hino, H. Saito, M. Oono, Y. Miyamoto, and K. Furuya, InP/InGaAs hot electron transistors with insulated gate, *Jpn. J. Appl. Phys.*, 査読有、巻 46, 2007, L617-L619

〔学会発表〕 (計 13 件)

- (1) T. Kanazawa, K. Wakabayashi, H. Saito, R. Terao, T. Tajima, S. Ikeda, Y. Miyamoto and K. Furuya, Submicron InP/InGaAs composite channel MOSFETs with selectively regrown n<sup>+</sup>-source/drain buried into channel undercut, *22nd Int. Conf. Indium Phosphide and Related Materials (IPRM2010)*, 2010年6月2日、香川県高松市
- (2) H. Saito, Y. Miyamoto, and K. Furuya, Selective undercut etching for ultra narrow mesa structure in vertical InGaAs channel MISFET, *22nd Int. Conf. Indium Phosphide and Related Materials (IPRM2010)*, 2010年6月2日、香川県高松市
- (3) 宮本恭幸、テラヘルツ帯におけるトランジスタ (招待講演)、応用電子物性分科会研究例会、2010年1月29日、東京
- (4) Y. Miyamoto, InGaAs/InP MISFET (Invited), *Int. Symposium on Silicon Nano Devices in 2030*, 2009年10月14日、東京
- (5) T. Kanazawa, Fabrication of InP/InGaAs Undoped Channel MOSFET with Selectively Regrown N<sup>+</sup>-InGaAs Source Region, *2009 Int. Conf. Solid State Devices and Materials (SSDM 2009)*, 2009年10月7日、宮城県仙台市
- (6) Y. Miyamoto, InGaAs/InP MISFET with epitaxially grown source (Invited), *2009 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD)*, 2009年6月25日、Busan, Korea
- (7) T. Kanazawa, InP/InGaAs-channel MOSFET with MOVPE Selective Regrown Source, *21st Int. Conf. Indium Phosphide and Related Materials (IPRM2009)*, 2009年5月13日、Newport Beach, USA
- (8) H. Saito, Vertical InGaAs MOSFET with Hetero-Launcher and Undoped Channel, *21st Int. Conf. Indium Phosphide and Related Materials (IPRM2009)*, 2009年5月13日、Newport Beach, USA
- (9) Y. Miyamoto, InGaAs MISFET with hetero-launcher (Invited), *2009 RCIQE International Seminar on "Advanced Semiconductor Materials and Devices"*, 2009年3月3日、北海道札幌市
- (10) T. Kanazawa, H. Saito, K. Wakabayashi, Y. Miyamoto and K. Furuya, Lateral Buried Growth of N<sup>+</sup>-InGaAs Source/Drain Region to Undercut InGaAs Channel Structure for High Drive Current N-type MOSFET, *2008 Int. Conf. Solid State Devices and Materials (SSDM2008)*, 2008年9月24日、茨城県つくば市

(11) H. Saito, T. Hino, Y. Miyamoto, and K. Furuya, Hot electron transistor controlled by insulated gate with 70nm-wide emitter, *20th Int. Conf. Indium Phosphide and Related Materials (IPRM2008)*, 2008年5月26日、Versailles, France

(12) 宮本恭幸、古屋一仁、InP系バリステックトランジスタ (招待講演)、電子情報通信学会 電子デバイス研究会、2008年1月30日、北海道札幌市

(13) T. Hino, A. Suwa, T. Hasegawa, H. Saito, M. Oono, Y. Miyamoto, K. Furuya, Fabrication of hot electron transistors controlled by insulated gate, *19th Int. Conf. Indium Phosphide and Related Materials (IPRM2007)*, 2007年5月15日、島根県松江市

以上の研究成果のリストは以下の東京工業大学リサーチリポジトリでも公開している

[http://t2r2.star.titech.ac.jp/cgi-bin/researcherpublicationlist.cgi?q\\_researcher\\_content\\_number=CTT100380714&alldisp=1](http://t2r2.star.titech.ac.jp/cgi-bin/researcherpublicationlist.cgi?q_researcher_content_number=CTT100380714&alldisp=1)

[図書] (計1件)

(1) 宮本恭幸、培風館、電子デバイス、2009、153頁

[産業財産権]

○出願状況 (計1件)

(1)

名称: 半導体装置の製造方法

発明者: 井田実、山幡章司、齋藤尚史、宮本恭幸

権利者: 日本電信電話、東京工業大学

種類: 特許

番号: 特願 2010-100797

出願年月日: 2010年4月26日

国内外の別: 国内

○取得状況 (計1件)

(1)

名称: ホットエレクトロントランジスタ、及びその製造方法

発明者: 宮本恭幸、前田 寛、竹内 克彦

権利者: 東京工業大学

種類: 特許

番号: 第 4354192 号

取得年月日: 2009年8月7日

国内外の別: 国内

[その他]

ホームページ等

<http://www.pe.titech.ac.jp/Furuya-MiyamotoLab/index.htm>

## 6. 研究組織

(1) 研究代表者

大学院理工学研究科 准教授

宮本 恭幸 (MIYAMOTO YASUYUKI)

研究者番号: 40209953

(2) 研究分担者

なし

(3) 連携研究者

なし