

平成 21 年 5 月 22 日現在

研究種目：基盤研究（B）

研究期間：2007～2008

課題番号：19300011

研究課題名（和文） 柔軟なディペンダビリティを実現する再構成可能集積回路の開発

研究課題名（英文） Reconfigurable architecture with flexible dependability

研究代表者

尾上 孝雄（ONOYE TAKAO）

大阪大学・大学院情報科学研究科・教授

研究者番号：60252590

研究成果の概要：

本研究では、集積回路に求められるディペンダビリティをソフトエラー耐性からデータ秘匿性、デバイス性能補償まで包括的に捕らえ、アプリケーションに応じて柔軟なディペンダビリティレベルを低オーバーヘッドで実現する再構成可能集積回路に関する研究開発を行った。具体的には、1)可変冗長構成を実現する粗粒度再構成可能アーキテクチャの検討、2) 回路構成情報およびチップ内/外通信の暗号化の検討、3)デバイスの自己診断、自己調整機能の検討を行った。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	5,600,000	1,680,000	7,280,000
2008 年度	5,500,000	1,650,000	7,150,000
年度			
年度			
年度			
総計	11,100,000	3,330,000	14,430,000

研究分野：システムオンチップ設計

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：計算機アーキテクチャ、ディペンダビリティ、再構成可能アーキテクチャ

1. 研究開始当初の背景

社会で求められている集積システムのアプリケーションには、セキュリティチップ、車載チップのように高い信頼性が求められるものから、メディア処理等の短 TAT 設計や柔軟なバグ修正が求められるもの等、多岐に渡る。これら多様なアプリケーションに対して適切なディペンダビリティレベルを提供する VLSI 設計技術、回路アーキテクチャが強く求められている。

2. 研究の目的

本研究では、アプリケーションに応じて必要十分なディペンダビリティを有する回路の実現を可能とする再構成可能集積システムの構築し、実デバイスで動作を検証することを目標とする。

研究を推進するにあたり、集積回路に求められるディペンダビリティをソフトエラー耐性、データ秘匿性、デバイス性能補償等を含めて包括的に捕らえ、柔軟なディペンダビリティレベルを低オーバーヘッドで実現することを旨とする。

3. 研究の方法

アプリケーションに応じて必要十分なディペンダビリティを有する回路の実現を可能とする再構成可能集積システムを構築するため、研究課題を以下の通り分担し、研究代表者がこれを統括するという形で研究を推進した。

- (1) 可変冗長構成を実現する再構成可能アーキテクチャの開発：

再構成可能集積回路が一般的に持つ規則的な構造を最大限利用した冗長化アーキテクチャを検討し、耐故障技術の確立を目指す。アプリケーションに求められるディペンダビリティレベルに応じて冗長化構成を柔軟に変更することが可能な再構成可能アーキテクチャについて検討する。
- (2) 回路構成情報およびチップ内/外通信の暗号化の検討：

再構成可能集積回路の構成情報やチップ外通信の暗号化に利用する鍵データを生成するため、熱ゆらぎを利用した乱数生成回路および、乱数品質評価モデルについて検討する。
- (3) デバイスの自己診断、自己調整機能の検討：

再構成可能集積回路を構成する機能ブロックが遅延故障していないことを適宜診断する自己診断機能について検討する。また、微細プロセスでの製造ばらつきによる特性変動を吸収するため、基板バイアスによる遅延調整機構について検討する。

4. 研究成果

- (1) 可変冗長構成を実現する再構成可能アーキテクチャの開発：

求められるディペンダビリティレベルに応じて冗長化の粒度を柔軟に変更可能な再構成可能集積回路の基本セルアーキテクチャを開発した。

再構成可能デバイスは構成情報を持つ構成情報メモリと、演算を行う演算回路から構成される。構成情報メモリでソフトウェアが起こった場合は回路構成が壊れてしまうため、異常出力を出し続ける。一方、演算回路でソフトウェアが起こった場合は一時的な異常動作となる。このように、ソフトウェアの発生箇所によって影響が異なるため、再構成可能アーキテクチャにおける柔軟なディペンダビリティを考える際に、対策を分けて考える必要がある。

そこで、表1に示すように4段階のディペンダビリティレベルを設定し、これらを実現

する4つの動作モード (TMR, DMR, SMS, SMM) を定義した。また、4つの動作モードによって回路の冗長構成を選択的に実現できる再構成可能アーキテクチャを検討した。提案する再構成可能アーキテクチャは、4つの演算部(セル)を有する“クラスタ”を基本構成単位としており、各クラスタ内で回路の冗長度を変更することが可能である。

提案アーキテクチャを図1に示す。規則的なアレイ状に配置されるクラスタは、4つのセル、出力データ用の多数決回路(V)と比較・選択回路、冗長度制御部(RDU)(図1では省略)で構成される。1つのセルには、3つの構成情報メモリ(CFG)と多数決回路(VC)、1つのコンテキスト選択用スイッチ(S)と演算回路(EM)で構成される。4つの動作モードでは、構成情報と演算回路をそれぞれ冗長化することで実現する。

クラスタのソフトウェア耐性について評価した結果、各クラスタは4つの動作モードにより図2に示すような4段階の信頼性を実現できることがわかった。また、柔軟な冗長構成を実現するための面積オーバーヘッドは30.5%となった。

表1:クラスタで実現できる4段階の冗長構成(動作モード)

動作モード	冗長度		信頼性			想定利用要件
	構成情報	演算回路	演算回路			
			SEU	SEU	SET	
TMR	三重化	三重化	修復	修復	修復	常に正しい出力
DMR	三重化	二重化	修復	修復	検知	演算結果のエラー検知
SMS	三重化	単体	修復	修復	検知	演算結果のエラーは無視可能
SMM	単体	単体	—	—	—	性能重視でエラー対策不要

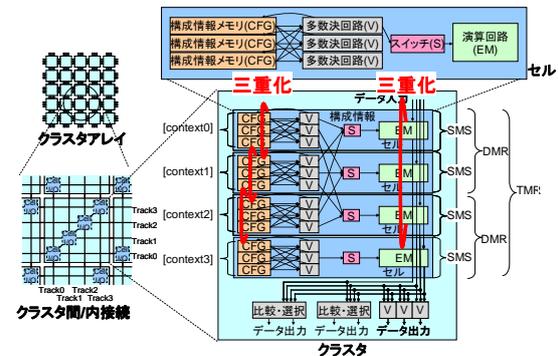


図1:再構成可能アーキテクチャにおける可変冗長化機構(TMRモード)

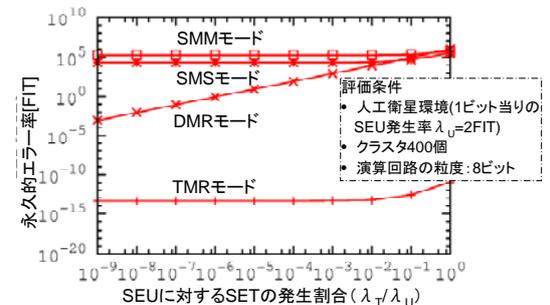


図2:各動作モードによるディペンダビリティ

提案する再構成可能アーキテクチャを用いることにより、アプリケーションに求められるディペンダビリティレベルと許容される面積オーバーヘッドのトレードオフを考慮しながら各クラスタの動作モードを適切に設定することで、柔軟な信頼性を実現することが可能になる。

提案したクラスタの基本機能を実デバイスで検証するため、0.18 μm プロセスを用いてテストチップを作成し、評価用ボードを用いて評価を行った。今後は複数のクラスタを搭載したテストチップを作成し、アプリケーションが正しく動作することを確認する。

(2) 回路構成情報およびチップ内/外通信の暗号化の検討：

再構成可能集積回路上に実現する暗号処理回路で使用する鍵データ生成のため、オシレータサンプリング方式乱数生成回路の開発を行った。

オシレータサンプリング方式乱数生成器は、図3に示すように、速度差のある2つのオシレータとフリップフロップで構成され、高速の発振信号をデータ、低速の発振信号をクロックとしてサンプリングする。図4に二つのオシレータの発振波形を示す。低速オシレータの発振波形には回路内雑音により周期ゆらぎが生じるため、フリップフロップに入力される発振波形の立ち上がりタイミングにゆらぎが生じ、乱数列を得る。構造が簡単であり決定性要因に対してロバストであるが、単純な実装では出力の品質が低いという課題がある。

そこで、高品質な乱数生成回路に求められる条件（動作パラメータ）を明らかにするため、マルコフ過程を用いたオシレータサンプリング方式真性乱数生成回路の乱数品質評価モデルを提案した。提案モデルは一般的な確率過程の議論だけで成り立つため、任意のオシレータサンプリング方式真性乱数生成回路の乱数品質評価に用いることができる。

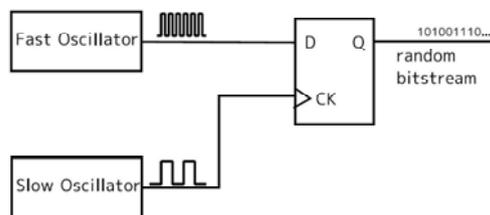


図3: オシレータサンプリング方式真性乱数生成回路

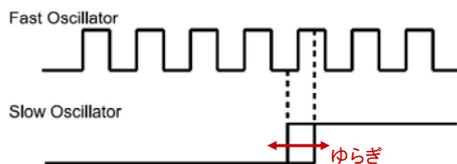


図4: オシレータの発振波形

提案モデルを用いて各動作パラメータが乱数品質に及ぼす影響について評価した結果、1)サンプリング間隔を広げる、2)高速オシレータの周期を小さくする、3)高速オシレータのデューティ比を整える、4)低速オシレータの周期ゆらぎを大きくする、5)適切な位相差になるよう低速オシレータの周期を調整するといったことにより乱数の品質を向上させることができることがわかった。また、低速オシレータの平均周期は品質に直接影響しないという結果が得られた。

次に、オシレータサンプリング方式真性乱数生成回路のテストチップ試作とその特性評価を行い、提案モデルの正当性について評価を行った。今後は、実測結果によって得られた知見を乱数品質評価モデルに反映させることで、高品質・高スループットを達成する乱数生成回路の実現を目指す。

(3) デバイスの自己診断、自己調整機能の検討：

① 自己診断機能の検討：

再構成可能集積回路を構成する機能ブロックのタイミングマージンを適宜診断するため、タイミングエラー予告フリップフロップ（以下、カナリア FF）を用いた動的遅延変動検知ならびに適応的速度制御について検討を行った。

図5にカナリア FF を用いた適応的速度制御回路を示す。カナリア FF は通常のフリップフロップ、遅延素子、比較器(XOR ゲート)で構成される。タイミングマージンが小さくなると、メイン FF が間違った値をラッチする前にカナリア FF が遅延素子によって先にタイミングエラーを起こす。この時、エラー予告信号を発生するため、メイン FF のタイミングマージン低下を予見することが可能になる。このエラー予告信号を監視し、一定時間エラー予告信号が検出されなければタイミングマージンに余裕があると判断して回路を低速化し、消費電力を削減することができる。また、エラー予告信号が検出されれば、直ちに回路を高速化して、遅延故障を回避することが可能となる。

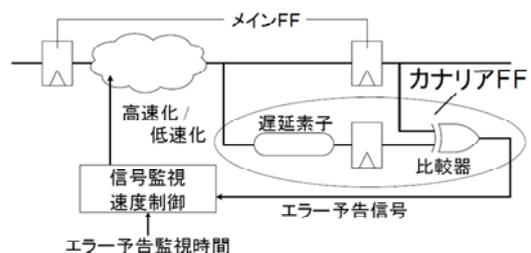


図5: カナリアFFを用いた適応的速度制御回路

しかしながら、カナリア FF が挿入されたパスが長期間活性化しなかった場合、回路が過度に低速化されるため、次にエラー予告信号が検出された時に速度制御で対応できなくなり、メイン FF でのタイミングエラーが避けられない。したがって、カナリア FF を用いた適応的な速度制御回路を実用化するためには、タイミングエラーの発生頻度を定量的に評価する必要がある。そこで、32 ビット桁上げ伝搬加算器(RCA)を対象として、設計パラメータ(カナリア FF を追加するパス、遅延素子の大きさ、エラー予告信号の監視時間、速度制御の細かさ)がエラー発生頻度におよぼす影響を明らかにするとともに、タイミングエラー発生頻度と消費電力ペナルティとのトレードオフについて評価を行った。

タイミングエラー発生頻度と消費電力のトレードオフを図 6 に示す。カナリア FF の追加位置にかかわらず同様のトレードオフが確認できるが、満たすべきエラー発生頻度によって最適な設計パラメータが異なることを明らかにした。

また、カナリア FF の追加位置を RCA の出力 S[32:0]のうち S[2]から S[32]まで変え、カナリア FF の遅延素子をタイミングエラー発生間隔 10^{14} サイクルを満たす最小の長さとしたときの、遅延素子の長さ、消費電力の関係を図 7 に示す。追加する消費電力を最小とするカナリア FF の追加位置が存在することを明らかにした。

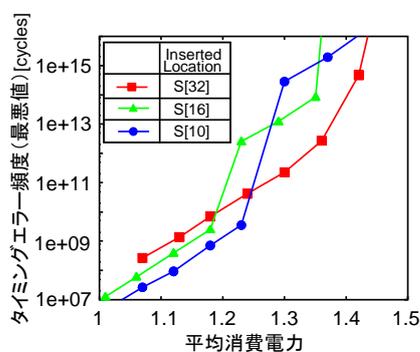


図6: エラー頻度と消費電力のトレードオフ

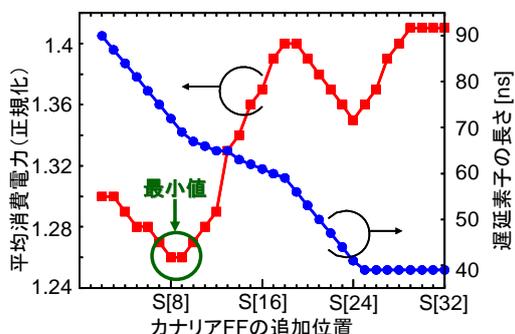


図7: カナリアFFの追加位置と消費電力のトレードオフ

②自己調整機能の検討:

製造ばらつきや経年劣化による特性変動を吸収するため、基板バイアスによる遅延調整機構について検討を行った。

従来の基板電位制御方式では、基板電位制御線に対応しない通常のセルに基板電位制御線を付け加えたセルを使用しており、MOSの近くに多くの基板コンタクトを配置するため、ラッチアップ耐性と基板電位制御性に優れているといった特長を持つ。一方、基板電位制御線が増えることによりセル面積の増加が課題となっており、本研究で使用したセル構成では、セル面積が基板電位制御を行わないセルの約 1.22 倍になることがわかっている。

そこで本研究では、1V 以下の低電圧ではラッチアップの危険性は低いことに着目し、低電圧 CMOS 回路向けの基板電位制御レイアウト方式を提案し評価を行った。基板コンタクト用セルを任意の間隔でストラップ状に配置し、その間に論理セルを配置することで回路を構成する“ストラップ方式”と、フィラーセルの代わりに基板コンタクト用セルを挿入する“フィラー方式”を提案した。両方式による動作速度や消費電力の制御性を評価した結果、十分な電位制御性を実現しながら面積オーバーヘッドを 1%程度に抑えることができることを明らかにした。

さらに、レイアウトを考慮した基板バイアスクラスタリング手法を提案した。与えた遅延歩留まり制約下で、リーク電力を最小にするクラスタ分けを行うため、本手法では Simulated Annealing(SA)法を用いた。領域をランダムに選択し、その所属するクラスタを確率的に変更することで、新たな回路を作り、元の回路とコストを比較した。コストとして製造後に性能補償を行ったときのリーク電力の期待値を用いる。回路の分割が粗いと計算量は少なくなるが、解の探索範囲が狭くなり、リーク電力の削減が十分に行えなくなる可能性がある。そこで、ある分割数でのクラスタリング結果を再分割し、その領域を単位としてクラスタリングを行う実装とした。なお、提案手法を実装・評価するため、遅延制約の考慮やリーク電力の計算のためばらつきを考慮した遅延解析法とばらつきを考慮したリーク電力解析法が必要となるため、これらも含めて実装した。

クラスタリングを行わない場合と 2 クラスタに分けた場合とで、ある遅延制約を満たすような性能を補償した場合のリーク電力の期待値を比較した結果を図 8 に示す。クラスタリングを行うことでリーク電力を 70%削減できることが分かった。なお、クラスタリングの処理にかかった時間は、約 500s であった。

クラスタリング結果のレイアウトの例を

図9に示す。ウェルの分離が考慮されたレイアウトが出力されていることが分かる。クラスタリング後のウェル分離のために、ゲート単純移動のみを適用した場合、約17%の面積増加となった。一方、ゲート再配置によりレイアウトを作成したところ、面積増加を約8.6%に抑制することができた。

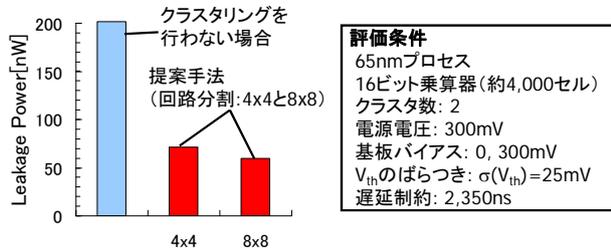


図8: クラスタリングによるリーク電力削減の評価

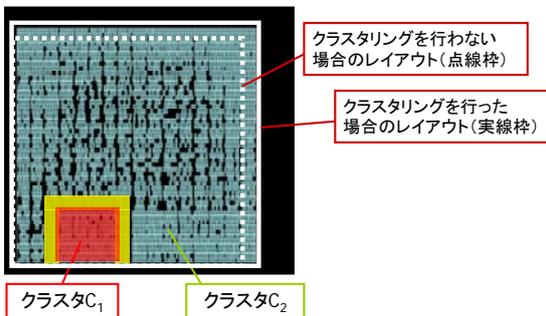


図9: クラスタリング結果からのレイアウト自動生成

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

①K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "An Experimental Study on Body-Biasing Layout Style Focusing on Area Efficiency and Speed Controllability," IEICE Trans. on Electronics, vol. E92-C, no. 2, pp. 281--285, Feb. 2009. (査読有)

②Y. Mitsuyama, K. Takahashi, R. Imai, M. Hashimoto, and T. Onoye, "Area-Efficient Reconfigurable Architecture for Media Processing," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E91-A, no. 12, pp. 3651-3662, Dec. 2008. (査読有)

[学会発表] (計 9 件)

①K. Hamamoto, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Tuning-Friendly Body Bias Clustering for Compensating Random Variability in Subthreshold Circuits,"

Proceedings of IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED), (to appear). (査読有)

②天木健彦, 橋本昌宜, 密山幸男, 尾上孝雄, "マルコフモデルによるオシレータサンプリング方式真性乱数生成器の乱数品質解析," 電子情報通信学会 第 22 回 回路とシステム (軽井沢) ワークショップ, pp. 474-479, 2009 年 4 月. (査読有)

③D. Alnajjar, Y. Ko, T. Imagawa, M. Hiromoto, Y. Mitsuyama, M. Hashimoto, H. Ochi, and T. Onoye, "A Coarse-Grained Dynamically Reconfigurable Architecture Enabling Flexible Reliability," in Proc. IEEE Workshop on System Effects of Logic Soft Errors (SELSE), Mar. 2009. (査読有)

④Y. Ko, D. Alnajjar, Y. Mitsuyama, M. Hashimoto, and T. Onoye, "Coarse-Grained Dynamically Reconfigurable Architecture with Flexible Reliability," in Proc. 15th Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI 2009), pp. 236--241, Mar. 2009. (査読有)

⑤高 永勲, Dawood Alnajjar, 密山 幸男, 橋本 昌宜, 尾上 孝雄, "柔軟な信頼性を実現する粗粒度再構成可能アーキテクチャの検討," 電子情報通信学会技術研究報告, DC2008-41, pp. 79-84, 2008 年 11 月. (査読無)

⑥濱本 浩一, 更田裕司, 橋本昌宜, 密山幸男, 尾上孝雄, "基板バイアス印加レイアウト方式の面積効率と速度制御性の評価," 電子情報通信学会技術研究報告, VLD2008-27, pp. 75-79, 2008 年 6 月. (査読無)

⑦K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "Experimental Study on Body-Biasing Layout Style -- Negligible Area Overhead Enables Sufficient Speed Controllability --," in Proc. ACM Great Lake Symposium on VLSI (GLSVLSI 2008), pp. 387-390, May 2008. (査読有)

⑧K. Hamamoto, H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye, "A Study on Body-Biasing Layout Style Focusing on Area Efficiency and Speed," in Proc. 14th Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI 2007), pp. 233-237, Oct 2007. (査読有)

⑨橋本昌宜, "製造・環境ばらつきと動的性能補償を考慮したタイミング検証に向けて," 電子情報通信学会 第 20 回 回路とシステム (軽井沢) ワークショップ, pp. 661-666, 2007 年 4 月. (査読有)

6. 研究組織

(1) 研究代表者

尾上 孝雄 (ONOYE TAKAO)

大阪大学・大学院情報科学研究科・教授

研究者番号：60252590

(2) 研究分担者

橋本 昌宜 (HASHIMOTO MASANORI)

大阪大学・大学院情報科学研究科・准教授

研究者番号：80335207

密山 幸男 (MITSUYAMA YUKIO)

大阪大学・大学院工学研究科・助教

研究者番号：80346189

畠中 理英 (HATANAKA MASAHIDE)

大阪大学・大学院情報科学研究科・助手

研究者番号：70346188