

研究種目：基盤研究(B)  
 研究期間：2007～2009  
 課題番号：19300012  
 研究課題名(和文) 特性ばらつき隠蔽を特長とする次世代素子向け多重安定化アーキテクチャ  
 研究課題名(英文) Multilevel Stabilizing Architecture for Overcoming Process Variation  
 研究代表者  
 中島 康彦 (NAKASHIMA YASUHIKO)  
 奈良先端科学技術大学院大学・情報科学研究科・教授  
 研究者番号：00314170

## 研究成果の概要(和文)：

故障検出能力および故障情報伝搬能力を高めた高信頼基本セル群を考案し、LSI試作を通じて耐故障性、面積オーバーヘッド、回路遅延が良好であることを確認した。また、基本セルが複数故障した場合の回路全体の信頼性評価手法を確立し、一部論理を自動交換して全体の信頼性を向上させる手法を考案した。さらに、8way-VLIWプロセッサを試作し、基本セルを全面導入する際に必要となる命令分解機構について、回路規模、実行効率、回路遅延の点から有効性を確認した。

## 研究成果の概要(英文)：

We designed a group of basic cells with high capability of fault detection and propagation, and confirmed their superior effectiveness on robustness, area overhead and circuit delay through designing real LSI. Also we found the way to evaluate the overall reliability of function units that have plural faults, and developed a technique to improve the reliability by replacing basic cells with XOR cells. Moreover, we developed an 8way-VLIW processor equipped with an instruction decomposition mechanism that is inevitable for implementing processors with such high reliable basic cells, and confirmed the decomposition mechanism is feasible from the view point of area, IPC and circuit delay.

## 交付決定額

(金額単位:円)

	直接経費	間接経費	合計
2007年度	5,600,000	1,680,000	7,280,000
2008年度	4,600,000	1,380,000	5,980,000
2009年度	2,000,000	600,000	2,600,000
年度			
年度			
総計	12,200,000	3,660,000	15,860,000

研究分野:総合領域

科研費の分科・細目:情報学・計算機システム・ネットワーク

キーワード:ハードウェア設計

## 1. 研究開始当初の背景

旧来のプロセッサ開発では、収容可能な素子数を制約条件とし、主要なプログラムの実行時間が最短になるように内部資源をトレードオフすることが重要であった。しかし、22nm未満のテクノロジー領域においては、単位面積あたりの素子故障

率が制約条件になると言われている。すなわち、素子レベルからプロセッサレベルに至る全ての階層において高信頼化を図るアーキテクチャ研究が必須になると考えられる。まず、次世代素子の特性と研究動向を以下に概観する。

(1)ゲート長が22nm未満の次世代素子では、

素子の動作ばらつきが極めて深刻な問題となり、具体的には、LSI上に配置した10億個の素子のうち1億個に動作不良が生じると言われている。これは、従前より問題となってきた $\alpha$ 線によるラッチのソフトウェアに加えて、組合せ論理回路の内部においても頻発するソフトウェアに対し、何らかの対策を施さなければ、もはや正常動作するLSIを作ることが困難であることを意味する。既存研究では、演算器の2重化/パリティによるエラー検出や3重化による訂正など演算器レベルの冗長構成や、パイプラインレジスタを2段に配置して特定の条件を満たすタイミング違反を検知する方法などが提案されてきた。しかし、より信頼性の低い次世代素子では、演算器レベル以上のエラー検出や訂正のみに頼る機構は有効に機能しないと考えられる。このような状況を仮定した研



図1：従来の三重化 故障率増加により機能せず 本提案  
 究はまだない(図1)。

(2) 微細化に伴い、マスクパターンと実際にシリコン上に生成されるパターンとの間のずれが拡大してきており、任意の形状を描ける自由度を設計者に与えた場合のリスクが増大している。また、従来のような半導体メーカーが数百種類におよぶ論理ゲート、レジスタ、メモリなどの標準セルを用意してユーザに提供するスタイルにおいても、ずれを考慮したマスクパターンの計算に膨大なコストがかかるために、今後は品種の絞り込みが不可欠である。製造ばらつきを考慮した高品質の標準セルを単期間に開発するためには、品種を数十から十数種類程度にまで絞り込む必要があると考えられる。また、高信頼化を第一目的とする極めて限られた標準セルを規則的に配置して任意の高信頼論理回路を合成するようなCADシステムも必要である。しかし、このようなCADシステムに関する研究はまだない。

(3) 超高集積化に伴い、これまでLSI開発の大きな制約条件となってきた搭載可能素子数は、もはや制約条件ではなくなりつつある。すなわち、従来のように、素子数を減らすために多くの標準セルを個々に最適化することの重要性は低下すると考えられる。既存研究では、プロセッサレベルの並置、すなわち、マルチコア構成の採用により膨大な素子を有効利用する提案が数多くなされているものの、豊富な素子を活用して標準セル自身の高信頼化を図り、さらに積み上げて演算器レベルやプロセッサレベルの信頼性向上を図る革新的研究はまだない。

次に、着想に至った経緯を述べる。研究代表者が開発に携わった大型汎用コンピュータシステムでは、パリティを装備した演算器や、プロセッサの多重化および実行結果の比較による高信頼

化が一般的であった。しかし、素子の大幅な低信頼化に対応するためには、セルレベルの高信頼化手法と組み合わせることが必要である。また、マイクロプロセッサの性能向上を受けて、大型汎用コンピュータシステムにおいても高性能化のためのCMOSカスタムマクロ設計手法が導入され、短期間に多くの種類の演算器マクロを開発する必要に迫られた。必要な特注セルを新規設計する際には、トランジスタのレイアウト最適化に多大のコストを必要としたことから、必要なセルを絞り込み、セルの規則的配置により様々な演算器マクロを構成できる技術が必要であった。このため、当時研究代表者は、正・負論理の入力から、同じく正・負論理の出力を同時に求める標準セル群を考案した(特許第3790534号)。正論理系統と負論理系統の間で信号を融通することにより全体のセルサイズを縮小するとともに、複数のセルをカスケード接続して演算器マクロを構成する場合にも、必要最小限のトランジスタ段数で済み、高速化を達成できる特長があった。本研究は、当時は関連のなかった、これら演算器レベルの高信頼化と標準セルレベルの最適化を融合することにより、次世代低信頼素子を精緻に制御し、従来の高信頼化技術が通用しないと言われている次世代プロセッサの開発競争において、他の技術を凌駕する安定化アーキテクチャを構築できるとの見通しに基づいている。

## 2. 研究の目的

- (1) **高信頼標準セルの提案と評価**: 素子の信頼性が低い場合であっても、セル内部に数個の素子を補完的に配置することにより、個々の標準セルとしては機能を維持できる高信頼標準セルを提案し評価する。
- (2) **高信頼標準セルの規則的配置に基づく自己安定化演算回路の提案と評価**: 高信頼標準セルを規則的に配置し、高信頼標準セルが互いに補完的に動作したり回路を動的に再構成することにより、演算器レベルの安定動作を図る自己安定化演算回路を提案し評価する。
- (3) **自己安定化演算回路を合成・評価するCADシステムの提案と評価**: 高信頼標準セルに、論理和や論理積などの単一機能ではなく、より汎用的な機能を持たせることにより、わずかな種類の高信頼標準セルを規則的に配置して自己安定化演算回路を合成可能とするCADシステムおよび最適な標準セル構成方式を提案し評価する。
- (4) **自己安定化演算回路のみからなる高信頼アーキテクチャの提案と評価**: 自己安定化演算回路のみを使用する高信頼マイクロアーキテクチャを提案する。特に、現在利用されている様々な命令セットを全て自己安定化演算回路に写像して実行する命令分解機構、および、演算器同様に、自己安定化機能を有する命令分解機構や命令発行機構

について提案し詳細に評価する。

### 3. 研究の方法

#### (1) 高信頼標準セルの提案と評価

2007年度は、「正負両極性を入出力とする標準セルを使うことによりエラーに対処する」という従来にないアイデアに基づいた各種基本セルの組み合わせを以下の方針で検討する。

- ① エラー検出および訂正を行うために必要なセルの構成方法の検討
- ② 提案するセルにより各種演算器を構成した際の面積と遅延のトレードオフの検討
- ③ 提案セルを相互接続した回路におけるソフトエラー伝播の解析(アナログ回路シミュレーション)

2008年度以降は、2007年度の検討により絞り込んだ標準セル群に対し、さらに物理レイアウトなどの詳細な検討を行う。

#### (2) 高信頼標準セルの規則的配置に基づく自己安定化演算回路の提案と評価

エラー訂正の手法は回路の3重化および多数決が一般的である。しかし、誤り率が大きくなると演算器の3重化だけでは誤りを訂正できなくなる。本提案では、演算器内部において階層的に誤り訂正を行い、演算器レベルの誤り率を小さくすることを狙う。数段ごとに多数決を取る方法と、最後に多数決を取る方法が考えられる。前者は遅延が大きく面積は小さい。一方、後者は遅延が小さいものの、多重度を大きくするため面積は大きくなる。この2つのトレードオフとなることを踏まえ、自己安定化演算回路の構成と遅延および面積の関係を明らかにする。

2008年度以降は、2007年度の検討結果をもとに、標準セル群向け誤り訂正手法を詳細に検討する。正・負論理を同時に実現する標準セルの特徴を生かし、正・負論理間で信号を共有するなどの手法により多重化する際的面積効率改善手法などについて詳細に検討を加える。

#### (3) 自己安定化演算回路を合成・評価するCADシステムの提案と評価

非同期回路では、各種演算ブロックの入出力を正・負の2線式で符号化する設計手法が広く知られている。しかし、従来型セルを用いた両極性の論理設計手法であり、標準セルの入出力に両極性を持たせる本提案とは異なる。2007年度は、中間的な2線論理レベルで論理を記述する枠組みと論理合成手法を検討する。

2008年度以降は、2007年度に検討した設計手法から合成される中間的な論理から実際の標準セル群へのテクノロジマッピング手法を検討する。具体的には、既存テクノロジではセルの機能と数が複雑であるため、論理レベルで直接扱うことができず、CADシステムでは論理合成とテクノロジマッピングを分離するのが一般的であった。一方、本提案では、セルの種類が少ないという特徴を積極的に利用して、直接論理合成で扱うことにより効率の良い回路合成を目指す。

#### (4) 自己安定化演算回路のみからなる高信頼アーキテクチャの提案と評価

従来のプロセッサでは、限られた資源を用いて高性能を達成する必要性から、各々の命令セットに特化して演算器を無駄なく設計することが基本であり、また、無駄のない演算器が1サイクルで動作することを前提に命令セットが決定される側面もあった。しかし、前述の自己安定化演算回路は、特許第3790534号において開示している数多くの実施例と同様に、自己相似形すなわち再帰的な回路構成になると予想しており、必ずしも現在一般的な基本演算を全て実現できるとは限らない。全体の信頼性維持のためには、自己安定化演算回路に適合しない演算を複数の適合演算に変換/分解して実行する必要がある。また、このように変換/分解した内部命令には、比較的高い命令レベル並列性が存在すると予想される。2007年度は、以下について研究を進める。

- ① 既存命令セットを自己安定化演算回路に写像するために必要な変換/分解機構
- ② 分解後命令の高速かつ低電力な並列実行機構

上記①に関しては、ARMなど既存の命令セットアーキテクチャに従う命令レベルシミュレータを開発し、実際にいくつかの単純な内部命令セットを仮定した上で、各内部命令の出現頻度の調査、および、性能維持のために最低限必要となる内部命令セットの精査を行う。実現可能な自己安定化演算回路の検討結果と本調査結果から、最終的に必要となる自己安定化演算回路と変換機構を決定する。上記②に関しては、複数の内部命令を複数の自己安定化演算回路に同時に投入する命令発行機構について検討を行う。このような機構としては現在スーパスカラ方式が一般的であるが、本研究では内部命令の発行時ではなく、内部命令のデコード時にハードウェアがVLIW形式の命令語に変換することで、命令発行機構をVLIW方式と同様の構成とし、回路の複雑さと消費電力を軽減しようと考えている。

2008年度以降は、演算器同様に、命令分解機構や命令発行機構自身についても、自己安定化機能を有する構成とするための回路レベルの検討を行う。また、ARM等一般的な商用プロセッサを仮定してHDLによる本プロセッサモデルの構築およびFPGA/プロセッサ試作等による実装を行った上で、さらにLINUX等オペレーティングシステムの搭載および様々なアプリケーションプログラムの走行実験を行い、実環境における本提案方式、特に命令分解実行方式の特性や問題点について明らかにする。

### 4. 研究成果

#### (1) 高信頼標準セルの提案と評価

排他論理和とセレクトについてトランジスタレベルの評価を行い、エラー伝播回路を内部に組

み込むことにより、セル内部異常を次段へ伝播、および、セルに対する入力異常を次段へ伝播のいずれの機能についても問題がないことを確認した。また、実際にVDEC環境を用いて耐故障セル群のレイアウトおよびLSI試作を行った。耐故障標準セル群が実際のLSI上でも耐故障性を示すことを確認した。

### (2) 高信頼標準セルの規則的配置に基づく自己安定化演算回路の提案と評価

前述した、内部異常の伝播および入力異常の伝播の両機能を有する耐故障セルを基本部品とした、64ビット大小比較回路を構成し、遅延時間、回路規模、信頼性の評価を行った。従来型基本セルの3重化により構成した場合に比べて、同規模の遅延時間、回路規模を維持しつつ、大幅に信頼性を向上できる見通しを得た。さらに、耐故障セル群が

備えるエラー伝搬回路を組み込んだ64ビット比較回路を試作(写真1)し、実回路においても耐故障性に優れ、面積オーバーヘッドも問題とならず、故障発生時の遅延時間も良好であることを確認した。

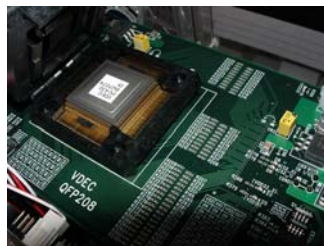


写真1: 耐故障セルによる64ビット比較回路の試作LSI

### (3) 自己安定化演算回路を合成・評価するCADシステムの提案と評価

正負両極性を入出力とする標準セルによる回路と従来セルによる回路の信頼度は前者のほうが直感的には高いはずであるが、その客観的な値を効率的に見積もる手法を考案した。また、「テクノロジマッピング手法の検討」を予定していたが、既存の信頼性評価手法では高信頼セルを正しく評価できないことが明らかになった。このため、耐故障セルに適用可能な信頼性評価手法の確立に取り組み、入力値を考慮した新しい信頼性評価手法を考案した。

2009年度は、研究計画(1)から(3)を融合し、「実用回路においても耐故障性に優れることの定量的評価」、および、「CADシステムによる信頼性向上手法の開発」を実施した。具体的には、①高信頼標準セルが複数個同時に故障した場合の回路全体の信頼性評価手法を確立し、同時に、設計回路の一部論理をCADにより自動的に交換することにより回路全体の信頼性を向上させる手法を考案した。この結果、大小比較回路以外の様々な実用回路において、耐故障標準セル群が有効であること、また、CADによる論理交換により、さらに信頼度を向上させることが可能であることを実証した。また、②回路の一部をLUTに置き換えた Partially-Programmable Circuits (PPCs) と名付けた回路を用いることで製造歩留まりを向上させる手法を提案した。PPC

の中のいくつかのLUTの機能を変更することにより結線が冗長となる場合、その結線は故障に強いと考えられる。その結線にいかなる故障が起こってもいくつかのLUTの内部論理の変更により回路が正常動作可能だからである。故障に強い結線を増やすために、SPFDやCSPFといった論理関数の自由度を利用して冗長な結線を回路に追加する手法を提案し、手法の有望性を確認した。

### (4) 自己安定化演算回路のみからなる高信頼アーキテクチャの提案と評価

ARMアーキテクチャおよびFRVアーキテクチャの機械語命令を各々分解し、単純な演算器のみを装備するバックエンドにおいて並列実行するプロセッサ構成方式を考案し、シミュレータ上でOSおよびアプリケーションが動作することを確認した。また、プログラムが動作可能なレベルのプロセッサ試作(写真2)により、命令分解手法の有効性を回路規模、プログラム実行効率、遅延時間の点から確認した。

さらに、メモリを用いた命令分解手法を提案・評価し有効性を確認した。また、本研究成果を発展させて、多数の演算器アレイに対して自己安定化演算回路のみにより実現可能な命令列を写像し、大幅な性能向上と低消費電力化を図るリニアアレイ型プロセッサを考案し、有効性を示した。



写真2: 命令分解型異種命令混在実行プロセッサ OROCHI

### (5) 暗号化された FPGA コンフィギュレーションデータの効率的な復号手法の提案

当初の研究計画に加えて、FPGAの高信頼化に取り組み、スイッチマトリックスの高信頼化、および、暗号化コンフィギュレーションのための再構成可能領域復号回路を提案した。復号に専用回路を必要としないため面積オーバーヘッドが小さく、乱数を加えて、さらに安全性を高める手法を提案した。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計6件)

1. Kazuhiro Yoshimura, Takashi Nakada, Yasuhiko Nakashima, Toshiaki Kitamura: “An Energy Efficient SMT Processor with Heterogeneous Instruction Set Architectures,” IASTED Int’l Conf. on Parallel and Distributed Computing and Networks (PDCN2010), pp.201-209, Feb.

- (2010)
2. 中田尚, 片岡晶人, 中島康彦: “VLIW型命令キューを持つスーパースカラプロセッサの命令スケジューリング機構,” 情報処理学会論文誌コンピューティングシステム, ACS26, Vol.2, No.2, pp.48-62, Jul. (2009)
  3. 中田尚, 上利宗久, 中島康彦: “画像処理向け線形アレイVLIWプロセッサ,” 先進的計算基盤システムシンポジウムSACSYS2009 論文集, pp.293-300, May. (2009)
  4. Kazunori SUZUKI, Takashi NAKADA, Masaki NAKANISHI, Shigeru YAMASHITA, Yasuhiko NAKASHIMA: “A Functional Unit with Small Variety of Highly Reliable Cells,” 14th Pacific Rim International Symposium on Dependable Computing (PRDC’08), pp.353-354, Dec. (2008)
  5. Takashi Nakada, Yasuhiko Nakashima, Hajime Shimada, Kenji Kise, Toshiaki Kitamura: “OROCHI: A Multiple Instruction Set SMT Processor,” First International Workshop on New Frontiers in High-performance and Hardware-aware Computing(HipHaC’08), pp.1-8, Nov. (2008)
  6. Masaki Nakanishi: “A Method of Randomizing a Part of an FPGA Configuration Bitstream,” Proc. of 2008 International Symposium on Information Theory and its Applications, ISITA2008, pp.1493-1496 (2008)
- [学会発表] (計29件)
1. 上利宗久, 中田尚, 中島康彦: “演算器アレイ型プロセッサのための命令スケジューラの設計と評価,” 信学技報, Vol.109, No.474, pp.511-516, Mar. (2010)八丈島
  2. 大賀健司, 姚駿, 中田尚, 嶋田創, 山下茂, 中島康彦: “少品種高信頼セルを用いた高信頼回路設計手法と信頼性評価手法の提案,” 信学技報, Vol.109, No.474, pp.139-146, Mar. (2010)八丈島
  3. Shigeru Yamashita, Hiroaki Yoshida, Masahiro Fujita: “Increasing Yield Using Partially-Programmable Circuits,” 電子情報通信学会技術研究報告, Vol. 109, No. 315, pp. 125-130, Dec. (2009)高知市
  4. 中田尚, 中島康彦: “線形アレイVLIWプロセッサにおける適応性検討,” 情報処理学会研究報告, Vol.2009-ARC-186, No.10, HOKKE-17, pp.1-9, Nov. (2009)札幌
  5. 上利宗久, 中田尚, 中島康彦: “線形アレイ型VLIWプロセッサの面積効率評価,” 平成 21 年度情報処理学会関西支部大会講演論文集, A-03, Sep. (2009)神戸
  6. 大賀健司, 中田尚, 嶋田創, 山下茂, 中島康彦: “二線式論理を用いた面積効率の良
- い高信頼演算器,” 平成 21 年度情報処理学会関西支部大会講演論文集, A-07, Sep. (2009)神戸
  7. 吉村和浩, 市来亮人, 中田尚, 中島康彦: “異種命令混在実行プロセッサOROCHIの開発,” 電子情報通信学会LSIとシステムのワークショップ 2009 (poster), May. (2009)北九州市
  8. Munehisa Agari, Takashi Nakada, Yasuhiko Nakashima: “A Linear Array VLIW Processor for Image Processing,” IEEE Symposium on Low-Power and High-Speed Chips 2009 (poster), p.153, Apr. (2009)横浜
  9. ・洪勇基, 中西正樹, 山下茂, 中島康彦: “FPGAのスイッチマトリクスを対象とするソフトウェア対策,” IEICE Technical Report RECONF2008-45, pp.39-44, Nov. (2008)北九州市
  10. 堀田敬一, 中田尚, 中西正樹, 山下茂, 中島康彦: “高信頼セルによる回路の信頼性評価,” IEICE Technical Report VLD2008-75, pp.91-96, Nov. (2008)北九州市
  11. 市来亮人, 吉村和浩, 中田尚, 中島康彦: “異種命令SMTプロセッサOROCHIのASIC試作における問題と対策,” 平成 20 年度情報処理学会関西支部大会講演論文集, pp.13-16, Oct. (2008)京都市
  12. 上利宗久, 中田尚, 中島康彦: “N倍速を目指すVLIWプロセッサの構想,” IPSJ SIG Technical Report, 2008-ARC-180, pp.21-24, Oct. (2008)筑紫野市
  13. Masaki Nakanishi: “A Method for Secure FPGA Configuration,” Proc. of Computer Security Symposium2008, CSS2008, B1-4(CD-ROM), Oct. (2008)沖縄宣野湾市
  14. 吉村和浩, 中田尚, 中島康彦: “異種命令SMTプロセッサOROCHIの実装と分析,” SWoPP2008, pp.1-6, Aug. (2008)佐賀市
  15. 鈴木一範, 中田尚, 中西正樹, 山下茂, 中島康彦: “高信頼セルによる演算器の耐故障性と遅延時間の評価,” SWoPP2008, pp.181-186, Aug. (2008)佐賀市
  16. 北村俊明, 中島康彦: “異種命令セットを同時に実行するマルチスレッディング・プロセッサの研究,” STARCフォーラム/シンポジウム, ポスター, Jul. (2008)横浜市
  17. 吉村和浩: “異種命令混在実行プロセッサにおけるQoS制御,” STARCフォーラム/シンポジウム 学生ポスター, Jul. (2008) 横浜市
  18. 市来亮人: “プロセッサ評価のためのハイブリッドプラットフォーム,” STARCフォーラム/シンポジウム 学生ポスター, Jul. (2008) 横浜市

19. Akihito Ichiki, Takashi Nakada, Yasuhiko Nakashima: “A Hybrid Platform for Practical Evaluation of Processors,” IEEE Symposium on Low-Power and High-Speed Chips 2008 (poster), Apr. (2008) 横浜市
20. Kazuhiro Yoshimura, Takashi Nakada, Yasuhiko Nakashima: “A QoS Control Method for a Heterogeneous SMT Processor,” IEEE Symposium on Low-Power and High-Speed Chips 2008 (poster), Apr. (2008) 横浜市
21. Masaki Nakanishi: “An FPGA Configuration Scheme for Bitstream Protection,” Proc. of International Workshop on Applied Reconfigurable Computing (ARC2008),” LNCS 4943, pp.330-335, Mar (2008)ロンドン
22. 鈴木一範, 中田尚, 中西正樹, 山下茂, 中島康彦: “少品種高信頼セルによる演算器の提案と評価,” 信学技報, vol.107, no.559, DC2007-112, pp.167-172, Mar. (2008)屋久島町
23. 牟田口公洋, 中田尚, 中島康彦: “パイプラインプロセッサ上でのMIN-TAGE予測器の性能評価,” IPSJ SIG Technical Report, HOKKE2008, pp.37-42, Mar. (2008)札幌
24. 山原幹雄, 中田尚, 中島康彦: “異種命令混在実行プロセッサにおけるプロセススケジューリング手法,” IPSJ SIG Technical Report, HOKKE2008, pp.73-78, Mar. (2008)札幌
25. 中田尚, 中島康彦: “異種命令混在実行のためのVLIW型命令キューの設計,” IPSJ SIG Technical Report, 2007-ARC-175, pp89-94, Nov. (2007)北九州市
26. 鈴木一範, 中田尚, 中西正樹, 山下茂, 中島康彦: “細粒度命令分解と少品種セルによる高信頼化アーキテクチャの提案,” IPSJ SIG Technical Report, 2007-ARC-175, pp61-66, Nov. (2007) 北九州市
27. 里山宏平, 中田尚, 中西正樹, 山下茂, 中島康彦: “SRAMベースFPGAにおける耐ソフトエラーLUT構成法,” IEICE Technical Report, RECONF2007-43, pp.1-6, Nov. (2007) 北九州市
28. 片岡晶人, 中田尚, 中島康彦: “アウトオブオーダー実行におけるマルチバンク構成レジスタファイルの評価,” 平成 19 年度情報

- 処理学会関西支部大会講演論文集, pp.121-124, Oct. (2007)大阪市
29. 須賀圭一, 山原幹雄, 中田尚, 中島康彦: “異種命令セットを同時に実行するマルチスレッディング・プロセッサの構成,” SWoPP2007, pp.17-22, Aug. (2007)旭川

[産業財産権]

○出願状況(計2件)

名称:データ処理装置

発明者:中島康彦, 中田尚

権利者:奈良先端大

種類:特願 2008-265312

出願年月日:H20. 10. 14

国内外の別:国内

名称:プロセッサ

発明者:中田尚, 中島康彦

権利者:STARC

種類:特願 2008-183828

出願年月日:H20. 7. 15

国内外の別:国内

[その他]

ホームページ等

<http://wonder2.naist.jp/>

6. 研究組織

(1)研究代表者

中島 康彦(NAKASHIMA YASUHIKO)

奈良先端科学技術大学院大学・情報科学研究科・教授

研究者番号:00314170

(2)研究分担者

山下 茂(YAMASHITA SHIGERU)

立命館大学・情報理工学部情報システム学科・教授

研究者番号:30362833

(3)研究分担者

中西 正樹(NAKANISHI MASAKI)

山形大学・地域教育文化学部・生活総合学科・准教授

研究者番号:40324967

(4)研究分担者

中田 尚(NAKADA TAKASHI)

奈良先端科学技術大学院大学・情報科学研究科・助教

研究者番号:00452524