

研究種目：基盤研究 (B)

研究期間：2007～2008

課題番号：19360152

研究課題名 (和文) 絶縁基板上 Si 薄膜の3次元結晶配向制御と TFT 応用

研究課題名 (英文) Control of 3D-Crystallization of Silicon Films on Insulating Substrates and Its Application to Thin Film Transistors

研究代表者

伊藤 隆司 (ITO TAKASHI)

東北大学・大学院工学研究科・教授

研究者番号：20374952

研究成果の概要：石英基板に堆積した非晶質 Si 膜の界面を SiO₂ 膜で規制した 3 次元配向制御結晶化を提案した。SiO₂ 膜の側壁と基板面で規制して結晶化させた Si 膜を用いた薄膜トランジスタ (TFT) により、電子移動度を従来構造 TFT と比較して 42% 向上させることに成功した。さらに、SiO₂ カバー膜を用い上面と基板面で規制し、CW レーザで結晶成長方向を〈110〉とした結晶配向制御結晶化により、(100) 優先配向、表面平坦性の改善およびバルク Si に匹敵する SiTFT の実効電子移動度を実現し、本提案の有用性を実証した。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	5,000,000	1,500,000	6,500,000
2008年度	4,400,000	1,320,000	5,720,000
年度			
年度			
年度			
総計	9,400,000	2,820,000	12,220,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：電子デバイス・集積回路

1. 研究開始当初の背景

現在、広く用いられている液晶ディスプレイにおいては液晶パネルの外側にドライバーなどの LSI が外装されている。パネルのガラス基板上にバルク Si デバイスに匹敵する高性能薄膜トランジスタ (TFT) が製造できれば、各種デジタル回路やメモリ等を搭載できるため、高性能なシステムパネルが安価に実現でき、さらにディスプレイ以外にも広い応用展開が考えられる。

TFT の製造方法として使われているエキシマーレーザーによる Si 再結晶化技術はガラス

基板上の Si 多結晶膜成長の有用な手段であるが、キャリア移動度が小さく、特性ばらつきが大きい、過剰なリーク電流が抑制できないなどの問題がある。これらは、絶縁基板上の多結晶 Si 薄膜の結晶方位が制御できないこと及びチャネルに不均一に結晶粒界が存在することに起因する。これらのことから、実用化されている TFT のゲート長は数 μm に留まり、性能はバルク Si デバイスに遥かに及ばない。特性ばらつきのない高性能 TFT の製造技術のブレークスルーが求められている。

2. 研究の目的

SiO₂膜と接する界面自由エネルギーの最も低いSi結晶膜の(100)面優先配向を積極的に活用し、3次元配向制御した高品質のSi薄膜を実現する。これをTFTに応用することにより電気特性を評価し、特性ばらつきを低減し、性能を飛躍的に向上させるTFT製造技術を確立する。高性能TFTはディスプレイ用ばかりでなく、無線タグなどの各種ユビキタスチップにも応用展開が可能であり、将来の3次元LSIデバイスに繋がる可能性がある。

3. 研究の方法

石英基板に堆積したSiO₂膜に垂直の段差を設け、平面と側壁にプラズマCVDで非晶質Si膜を150nmの厚さに堆積し、それぞれの面を(100)および(010)方位の結晶成長起点として電気炉による長時間熱処理により2次元配向制御Si結晶を成長させた。さらに、SiO₂カバー膜で上面の結晶配向を規制し、CWレーザー照射を行い、非晶質Si膜を熔融固化させ<110>方向に横方向結晶成長させることで、3次的に配向制御した。段差部においては、細線状(100nm以下の太さにできるので、Siナノワイヤーと呼ぶ)のSi結晶を成長させた。Siナノワイヤーの太さはSiO₂膜段差と堆積したSi膜厚と異方性エッチング条件で制御した。成長させたSi結晶膜を用いてTFTを試作し、電流駆動力および実効電子移動度等々を評価した。

4. 研究成果

(1) 初めに、SiO₂膜上に堆積した100nm厚の非晶質Si膜を100nm幅のナノワイヤー状に加工し、650°Cで6時間の熱処理により結晶化させた。ウェハ全面では界面自由エネルギーが最も低い(100)面が支配的な多結晶Si膜が観察された。図1に示すように断面TEM観察により断面には転移はあるものの結晶粒界が全くない単結晶が確認された。細線効果により、Siナノワイヤーは数μm長の細長い単結晶粒が連結して構成されていることが分かった。次に、SiO₂膜の垂直な側壁端に形成した30nm幅のSiナノワイヤーを用いて2次元制御熱処理を行うと、このSiナノワイヤー断面には結晶欠陥がほとんど存在しないことが分かった。

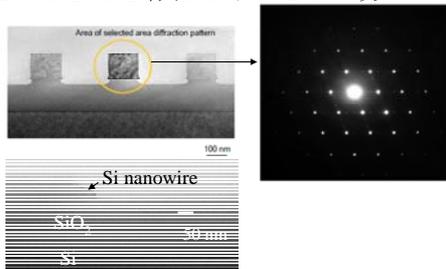


図1. Siナノワイヤーの断面TEM観察

(2) SiO₂膜に設けた複数の垂直段差部のSiナノワイヤーを含むTFTの試作・評価を行った。図2に示すように、従来のプレーナ型TFTと比べると、Siナノワイヤーの含有数が増加するほどドレイン電流は増加した。その要因は実効ゲート幅の増加およびゲート容量の増加以外に、実効電子移動度が42%増加するためであることが明らかになった。複数のナノメータ凹凸溝をバルクSi基板に形成して、その上に製作したナノグレーティングMOSトランジスタの特性解析結果を踏まえると、試作したTFTの実効電子移動度の向上はSi膜のナノワイヤー構造による結晶性改善ばかりでなく、側壁部に形成されたSiナノワイヤーの引っ張り応力による歪起因の移動度増大も寄与することが見出された。本研究で提案したSiナノワイヤーの形成プロセスを活用することにより、TFTの性能向上が実証できた。

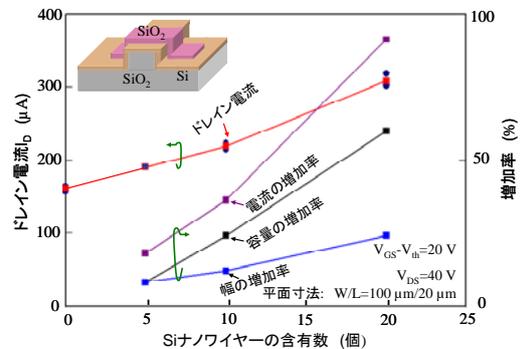


図2. TFTにおけるSiナノワイヤーの効果

(3) CWレーザースキャンにより<110>方向に結晶成長したSiO₂膜上Si結晶(20×2 μm²)を用いて試作したnチャネルTFTの実効電子移動度μ_{eff}とチャネル電荷量N_{inv}の関係を図3示す。室温のμ_{eff}はバルクMOSに匹敵する約300 cm²/Vsであり、そのN_{inv}依存性はN_{inv}^{-1/3}に近く、単結晶MOSトランジスタと同様なフォノン散乱が主散乱要因であることがわかった。この理由は、ゲート長が平均結晶粒長に対して充分短く、結晶粒界散乱の影響が無視できるようになったためと考えられる。

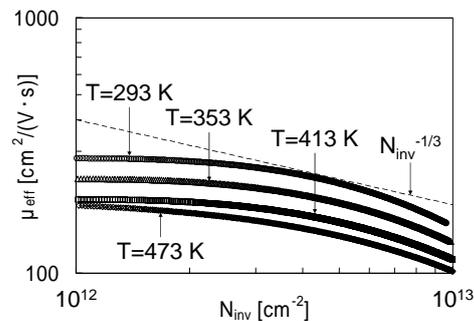


図3. 試作したTFTの実効電子移動度

(4)膜厚150nmのSiO₂膜でカバーして上面下面の2界面を規制した非晶質Si膜をCWレーザーで結晶化したSi膜のXRDによる(400)ピークが増加の様子を図4に示す。レーザー照射回数が15回までは(400)すなわち(100)面配向が圧倒的に増加した。これからも、SiO₂膜との界面では自由エネルギーの低い(100)が安定であることが確認できた。しかし、15回以上ではSi膜の凝集が顕著になり(400)ピークの減少が観察された。また、SiO₂カバー膜を用いることでSi結晶膜の平均面粗さ(Ra)を6.7から1.6nmまで、最大高低差(P-V)を66から20nmまで低減できることがわかった。

残った表面凹凸を平坦化するために多結晶Si膜の化学的機械的平坦化(Chemical Mechanical Polishing, CMP)技術を開発した。シリカペーススラリーを用いた場合、CMPにより一般には表面凹凸が激しくなる。これは結晶粒界への炭素偏析によるスラリー濡れ性低下と部分的SiC化による高硬化化に起因することが見出された。結晶粒界の濡れ性向上のためにエタノールをスラリー剤に添加したCMPを開発し、平均面粗さ(Ra)が1.1nmの超平坦Si薄膜を実現した。

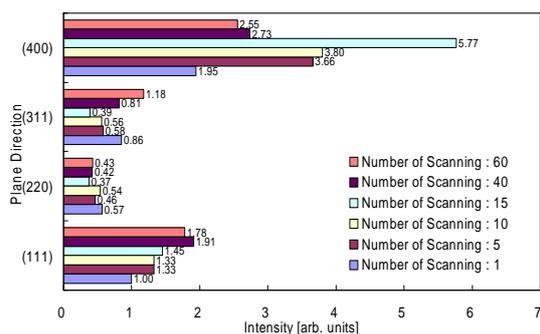


図4. CWレーザー多重照射による(100)面の表出

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計6件)

- ①Xiaoli Zhu, S. Kuroki, K. Kotani, and T. Ito, "Analysis of Drivability Enhancement Factors in Nanograting Metal-Oxide-Semiconductor Field-Effect Transistors", Jpn. J. Appl. Phys. 47, 3046-3049, (2008), 査読有.
- ②S. Fujii, S. Kuroki, K. Kotani, and T. Ito, "Analysis of Continuous-Wave Laser Crystallized Polycrystalline Silicon Films with Large Tensile Strain", Jpn. J. Appl. Phys., 47, 3081-3085, (2008), 査読有.
- ③S. Fujii, S. Kuroki, K. Kotani, and

T. Ito, "Crystallinity and Internal Strain of One-Dimensionally Long Si Grains by CW Laser Lateral Crystallization", ECS Transactions, 16, 145-151, (2008), 査読有.

- ④S. Fujii, S. Kuroki, K. Kotani, and T. Ito, "Enlargement of Crystal Grains in Thin Silicon Films by Continuous-Wave Laser Irradiation", Jpn. J. Appl. Phys. 46, 2501-2504, (2007), 査読有.
- ⑤Xiaoli Zhu, S. Kuroki, K. Kotani, and T. Ito, "Characteristics of Nano-Grating N-Channel MOSFETs for Improved Current Drivability", IEICE TRANS. ELECTRON, E90-C, 1830-1836, (2007), 査読有.
- ⑥Xiaoli Zhu, S. Kuroki, K. Kotani, and T. Ito, "Advantages of Nano-Grating Si Substrates in CMOS-FET Characteristics", ECS Transactions, 11, 467-472, (2007), 査読有.

[学会発表] (計17件)

- ①岩田英範, 藤井俊太郎, 黒木伸一郎, 小谷光司, 伊藤隆司, "CWレーザー多重照射によるシリコン薄膜の(100)結晶は配向性向上", 第56回応用物理学会関係連合講演会, 2009年3月31日.
- ②藤井俊太郎, 黒木伸一郎, 小谷光司, 伊藤隆司, "Cap SiO₂薄膜によるラテラル結晶化Poly-Si薄膜のラフネス低減", 第56回応用物理学会関係連合講演会, 2009年3月31日.
- ③黒木伸一郎, 沼田雅之, 藤井俊太郎, 小谷光司, 伊藤隆司, "エタノール添加スラリーを用いたCWレーザー結晶化Si薄膜のCMP", 薄膜材料デバイス研究会 第5回研究集会, 2008年10月31日.
- ④Xiaoli Zhu, S. Kuroki, K. Kotani, and T. Ito, "Research on Poly-Si TFTs with One-dimensionally long grains formed by CW laser lateral crystallization", SOIM-GCOE08, 2008年10月16日.
- ⑤S. Fujii, S. Kuroki, K. Kotani, and T. Ito, "Research on High Performance Poly-Si TFTs with One-dimensionally long grain and reduced surface roughness", SOIM-GCOE08, 2008年10月16日.
- ⑥S. Fujii, S. Kuroki, K. Kotani, and T. Ito, "Crystallinity and Internal Strain of One-Dimensionally Long Si Grains by CW Laser Lateral Crystallization", 214th ECS Meeting, 2008年10月13日.
- ⑦沼田雅之, 藤井俊太郎, 黒木伸一郎, 小谷光司, 伊藤隆司, "エタノール添加スラリーを用いたCMPによるCWレーザー結晶化

Si薄膜の平坦化”, 電子情報通信学会SDM研究会, 2008年10月9日.

- ⑧S. Fujii, S. Kuroki, K. Kotani, and T. Ito, "Carrier Transport Mechanism in Poly-Si TFTs with One-Dimensionally Long Grains", The 2008 International Conference on Solid State Devices and Materials, 2008年9月13日.
- ⑨S. Fujii, S. Kuroki, K. Kotani, and T. Ito, "Roughness Reduction Technique for High Performance Poly-Si TFTs by CW Laser Lateral Crystallization with Cap SiO₂ Thin Films", The 2008 International Conference on Solid State Devices and Materials, 2008年9月12日.
- ⑩藤井俊太郎、黒木伸一郎、小谷光司、伊藤隆司, "CLC poly-Si TFTのキャリア輸送メカニズムの解析第69回応用物理学会学術講演会", 2008年9月2日.
- ⑪Xiaoli Zhu, S. Kuroki, K. Kotani, and T. Ito, "Research on High-performance Nano-grating Si TFTs", The 1st International Symposium on Information Electronics Systems, 2007年11月27日.
- ⑫黒木伸一郎、藤井俊太郎、小谷光司、伊藤隆司, "連続波グリーンレーザ再結晶化Si薄膜における結晶性と歪み", 薄膜材料デバイス研究会第4回研究集会, 2007年11月2日.
- ⑬Xiaoli Zhu, S. Kuroki, K. Kotani, and T. Ito, "Advantages of Nano-Grating Si Substrates in CMOS-FET Characteristics", 212th ECS Meeting, 2007年10月12日.
- ⑭S. Fujii, S. Kuroki, K. Kotani, and T. Ito, "Lateral Recrystallized Si Thin Films with Large Tensile Strain for High Performance Thin Film Transistors", International Conference on Solid State Devices and Materials, 2007年9月19日.
- ⑮Xiaoli Zhu, S. Kuroki, K. Kotani, and T. Ito, "The Drivability Enhancement Mechanisms in Nano-grating MOSFETs", International Conference on Solid State Devices and Materials, 2007年9月19日.
- ⑯沼田雅之、藤井俊太郎、黒木伸一郎、小谷光司、伊藤隆司, "連続波レーザ結晶化Si薄膜のCMP研磨特性", 第68回応用物理学会学術講演会, 2007年9月4日.
- ⑰藤井俊太郎、黒木伸一郎、小谷光司、伊藤隆司, "ラテラル結晶化Si薄膜におけるイオンチャネリング効果と固相結晶化", 第68回応用物理学会学術講演会, 2007年9月4日.

[産業財産権]

○出願状況 (計4件)

名称: 半導体薄膜の製造方法

発明者: 伊藤隆司

権利者: 東北大学

種類: 特許

番号: 特願 2009-78991

出願年月日: 2009年3月27日

国内外の別: 国内

名称: 薄膜トランジスタの製造方法

発明者: 伊藤隆司

権利者: 東北大学

種類: 特許

番号: 特願 2008-154781

出願年月日: 2008年6月13日

国内外の別: 国内

名称: シリコン酸化膜の堆積方法

発明者: 伊藤隆司, 黒木伸一郎

権利者: 東北大学

種類: 特許

番号: 特願 2007-293064

出願年月日: 2007年11月12日

国内外の別: 国内

名称: 薄膜トランジスタ及びその製造方法

発明者: 伊藤隆司

権利者: 東北大学

種類: 特許

番号: 特願 2007-191515

出願年月日: 2007年8月17日

国内外の別: 国内

○取得状況 (計0件)

6. 研究組織

(1) 研究代表者

伊藤 隆司 (ITO TAKASHI)

東北大学・大学院工学研究科・教授

研究者番号: 20374952

(2) 研究分担者

小谷 光司 (KOTANI KOJI)

東北大学・大学院工学研究科・准教授

研究者番号: 20250699

黒木 伸一郎 (KUROKI SHIN-ICHIRO)

東北大学・大学院工学研究科・助教

研究者番号: 70400281

(3) 連携研究者

なし