

平成 22 年 3 月 31 日現在

研究種目：基盤研究（B）
研究期間：2007～2009
課題番号：19360178
研究課題名（和文） 並列処理による高速経路探索に基づいた次世代光・IP 連携ネットワークの研究
研究課題名（英文） Research on the next-generation IP+Optical network based on high-speed path search by parallel processing
研究代表者 山中 直明（YAMANAKA NAOAKI） 慶應義塾大学・理工学部・教授 研究者番号：80383983

研究成果の概要（和文）：本研究では 次世代光ネットワーク制御技術である GMPLS (Generalized Multi-Protocol Label Switching) において、より高効率かつ柔軟なトラフィック制御を実現するための高速な最短経路探索アルゴリズムと、それに基づく新しい光パス決定方式を提案した。計算機シミュレーションと、リコンフィギュラブル並列プロセッサ上に実装した高速経路計算エンジンを用いた実験により特性評価を行い、提案方式の有効性を示した。

研究成果の概要（英文）：In this project, in order to realize an effective and flexible traffic control in GMPLS (Generalized Multi-Protocol Label Switching) which is the next generation optical network control protocol, a high-speed shortest path search scheme and a new optical path computation scheme were proposed. By computer simulations and experiments by implementing proposed schemes on a reconfigurable parallel processor, it was shown that the proposed schemes could achieve better performance in calculation time, the resource usage of the network, and so on.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	5,200,000	1,560,000	6,760,000
2008 年度	2,700,000	810,000	3,510,000
2009 年度	2,700,000	810,000	3,510,000
年度			
年度			
総計	10,600,000	3,180,000	13,780,000

研究分野：工学

科研費の分科・細目：電気電子工学 通信・ネットワーク工学

キーワード：GMPLS、並列リコンフィギュラブルプロセッサ、DAPDNA-2、最短経路探索、ダイクストラ法、オンチップ仮想ネットワーク、トラフィックエンジニアリング、マルチレイヤ

1. 研究開始当初の背景

現在、バックボーンネットワークの多くの部分は光ファイバによって構成され、回線という観点で考えると光ファイバの持つ大容量、広帯域の利点を享受できる素地ができています。しかしながら、各ノードにおいて光信号から電気信号に変換した後に再び光信号に戻すというような光電変換を行っているため、この部分がボトルネックとなり現状では光ファイバの持つ高速・大容量性を生かしきれていない。そこで、このボトルネックを解消するために、ネットワーク全体を光学段で処理する全光ネットワークが次世代のバックボーンネットワークのアーキテクチャとして有望視されている。GMPLSは、その全光ネットワークにおける次世代の制御プロトコルとして盛んに研究が行われている。IPレイヤと光レイヤを統合して制御することで、これまで不可能であった、光信号の波長をもとに実データを光信号のままルーティングしたり、ルーティング経路を決定したりするといった処理が可能となる。

一方で近年、P2P(Peer to Peer)やCDN(Contents Delivery Network)など、大容量かつ大きく変動するダイナミックな特性を持つトラフィックが急増しており、こうした種類のトラフィックを効率的に扱うためのトラフィック制御技術が重要な研究課題となっており、より高効率なネットワークを目指して、複数のメトリックを考慮した最適パス計算や光レイヤとIPレイヤ間の連携した光パス手法が必要である。

2. 研究の目的

近年、次世代光ネットワーク制御技術であるGMPLS(Generalized Multi-Protocol Label Switching)が注目されている。また、P2P(Peer to Peer)やCDN(Contents Delivery Network)など、大容量かつ大きく変動するダイナミックな特性を持つトラフィックが急増しており、こうした種類のトラフィックを効率的に扱うためのトラフィック制御技術が重要な研究課題となっている。

そこで、GMPLSにおいて、より高効率かつ柔軟なトラフィック制御を実現するための、現在よりも二桁～三桁以上高速な最短経路探索手法と、それに基づく新しい光パス決定アルゴリズムを提案し、アーキテクチャとプロトコルに関して、理論および実装の両面からその性能を明らかにすることが本研究の目的である。本研究では、アルゴリズムとハードウェアの両方からアプローチすることにより、これまでにないブレークスルーを

目指す。そして、アカデミアのミッションとして世界に先駆けて先駆的なトラフィック制御技術の基盤を確立し、本技術を産業界と連携して実用化を目指す。

3. 研究の方法

ここでは、主な研究成果として、(1)リンクディスジョイント経路計算の高速解法の一検討、(2)ダイナミックリコンフィギュラブルプロセッサDAPDNA-2上のオンチップ仮想ネットワークによる新しいネットワーク最適化手法、(3)並列リコンフィギュラブルプロセッサDAPDNA-2を用いた集合被服問題の高速解法、(4)リンクパワーオフによるネットワーク省電力化のための高速トポロジ計算手法 に関して説明する。

(1) リンクディスジョイント経路計算の高速解法の一検討

近年、ネットワークの高速・大容量に伴い、ネットワークの信頼性が重要になり、Next Generation Network (NGN) のようにQuality of Service (QoS) に焦点を当てたネットワークが注目されている。耐障害性の確保はQoSを保障する上での要素技術である。

耐障害時の予備経路は、主経路と同じリンクを使用しないという条件を満たす必要がある。このような、互いに同じリンクを使用しない2つの経路の組をリンクディスジョイントな経路の組と呼ぶ。通常、リンクディスジョイントな経路の組を算出する方法として、従来、最短経路探索アルゴリズムであるダイクストラ法を基にした、 K Disjoint-Paths Pairs (KDPPs) アルゴリズムが用いられていた。KDPPsは前述の通り、ネットワークによって最適な解が求まらない場合が存在し、最悪の場合、解そのものが求まらない、いわゆるトラップ問題になることが知られている。しかし、最適解が求まらない状況について、詳しく言及している過去の研究はほとんど存在しない。

そこで、並列リコンフィギュラブルプロセッサDAPDNA-2に適した、マルチレイヤの情報を考慮する新たな高速リンクディスジョイント経路探索アルゴリズムであるFLDPA(Fast Link Disjoint-Paths Algorithm)を提案する。FLDPAはネットワーク中の複数の経路を並列に探索し、探索した経路の中からマルチレイヤコストの低い最適な経路の組を算出する。FLDPAにより、従来方式のKDPPsよりも大幅な計算クロック数の減少を目指す。

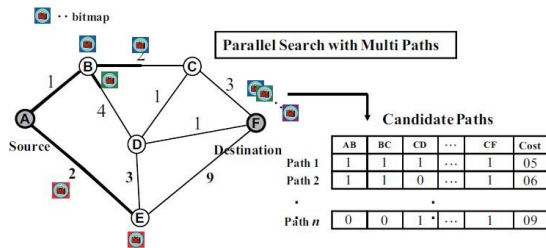


図1 提案方式：FLDPA

- (2) ダイナミックリコンフィギュラブルプロセッサ DAPDNA-2 上のオンチップ仮想ネットワークによる新しいネットワーク最適化手法

光パスの構築・切断が IP レイヤに与える影響を考慮した光パス設計手法を提案した。構築可能なすべての光パスに関して仮想的にパスを張った場合の最短経路を計算することで、最適な光パスの設計が可能となるが、計算量の増大が懸念される。そこで、従来の数学的手法と違い、リコンフィギュラブルプロセッサ DAPDNA-2 のチップ上に仮想ネットワークを構築し、パケットの動きによって現実のトラフィック変動を求めるといった実験的手法を提案した。以下、DAPDNA-2 上への実装例を示す。

図2に作成したバーチャルネットワークを示す。DAPDNA-2 は、IPFlex 社のリコンフィギュラブルプロセッサであり、RISC コアをもつ DAP (Digital Application Processor) と DNA (Digital Network Architecture) よりなる。DNA は、376 個の PE (Processing Elements) 群から構成され、3 面のバンクを持って、1clock でコンフィギュレーションを変更できる。

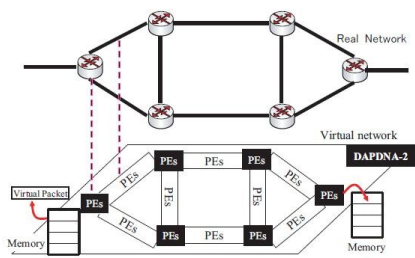


図2 バーチャルネットワーク

6つのバーチャルノード(図3)と、10のバーチャルリンク(図4)を構成した。各ノードやリンクは、32bit のデータをバーチャルパケットとして処理する。最短経路の計算は、ソースノードからパケットを送り、各バーチャルリンクで通過情報を記憶し、さらに必要なdelayを与えられる。宛先ノードにすべてのパケットが到着するまで、各ノードでのブロードキャストとリンク通

過処理を行なう。

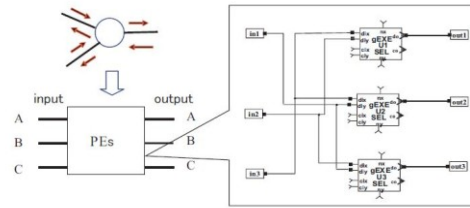


図3 3入力3出力のノード

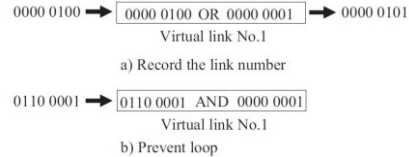


図4 バーチャルリンク

- (3) ダイナミックリコンフィギュラブルプロセッサ DAPDNA-2 を用いた集合被服問題の高速解法

高速広帯域ネットワークの発展を背景に普及した、大容量の映像を配信するためのサービスにおいては、ユーザがオリジナルサーバからのみコンテンツをダウンロードした場合、オリジナルサーバの負荷が大きくなる。一方、オリジナルサーバ以外にもコンテンツを分散させる手法が提案されているが、コンテンツレプリカの最適配置計算は集合被服問題に帰着され、NP 困難である。そのためネットワーク規模が膨大になると、ソフトウェアで処理することは難しい。

そこで本研究では、並列リコンフィギュラブルプロセッサDAPDNA-2 を用いて並列計算及びパイプライン処理を行うことにより、全ての組合せを列挙する集合被服問題の高速解法を提案する。

提案方式では、全ての組合せを複数グループに分割して、下図に示すようにDAPDNA-2 でパイプライン計算を行う。

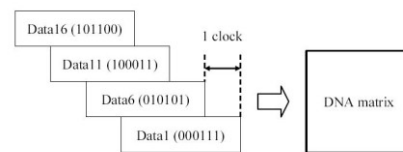


図5 パイプライン演算

組合せを2進数で表現すると、大小関係を設定することができ、Beeler らが考案したアルゴリズム(以下、Beeler 法と呼ぶ)を実行することで、昇順に全ての組合せを生成する。

- (4) 光ネットワークの省電力化へ向けたリソース最小化アルゴリズム
近年の環境意識の高まりの中、ネットワ

ークリソースの急増による電力消費の伸びが指摘され始めるなど、ネットワークの省電力化は今後重視すべき課題であり、装置やデバイスのみではなく、アーキテクチャを組み合わせる検討が必要である。

従来型電気インターフェースの Ethernet では必要に応じ通信速度を抑えるアプローチなどがあるが、これからの主役となる光ネットワークインターフェースでは通信速度を動的に変化させることは困難である。そこで、トラフィック量がさほど大きくないときには、いくつかのスイッチ、ポートを OFF にし、トラフィックを集約することにより電力消費を抑えることを考える。問題は、通信品質を落とさずに、最小消費電力のスイッチ、ポート配置を見つけることであり、これはまさに集合被覆問題になる。

そこで、(3)の DAPDNA を使った集合被覆問題の高速解法の適用し、ネットワークに配置されたスイッチのポートごとに、どのポートを OFF にし、どのリンクを切断すると、ネットワークの性能を劣化させることなく、ネットワーク全体の低消費電力化を図る。

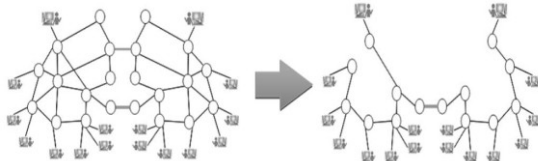


図6 スイッチ、ポートの ON/OFF

図7のように、トラフィック許容値を制約条件に、ノード間の発生トラフィックを表すマトリクスからリンクにかかるトラフィックを表すマトリクスを作成し、許容範囲内でトラフィックの移動を行い、削減可能なリンクを算出する。

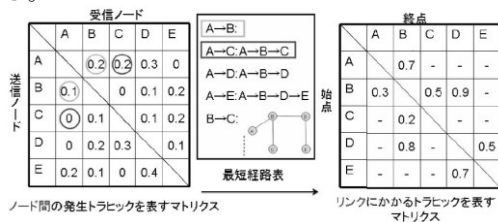


図7 リンクのトラフィック負荷の求め方

4. 研究成果

(1) リンクディスジョイント経路計算の高速解法の一検討

一辺のコストが10の格子状メッシュトポロジにおいて、2本のリンク独立な経路を選択($k=2$) するのにかかる実行クロック数をFLDPAとKDPPsで比較したものを図8に示す。FLDPAに関しては、2種類の収集経路数 α_{limit} の値を用いて実行クロック数を比較した。横

軸はノード数である。

N が大きいほど、FLDPAの効果が大きいことが分かる。196ノードのネットワークでは、FLDPAはKDPPsと比較して、99.6%も計算クロックを削減可能である。KDPPsはダイクストラ法を使用するため、 N の増加に従って実行クロックが急増する。一方、FLDPAは、経路収集およびリンクディスジョイント経路算出の両演算が N の値に依存しないため、 N の増加による実行クロック数増加が非常に小さい。

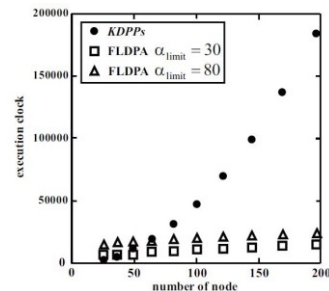


図8 KDPPsとFLDPAの計算実行クロックの比較

また、FLDPAは α_{limit} の増加による実行クロック数増加の影響も非常に小さく、比較的規模の大きいネットワークにおいて、KDPPsと比較して、より高速に最適な経路を選択することが可能である。

(2) ダイナミックリコンフィギュラブルプロセッサ DAPDNA-2 上のオンチップ仮想ネットワークによる新しいネットワーク最適化手法

Dijkstra アルゴリズムと、提案方式の性能を、クロック数で評価した。ネットワークトポロジは、10ノードメッシュ型トポロジである。表1に示すように、約100倍高速化に成功した。

表1 Dijkstra アルゴリズムと提案方式の比較

Execution Time (μ sec)	
Dijkstra	Proposed
12.8	0.67

以上、バーチャルリンク、バーチャルノードからなるバーチャルネットワーク内で、仮想的にバーチャルパケットを転送する新しいネットワーク設計法を提案し、DAPDNAで実装し、その有効性を示した。

(3) ダイナミックリコンフィギュラブルプロセッサ DAPDNA-2 を用いた集合被覆問題の高速解法

提案方式を評価ボード DAPDNA-2 166MHz 上に実装し、Pentium 4 2.8GHz (動作クロック

が DAPDNA-2 166MHz の 17 倍) と計算時間を比較した。図 9 にノード数に対する実行時間を示す。ここでは、全ノードから 8 ノードを選択する組合せを全て求めている。実測値と理論値に多少誤差が認められるが、実行時間の増加傾向はほぼ等しいことがわかる。提案方式はノード数が増加しても実行時間があまり増加せず、30 ノードのとき、実行時間が 40 倍以上改善している。これは、並列化及びパイプライン処理によって同時並列的に計算しているためである。

以上、特性評価の結果、動作クロック数が 17 倍の Intel Pentium 4 と比較して実行時間が 40 倍以上改善することから、提案方式の有効性を示した。

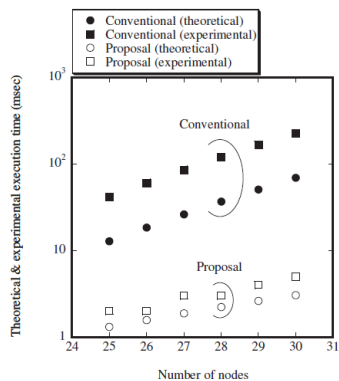


図 9 ノード数に対する実行時間

(4) 光ネットワークの省電力化へ向けたリソース最小化アルゴリズム

DAPDNA-2 でのシステムが完成したと仮定し、ノード数 14、リンク数 21 の NSFnet のトポロジにおいて、リンク切断が及ぼす影響の大きさを計算機シミュレーションで評価する。図 10 に、初期リンクトラフィックに対する電力削減量の変化を示す。初期状態のリンクの平均トラフィックは、ネットワークに流れる総トラフィック、最短経路の平均ホップ数、ネットワークのリンク数から求められ、 $\rho = 0.015$ の場合、リンクの平均トラフィックは約 0.27 となり、中程度の負荷であるといえる。

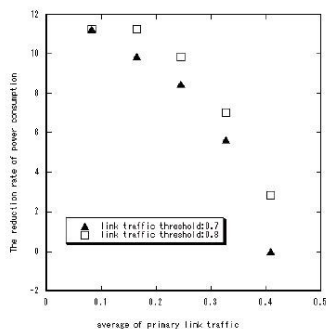


図 10 初期リンクトラフィックに対する電力削減量の変化

全体の割合では最大 10%の省電力効果を見込むことができる。

この研究が実現した場合、ネットワーク上で消費される電力の 10%が削減できるとして、220 億円 (22 円/1kWh、全国 10 電力会社平均) の経済的メリットがある。CO2 の排出量に換算すれば 38 万トン相当の削減となり、社会的貢献も十分アピールできる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

- ① Sho Shimizu, Hiroyuki Ishikawa, Yutaka Arakawa, Naoaki Yamanaka, and Kosuke Shiba, "Resource Minimization Method Satisfying Delay Constraint for Replicating Large Contents," IEICE Transactions on Communications, Vol. E92-B, No. 10, pp.3102-3110, October 2009. 査読有

[学会発表] (計 17 件)

※以下、17 件中査読付国際会議発表に該当する 10 件を列挙する。

- ① Naoaki YAMANAKA, Sho SHIMIZU and Gao Shan, "Energy Efficient Network Design Tool for Green IP/Ethernet Networks," ONDM 2010 (14th Conference on Optical Network Design and Modeling), 2010 年 2 月 1 日, 京都.
- ② Gao Shan, Zhou Jia, Aya Tsurusaki, and Naoaki Yamanaka, "Reducing Network Power Consumption Using Dynamic Link Metric Method and Power Off Links," IEEE Seoul Section International Student Paper Contest 2009, 2009 年 12 月 5 日, ソウル, 韓国.
- ③ 高山, 木原 拓, 清水 翔, 荒川 豊, 山中 直明, 渡辺 昭文, "A Novel Traffic Engineering Method using On-Chip Diorama Network on Dynamically Reconfigurable Processor DAPDNA-2," HPSR (High Performance Switching and Routing) 2009, 2009 年 6 月 23 日, パリ, フランス.
- ④ Shan GAO, Taku KIHARA, Sho SHIMIZU, Yutaka ARAKAWA, Naoaki YAMANAKA, Kosuke SHIBA, "Traffic Engineering based on Experimentation in On-chip Virtual Network on Dynamically

- Reconfigurable Processor, ' ' International Student Paper Contest, Seoul Section 2008, pp.90-95, 2008年11月29日, ソウル, 韓国.
- ⑤ Hiroyuki Ishikawa, Sho Shimizu, Yutaka Arakawa, Naoaki Yamanaka, Kosuke Shiba, "Fast Replica Allocation Method by Parallel Calculation on DAPDNA-2 (Best Paper Award), ' ' The 14th Asia-Pacific Conference on Communications (APCC 2008), No. 15-PM1-F-2, 2008年10月15日, 秋葉原, 東京.
- ⑥ Masahiro Nishida, Hiroyuki Ishikawa, Sho Shimizu, Yutaka Arakawa, Satoru Okamoto, Naoaki Yamanaka, "Adaptive Resource Reservation Protocol for High-speed Resource Information Advertisement, ' ' The 14th Asia-Pacific Conference on Communications (APCC 2008), No. 15-PM1-E-4, 2008年10月15日, 秋葉原, 東京.
- ⑦ Taku KIHARA, Sho SHIMIZU, Yutaka ARAKAWA, Naoaki YAMANAKA, Kosuke SHIBA, "Fast Link-Disjoint Path Algorithm on Parallel Reconfigurable Processor DAPDNA-2, ' ' International Conference on The 14th Asia-Pacific Conference on Communications (APCC2008), No.15-PM1-C-4, 2008年10月15日, 秋葉原, 東京.
- ⑧ Sho Shimizu, Taku Kihara, Yutaka Arakawa, Naoaki Yamanaka, Kosuke Shiba, "Hardware Based Scalable Path Computation Engine for Multilayer Traffic Engineering in GMPLS networks, ' ' 34th European Conference on Optical Communication, Vol.4, No.Th-2-E-4, pp.113-114, 2008年9月25日, ブリュッセル, ベルギー.
- ⑨ Sho Shimizu, Taku Kihara, Yutaka Arakawa, Naoaki Yamanaka, Kosuke Shiba, "A prototype of a dynamically reconfigurable processor based off-loading engine for accelerating the shortest path calculation with GNU Zebra, ' ' 2008 International Conference on High Performance Switching and Routing (HPSR 2008), 2008年5月16日, 上海, 中国.
- ⑩ Hiroyuki ISHIKAWA, Sho SHIMIZU, Yutaka ARAKAWA, Naoaki YAMANAKA, Kosuke SHIBA, "New Parallel Shortest Path Searching Algorithm based on Dynamically Reconfigurable Processor DAPDNA-2, ' ' 2007 IEEE International

Conference on Communications (ICC2007), 2007年6月27日, グラスゴウ, イギリス. (その他7件)

[産業財産権]

○出願状況 (計4件)

①

名称: ネットワークに含まれるノード間の経路を探索するためのシステムおよび方法
発明者: 山中直明、高山、荒川豊、斯波康祐

出願番号: 特願 2008-202323

出願年月日: 2008/08/05

国内外の別: 国内

②

名称: ネットワークの電源制御方法及びネットワークの電源制御装置
発明者: 山中直明、荒川豊、津留崎彩、渡辺昭文、藤田勉

出願番号: 特願 2008-193937

出願年月日: 2008/07/28

国内外の別: 国内

③

名称: 集合被覆問題解決プログラム及びネットワークサーバの配置決定方法

発明者: 山中直明、石川浩行、荒川豊、清水翔、斯波康祐

出願番号: 特願 2008-053825

出願年月日: 2008/03/04

国内外の別: 国内

④

名称: ネットワークに含まれるノード間の経路を探索するためのシステム及び方法

発明者: 山中直明、荒川豊、木原拓、清水翔

出願番号: 特願 2007-312648

出願年月日: 2007/12/03

公開番号: 特開 2009-141425

公開年月日: 2009/06/25

国内外の別: 国内

6. 研究組織

(1) 研究代表者

山中 直明 (YAMANAKA NAOAKI)

慶應義塾大学・理工学部・教授

研究者番号: 80383983

(2) 研究分担者

岡本 聡 (OKAMOTO SATOSHI)

慶應義塾大学・理工学研究科・准教授

研究者番号: 10449027

荒川 豊 (ARAKAWA YUTAKA)

九州大学・システム情報科学研究院・助教

研究者番号: 30424203

(3) 連携研究者

該当なし