

平成 22 年 5 月 18 日現在

研究種目：基盤研究 (C)
研究期間：2007～2009
課題番号：19500047
研究課題名 (和文) 次世代 LSI のための信号劣化回避型テスト方式に関する研究
研究課題名 (英文) Research on Advanced VLSI Test for Avoiding Signal Degradation
研究代表者
温 暁青 (WEN XIAOQING)
九州工業大学・大学院情報工学研究院・教授
研究者番号：20250897

研究成果の概要 (和文)：本研究では、LSI 回路の実速度スキャンテストのキャプチャモードにおける誤動作の主な原因として、テスト入力で活性化された長いパスの近傍 (クリティカルエリア) の過度な電圧降下 (IR-Drop) によるパス遅延の増加にあることに突き止めた。これに基づいて、長いパスの活性化情報、近傍情報、及び状態遷移情報を反映した CCT (Critical Capture Transition) という評価基準を提案し、テスト入力ごとの誤動作の予測を可能にした。更に、クリティカルエリアに影響を与える冗長ビットを抽出し、それにそのクリティカルエリア内のキャプチャ電力を減少させる論理値を決定する手法を提案した。これによって、誤テスト問題の根本原因を解決する高度な誤テスト回避方式を確立した。

研究成果の概要 (英文)： This research addressed the false test issues in at-speed scan testing of LSI circuits. First, it identified the excessive switching activity in the proximity (critical area) around a long sensitized path by a test vector as the main cause of false test. Next, it proposed an accurate metric for identifying risky test vectors by taking the sensitization status of long sensitized paths, proximity information, and transition level into consideration. Furthermore, this research proposed a method for extracting redundant bits from a test set that can impact the switching activity in critical areas and devised an X-filling method for determining logic values for the redundant bits so that switching activity in critical areas is effectively reduced. As a result, an advanced false-test-avoiding scheme has been established.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	1,500,000	450,000	1,950,000
2008年度	1,000,000	300,000	1,300,000
2009年度	1,000,000	300,000	1,300,000
総計	3,500,000	1,050,000	4,550,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：LSI テスト、高信頼化

1. 研究開始当初の背景

半導体集積回路 (以下、LSI 回路とも言う) は、設計・製造・テストの 3 段階を経て完成される。テストとは、設計データに基づいて製造された LSI 回路に対して、テスト入力を印加しそれに対するテスト応答を期待値と

比較して良品 (GO)・不良品 (NG) の判定を行う重要な作業である。テストは、LSI 回路の品質と信頼性を大きく左右するため、半導体産業の生命線とまで言われている。しかし今、テストはテスト時の信号劣化問題によって大きな危機に直面している。

信号劣化 (Signal Integrity Problem) は電圧降下 (Voltage-Drop)、信号間干渉 (Cross-Talk)、及び金属原子移動 (Electro-Migration) を意味する。テスト入力による回路内信号変化数が異常に多ければ、LSI 回路に信号劣化が発生し、機能的には正常な LSI 回路でもテスト時には誤った応答を出力するため、正常回路が不良回路と判定されてしまうという誤テストが発生する。その結果、LSI 回路の歩留まり (良品率) が異常に低下し、半導体産業にとって大きな打撃になる。Intel の試算によれば、MPU チップの 1% の歩留まり低下でも約 2 億円 / 月の損失を意味する。この信号劣化による歩留まり低下という危機は、超大規模化・超微細化・超高速化・超低電圧化を特徴とする次世代 LSI 回路において、更に深刻化すると予想されている。

このため、テストに起因する歩留まり低下という深刻な問題を解決することは、半導体技術・産業の発展にとって極めて重要である。そこで本研究では、テスト時の信号劣化が歩留まりを低下させる詳細メカニズムを完全に解明した上で、歩留まり低下を招くような信号劣化を避けるテスト方式、いわゆる信号劣化回避型テスト方式 (SIAT: Signal-Integrity-Aware Testing) を世界に先駆けて確立することを目的とする。

テストによる歩留まり低下問題に関する研究は、電圧降下の防止を主テーマに、米国と欧州を中心に盛んに行われているが、2 つの大きな欠点がある。まず、従来の研究はシフト (データ伝送) 時の電圧降下のみを対象としており、より深刻なキャプチャ (データ獲得) 時の電圧降下を考慮していない。更に、従来の研究は回路やクロックの設計変更を必要とするため、実用的でない。

キャプチャ時の電圧降下を回避するための、LCP (Low-Capture Power) というテスト方式が確立されているが、電圧降下だけが対象とされており、同じく信号劣化の原因である信号間干渉と金属原子移動が完全に無視されている。また、信号劣化の物理現象としての側面を完全に無視し、信号劣化が歩留まりを低下させるメカニズムも曖昧なまま、抽象的な論理設計の領域で解決方法を見出そうとするため、実効性が低い場合がある。このため、現状では、信号劣化問題を総合的・効果的に解決するテスト方式はまだ確立されていない。

本研究は、信号劣化が歩留まりを低下させるメカニズムを完全に解明した上で、電圧降下のみならず、信号間干渉と金属原子移動も含む信号劣化問題を総合的に解決する信号劣化回避型テスト方式を世界に先駆けて確立するため、従来の研究とは完全に異なっ

ている。国内外には、類似した研究は存在していない。また、本研究は、信号劣化をテスト入力生成における制約条件とし、LSI 回路の電源設計やクリティカル・パスに関する情報を信号劣化の回避に活用する点において、極めて高い独創性を有している。

2. 研究の目的

本研究は以下の目的で実施された。

(1) 基礎解析 1 : 信号劣化による歩留まり低下のメカニズムの解明 (H19 年度前半)

信号劣化の全ての原因 (電圧降下、信号間干渉、金属原子移動) と歩留まり低下との関係を統計的手法とシミュレーションによって解析することによって、数値化モデルを構築する。

(2) 基礎解析 2 : 信号劣化による誤テストを回避するための信号変化数上限の導出 (H19 年度後半)

信号劣化問題を論理領域で効率よく扱うため、信号劣化の物理的側面 (電源・回路設計、クリティカル・パスなど) に関する境界条件を論理回路内の信号変化数上限に正確に置き換える。

(3) 要素技術 1 : シフトのための信号劣化回避型テスト手法の提案 (H20 年度前半)

テストデータとテスト応答を伝送するシフト操作における信号劣化問題および発熱問題を、回路面積と回路性能への影響を最小限に抑えながら回避するための回路設計手法を提案する。

(4) 要素技術 2 : キャプチャのための信号劣化回避型テスト手法の提案 (H20 年度後半)

テスト応答を記憶素子に取り込むキャプチャ操作における信号劣化問題を、電源設計やクリティカル・パスに関する情報を用いて効果的に回避するためのテスト入力生成手法を提案する。

(5) 要素技術 3 : 圧縮スキャン環境における信号劣化を回避する手法の提案 (H21 年度前半)

外部入力と内部入力の対応関係が 1 対 1 でない圧縮スキャン環境において、圧縮スキャンのテストデータ圧縮効率を損なわない前提で、要素技術 1 と要素技術 2 の適用手法を提案する。

(6) 総合技術 : 上記要素技術 (1~3) を融合した信号劣化回避型テスト方式の確立 (H21 年度後半)

上記要素技術 (1~3) を融合してテストにおける信号劣化問題を総合的・効果的に解決する信号劣化回避型テスト方式を確立する。また、実 LSI 回路データを用いて評価実験を行う。

3. 研究の方法

(1) 信号劣化による歩留まり低下のメカニズムの解明 (基礎解析 1)

信号劣化現象の3つの側面（電圧降下、信号間干渉、金属原子移動）について、次のように歩留まり低下との関連を解明する。まず、信号劣化現象の各側面の特徴パラメータとLSI回路内のクリティカル・パスのタイミング条件（setup時間、hold時間など）との関係を表す数値モデルを立てる。次に、SPICEシミュレータ、IR-Drop解析ツール、STAツールを用いてシミュレーションを行い、歩留まり低下に関する実回路データと比較して数値モデルの精度を検証する。

(2) 信号劣化による誤テストを回避するための信号変化数上限の導出 (基礎解析 2)

基礎解析1で得られた電圧降下、信号間干渉、および金属原子移動に関する数値モデルに基づいて、電源・回路の物理設計情報も考慮する形で、信号劣化が誤テストを引き起こさないための論理回路内信号変化数の上限を導出する。まず、電圧降下、信号間干渉、および金属原子移動に対応する論理回路内信号変化数の上限を導出する。次に、各上限値を統合した最終上限値について、実回路データを用いて実験を行い、その精度を検証する。上限の誤差が予想以上に大きい場合は、補正手段で対応する

(3) シフトのための信号劣化回避型テスト手法の提案 (要素技術 1)

テストデータとテスト応答を伝送するシフト操作における論理回路内信号変化数を、 $1/N$ (N は回路設計者が指定できるパラメータ)に削減するため、回路分割と回路動作抑制を行う。その前提として、シフト操作時間、回路面積および回路性能への影響を最小限に止める。各記憶素子が到達できる回路素子の情報および各記憶素子が電源との接続関係に基づいて回路分割を行う。次に、分割された回路ブロックのシフトクロックの抑制手法を考案し、その有効性の実験評価を行う。

(4) キャプチャのための信号劣化回避型テスト手法の提案 (要素技術 2)

テスト応答を記憶素子に取り込むキャプチャ操作における論理回路内信号変化数を、テストキューブに存在する未定値ビット (X ビット)に最適な論理値を与えることによって削減する。論理値の選択では、電源設計やクリティカル・パス情報を活用し、削減の実効果を高める。まず、電源設計やクリティカルパスを考慮した対象 X ビットの決定手法を考案する。次に、論理回路内信号変化数を最も効果的に削減できる論理値決定手法を提案し、実回路データを用いて実験評価を行う。

(5) 圧縮スキャン環境における信号劣化を回避する手法の提案 (要素技術 3)

外部入力と内部入力の対応関係が1対1でない圧縮スキャン環境において、要素技術1と要素技術2が適用でき、また圧縮スキャンのテストデータ圧縮効率が変わらない前提で、マッピング行列またはテスト生成技法を用いて、外部入力データを内部入力データへ変換する。まず、圧縮スキャン環境における外部入力と内部入力の対応関係を数式化する。次に、外部と内部の対応関係が線形である場合はマッピング行列、それ以外の場合はテスト生成技法を用いた変換手法を提案し、評価実験を行う。

(6) 上記要素技術 (1~3) を融合した信号劣化回避型テスト方式の確立 (総合技術)

要素技術 (1~3) を信号劣化回避のために有機的に融合する。特に、シフト用の要素技術1とキャプチャ用の要素技術2による信号劣化回避の総合効果を最大化するため、論理回路内信号変化数を動的に計算するメカニズムを導入し、各テスト入力において信号変化数が最も多い操作（シフトまたはキャプチャ）を特定し、それを優先的に削減する仕組みを確立する。まず、信号変化数の動的計算法を中心とし、各要素技術を融合して信号劣化回避のための総合的テスト方式を確立する。次に、実回路データを用いて、回路規模、プロセス線幅、テスト入力特性などを変えながら評価実験を行う。

4. 研究成果

(1) 信号劣化による歩留まり低下のメカニズムの解明

信号劣化現象の3つの側面（電圧降下、信号間干渉、金属原子移動）について実験を行った結果、スキャンテストのキャプチャモードにおいて発生する誤動作の主な原因は、テスト入力で活性された長いパス（クリティカル・パス）の近傍の電圧降下（IR-Drop）によるパス遅延の増加にあることに突き止めた。これに基づいて、信号劣化による誤動作の可能性を測るために、CCT（Critical Capture Transition）という評価基準を提案した。CCTはクリティカル・パスの活性化情報、近傍情報、及び状態遷移情報を反映しており、従来のWSA（Weighted Switching Activity）基準より高い有効性を有している。

(2) 信号劣化による誤テストを回避するための信号変化数上限の導出

信号劣化による誤動作を回避するために、信号変化数の精確な上限を決める必要がある。本研究では、電源・回路の物理設計情報を考慮し、被検査回路を複数の領域（Region）に分割し、1つの領域に1つの電源ビアを対応させる。更に、回路全体の信号変化数（サイクル合計値とサイクル最大値）及び各領域の信号変化数（サイクル合計値とサイクル最

大値)という4種類に基準で信号値変化数の上限を決める。実回路データを用いた実験の結果、その精度の高さを確認した。特に、これらの上限値で誤動作の危険性なしと判定されたテスト入力、実回路データを用いた解析では動作の危険性ありと判定されたケースがなく、提案上限値による誤判定がないことが示された。

(3) シフトのための信号劣化回避型テスト手法

テストデータとテスト応答をスキャンパスで伝送するシフト操作における論理回路内信号変化数を、 $1/N$ (N は回路設計者が指定できるパラメータ)に削減するため、スキャンパス分割及び強制定数(論理0または論理1)入力という2つの手法を提案した。テスト入力データを変更せずシフト時の消費電力を大幅に削減することに成功した。本提案手法について、2百万ゲート級実回路で実験した結果、信号劣化を完全に回避できることが確認された。

(4) 研究成果2 (キャプチャのための信号劣化回避型テスト手法)

テスト応答を記憶素子に取り込むキャプチャ操作における論理回路内信号変化数を削減するため、(1)故障検出に必要なでないクロックの停止、及び(2)動作フリップ・フロップの入出力値の同一化という2つの新しい手法を提案した。また、これらの新しいキャプチャ電力削減手法に合わせて、新しい未定値ビット(Xビット)判定手法をも開発した。これらの手法はテストキューブに存在する未定値ビットに最適な論理値を与えることによって行われるため、回路変更なしでキャプチャ時の消費電力を大幅に削減することができる。本提案について、2百万ゲート級実回路で実験した結果、信号劣化を完全に回避できることが確認された。

(5) 圧縮スキャン環境における冗長ビット特定手法

組合せ展開器を利用した圧縮スキャン環境に対応するため、被検査回路と組合せ展開器を一体化した回路モデルを構築した。その上で、故障検出に無関係な冗長ビットの抽出手法を提案した。この手法は、圧縮スキャン環境に適用できるだけでなく、冗長ビットの分布まで制御することができる。実回路ブロックを用いた実験では、圧縮率が1:8でも70%の冗長ビットを特定することに成功した。

(6) クリティカルエリアに特化した(Pinpoint型)キャプチャ電力削減手法

被検査回路の中の、印加されたテストベクトルで活性化された長いバスの近傍のキャプチャ時テスト電力が異常に高い部分をクリティカルエリアとして抽出するという基本概念を提案した。更に、クリティカルエリ

アに影響を与える冗長ビットを抽出し、それにそのクリティカルエリア内のキャプチャ電力を減少させる論理値を決定する手法を提案した。これによって、誤テスト問題の根本原因を解決する有効な誤テスト回避方式を確立した。

(7) 要素技術の融合による信号劣化回避型テスト方式の確立

今まで開発した要素技術を融合して信号劣化回避型テスト方式を実装したプロトタイプを構築した。また、1.2Mゲート級テスト回路の論理設計及びレイアウト設計を行い、評価実験を行った。その結果、本研究で提案された一連の信号劣化回避技術の有効性を確認することができた。

本研究で得られる上記研究成果は、次に示す重要な意義を持っている。まず、情報化社会の基盤であるLSI回路の歩留まり向上は、産業的・社会的な要請の強い戦略的研究課題である。本研究の成果は、信号劣化回避型という新しいテスト方式の確立によって、深刻化する一方のLSI歩留まり低下問題の解決に大きく貢献でき、高い実用性を持っている。更に、本研究の成果によって、LSIテストに関する学術研究の裾野が広がり、研究活動も一層活性化される。また、LSIテストの分野に止まらず、テストによる信号劣化をLSI回路の設計段階で考慮するという新しい着想が生まれるなど、LSI関連の他分野への波及効果も高い。

5. 主な発表論文等

[雑誌論文] (計7件)

- ① X. Wen, S. Kajihara, K. Miyase, T. Suzuki, K. K. Saluja, L.-T. Wang, and K. Kinoshita, "A Novel ATPG Method for Capture Power Reduction During Scan Testing," IEICE Trans. Inf. & Syst., 査読有, E90-D, No. 9, 2007, pp. 1398-1405, 2007.
- ② S. Kajihara, S. Morishima, M. Yamamoto, X. Wen, M. Fukunaga, K. Hatayama, T. Aikyo, "Estimation of Delay Test Quality and Its Application to Test Generation," IPSJ Transaction of System LSI Design Methodology, 査読有, Vol. 1, 2008, pp. 104-115.
- ③ X. Wen, K. Miyase, T. Suzuki, S. Kajihara, L.-T. Wang, K. K. Saluja, K. Kinoshita, "Low Capture Switching Activity Test Generation for Reducing IR-Drop in At-Speed Scan Testing," Journal of Electronic Testing: Theory and

Applications, Special Issue on Low Power Testing, 査読有, Vol. 24, 2008, pp. 379-391.

- ④ C. P. Ravikumar, M. Hirech, X. Wen, "Test Strategies for Low-Power Devices," Journal of Low Power Electronics, 査読有, Vol. 4, 2008, pp. 127-138.
- ⑤ 温暁青, "シグナルインテグリティ考慮型LSIテストを目指して," 信頼性学会誌, 査読有, Vol. 31, No. 7, 2009, pp. 498-505.
- ⑥ K. Miyase, X. Wen, H. Furukawa, Y. Yamato, S. Kajihara, P. Girard, L. -T. Wang, and M. Tehranipoor, "High Launch Switching Activity Reduction in At-Speed Scan Testing using CTX: A Clock-Gating-Based Test Relaxation and X-Filling Scheme," IEICE Trans. Inf. & Syst., 査読有, Vol. E93-D, No.1, 2009, pp. 2-9.
- ⑦ M. -F. Wu, J. -L. Huang, X. Wen, and K. Miyase, "Power Supply Noise Reduction for At-Speed Scan Testing in Linear-Decompression Environment," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, 査読有, Vol. 28, No. 11, 2009, pp. 1767-1776.

[学会発表] (計 16 件)

- ① X. Wen, K. Miyase, T. Suzuki, S. Kajihara, Y. Ohsumi, and K. K. Saluja, "Critical-Path-Aware X-Filling for Effective IR-Drop Reduction in At-Speed Scan Testing," Proc. IEEE/ACM Design Automation Conf., 査読有, 2007, pp. 527-532.
- ② X. Wen, K. Miyase, S. Kajihara, T. Suzuki, Y. Yamato, P. Girard, Y. Ohsumi, and L. -T. Wang, "A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing," Proc. IEEE Int'l Test Conf., 査読有, 2007, Paper 25.1.
- ③ K. Miyase, X. Wen, S. Kajihara, M. Haraguchi, and H. Furukawa, "A Method for Improving the Bridging Defect Coverage of a Transition Delay Test Set," Proc. IEEE Int'l Workshop on Defect Based Testing, 査読有, 2007, pp. 51-56.
- ④ S. Kajihara, S. Morishima, M. Yamamoto, X. Wen, M. Fukunaga, K. Hatayama, and T. Aikyo, "Estimation of Delay Test Quality and Its Application to Test

Generation," Proc. IEEE/ACM Int'l Conf. on Computer-Aided Design, 査読有, 2007, pp. 413-417.

- ⑤ X. Wen, K. Miyase, S. Kajihara, H. Furukawa, Y. Yamato, A. Takashima, K. Noda, H. Ito, K. Hatayama, T. Aikyo, K. K. Saluja, "A Capture-Safe Test Generation Scheme for At-Speed Scan Testing," Proc. IEEE European Test Symp., 査読有, 2008 pp. 55-60.
- ⑥ M. -F. Wu, J. -L. Huang, X. Wen, K. Miyase, "Reducing Power Supply Noise in Linear-Decompressor -Based Test Data Compression Environment for At-Speed Scan Testing," Proc. IEEE Int'l Test Conf., 査読有, 2008, Paper 13.1.
- ⑦ Y. Yamato, X. Wen, K. Miyase, H. Furukawa, S. Kajihara, "GA-Based X-Filling for Reducing Launch Switching Activity in At-Speed Scan Testing," Proc. IEEE Int'l Workshop on Defect Based Testing, 査読有, 2008, 4 pages.
- ⑧ J. Ma, J. Lee, M. Tehranipoor, X. Wen, and A. Crouch, "Identification of IR-drop Hot-spots in Defective Power Distribution Network Using TDF ATPG," Proc. IEEE Int'l Workshop on Defect Based Testing, 査読有, 2008, 4 pages.
- ⑨ K. Miyase, K. Noda, H. Ito, K. Hatayama, T. Aikyo, Y. Yamato, H. Furukawa, X. Wen, S. Kajihara, "Effective IR-Drop Reduction in At-Speed Scan Testing Using Distribution-Controlling X-Identification," Proc. IEEE/ACM Int'l Conf. on Computer Aided Design, 査読有, 2008, pp. 52-58.
- ⑩ H. Furukawa, X. Wen, K. Miyase, Yuta Yamato, S. Kajihara, Patrick Girard, L. -T. Wang, M. Tehranipoor, "CTX: A Clock-Gating-Based Test Relaxation and X-Filling Scheme for Reducing Yield Loss Risk in At-Speed Scan Testing," Proc. IEEE Asian Test Symp., 査読有, 2008, pp. 397-402.
- ⑪ S. Oku, S. Kajihara, K. Miyase, X. Wen, and Y. Sato, "On Calculation of Delay Range in Fault Simulation for Test Cubes," Proc. Int'l Symp. on VLSI Design, Automation, and Test, 査読有, 2009, pp. 64-67.

- ⑫ Y. Yamato, X. Wen, K. Miyase, H. Furukawa, and S. Kajihara, "On Calculation of Delay Range in Fault Simulation for Test Cubes," Proc. IEEE 15th Pacific Rim Int'l Symp. on Dependable Computing, Automation, and Test, 査読有, 2009, pp. 81-86.
- ⑬ K. Enokimoto, X. Wen, Y. Yamato, K. Miyase, H. Sone, S. Kajihara, M. Aso, and H. Furukawa, "CAT: A Critical-Area-Targeted Test Set Modification Scheme for Reducing Launch Switching Activity in At-Speed Scan Testing," Proc. IEEE Asian Test Symp., 査読有, 2009, pp. 23-26.
- ⑭ K. Miyase, K. Noda, H. Ito, K. Hatayama, T. Aikyo, Y. Yamato, X. Wen, and S. Kajihara, "A Novel Post-ATPG IR-Drop Reduction Scheme for At-Speed Scan Testing in Broadcast-Scan-Based Test Compression Environment," Proc. IEEE/ACM Int'l Conf. on Computer Aided Design, 査読有, 2009, pp. 97-104.
- ⑮ I. Beppu, K. Miyase, Y. Yamato, X. Wen, and S. Kajihara, "X-Identification According to Required Distribution for Industrial Circuits," Proc. IEEE Workshop on RTL and High Level Testing, 査読有, 2009, pp. 27-28.
- ⑯ M. Noda, S. Kajihara, Y. Sato, K. Miyase, X. Wen, and Y. Miura, "A Path Selection Method for Delay Test Targeting Transistor Aging," Digest of First IEEE Int'l Workshop on Reliability Aware System Design and Test, 査読有, 2010, pp. 57-61.

[図書] (計2件)

- ① P. Girard, X. Wen, N. A. Touba, Elsevier Science (Massachusetts, USA), Advanced SOC Test Architectures - Towards Nanometer Designs (Chapter 7: Low-Power Testing), 2007, pp. 37-103.
- ② X. Wen and S. Wang, Springer (New York, USA), Power-Aware Testing and Test Strategies for Low Power Devices (Chapter 3: Low-Power Test Generation), 2009, pp. 65-115.

[産業財産権]

○出願状況 (計2件)

- ①
名称: 論理値決定方法及び論理値決定プ

プログラム

発明者: 宮瀬紘平, 温晓青, 梶原誠司,
大和勇太

権利者: 九州工業大学

種類: 特願

番号: 2008-211473

出願年月日: 2008年8月20日

国内外の別: 国内

②

名称: 判別方法及びプログラム

発明者: 呉孟帆, 黄俊郎, 温晓青, 宮瀬
紘平

権利者: 九州工業大学・台湾大学

種類: 特願

番号: 2008-273484

出願年月日: 2008年10月23日

国内外の別: 国内

[その他]

ホームページ等

<http://aries3a.cse.kyutech.ac.jp/>

6. 研究組織

(1) 研究代表者

温 晓青 (WEN XIAOQING)

九州工業大学・大学院情報工学研究院・教授

研究者番号: 20250897

(2) 研究分担者

梶原 誠司 (KAJIHARA SEIJI)

九州工業大学・大学院情報工学研究院・教授

研究者番号: 80252592