

研究種目：基盤研究 (C)
研究期間：2007～2009
課題番号：19500048
研究課題名 (和文) 組合せ回路のテスト生成複雑度に基づく上流からのVLSIテスト容易化合成法
研究課題名 (英文) Studies on High-Level Synthesis for Testability Based on Combinational Test Generation Complexity
研究代表者
井上 智生 (INOUE TOMOO)
広島市立大学・情報科学研究科・教授
研究者番号：40252829

研究成果の概要 (和文)：

本研究では、テスト容易な順序回路のクラスとして、部分スルー可検査順序回路を提案した。このクラスは、無閉路可検査性を満たす従来の完全スルー可検査順序回路のクラスを真に包含する。さらに、部分スルー可検査順序回路に対する効率的なテスト生成法、ならびに、このクラスに基づくテスト容易化設計法を提案した。提案法は、今日の主流であるフルスキャン設計に比べて小さいオーバーヘッドで完全な故障検出効率を達成できる。

研究成果の概要 (英文)：

This work proposed a class of partial thru testable sequential circuits. The class is a sub-class of acyclically sequential ones, and properly includes a class of full thru testable sequential ones. This work also proposed an efficient method for generating test sets for partial thru sequential circuits, and an algorithm for designing partial thru testable sequential circuits. The result of this work contributes to the reduction in hardware overhead for testability compared with the conventional full scan design with keeping complete fault efficiency.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	1,000,000	300,000	1,300,000
2008年度	1,300,000	390,000	1,690,000
2009年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	3,300,000	990,000	4,290,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：設計自動化, テスト容易化設計, VLSI-CAD, システムオンチップ, ディペンダブル・コンピューティング, テスト生成

1. 研究開始当初の背景

半導体技術の発展に伴い、大規模集積回路(VLSI)の設計や製造に要する費用は増大している。本研究課題を完了する2010年には、トランジスタサイズが40nm程度になるとされており、その微細化故に、これまでの同様の高い製造性を維持することは困難と予測されている。特に、テスト(製造後のVLSIの正常動作を確かめること)に要する費用は、今日でさえVLSI設計・製造の全体の費用に比べて占める割合が大きく、その削減が大きな課題となっている。その一方で、半導体製品は私たちの生活により身近で密着したものとなり、その安全性や信頼性に対する要求度はさらに高まっている。したがって、今後ますます高機能化大規模化するVLSIのテストを効率よく行うための革新的な技術の開発は急務となっている。本研究課題では、デジタルVLSIを対象として、テスト費用の削減を指向した高位合成(動作記述からレジスタ転送(RT)レベルへの変換)法について考察する。

デジタルシステム(論理回路)に対するテストは、テストパターンを被テスト回路に入力し、その出力応答を期待値と比較することで行われる。テストに要する費用は主に、テストパターンを求めるのに要する時間(テスト生成費用)と、テストパターンを被テスト回路に入力し対応する結果を観測するのに要する時間(テスト実行費用)とから成る。よって、テスト費用を削減するためには、容易に質の高いテストパターン集合を生成できること、テストパターン数が小さいことが望まれる。

一般の論理回路は順序回路であるが、順序回路のテスト生成問題の複雑度はNP完全であることが知られており、実用的な時間で、十分な質のテスト系列を得るためのテスト生成アルゴリズムは存在しない。一方、組合せ回路に対するテスト生成問題は同様にNP完全でありながら、効率のよいアルゴリズムが提案されており、高い故障検出率を得ることができる。

したがって、一般の順序回路に対しては、フルスキャンと呼ばれるテスト容易化設計を適用し、組合せ回路用のテスト生成アルゴリズムでテストパターンを求めているのが現状である。しかしながら、このフルスキャン設計は、回路付加による面積の増大、テスト実行時間の増大などの弊害も大きな問題となっている。

一方、テスト生成複雑度に関する研究として、組合せ回路と同様の複雑度を持つ順序回路のクラスが提案され、それに基づくテスト容易化設計法が提案されている。本研究課題の研究者のグループではこの考えを発展させ、無閉路順序回路(フィードバック構造を持

たない順序回路)もまた組合せ回路用のテスト生成アルゴリズムを適用可能であることを示し、無閉路構造に基づく順序回路のテスト生成法、ならびに、テスト容易化設計法、テスト容易化高位合成法を提案した。

これらの提案により、従来のフルスキャン設計や平衡構造に基づくテスト容易化設計に比べて、小さいハードウェアオーバーヘッドで高故障検出率を達成可能となる。

これらの研究成果と「実用的なレベルでは組合せ回路のテスト生成の複雑度は多項式オーダーで表される」といった報告に基づき、組合せ回路のテスト生成複雑度を τ として、上述の順序回路のクラスの複雑度が示された。これによれば、無閉路順序回路は τ^2 -boundedのクラスに属する。この考察はさらに進められ、閉路を持ちながら組合せテスト生成可能な順序回路が存在することを示し、その十分条件として無閉路可検査性が提案された。

2. 研究の目的

本研究課題では、この無閉路可検査性の概念をさらに発展させ、さらに効果的なテスト生成、テスト容易化高位合成を考察する。具体的には、次の3つのアプローチからこの課題を達成する。

(1) 順序回路が無閉路可検査あるための十分条件を緩和し、 τ^2 -boundedの複雑度を持つ順序回路のクラスを拡大する、すなわち、より広い τ^2 -boundedの複雑度を持つ順序回路のクラス(新たな可検査性を満たす(テスト容易な)クラス)を発見する(図1)。

(2) 提案するクラスを満たすためのテスト容易化設計法を提案する。

(3) 提案するクラス定義に基づくテスト容易化高位合成法を提案する。合成結果のRTレベル回路が、面積や実行時間等の一般的な設計制約、最適化目標を達成しながら、(1)で示す条件を満たすためのスケジューリング、バインディング法を提案する。

本研究課題の成果により、今日のテスト容易化設計として一般的なフルスキャン設計の様々な問題点を解決できる。具体的には、

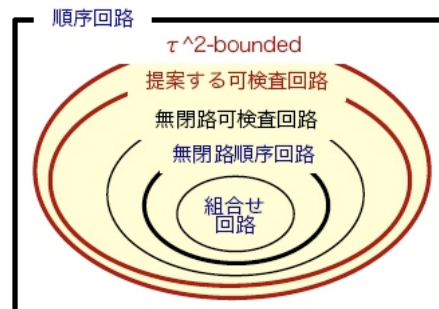


図1 順序回路のクラス

(1) ハードウェア／遅延オーバーヘッドの削減（広いテスト容易なクラスに基づいた回路構造を高位合成時に考慮する）、(2) 実動作速度によるテスト実行が可能（通常動作を利用してテスト可能）、(3) テスト実行時間の削減、消費電力の削減（テスト実行時のスキャン動作が不要）となる。また、テスト生成問題は、VLSI 設計における他の諸問題との関連性が強く、論理の冗長判定、論理の単純化など、応用性が高い。したがって、本研究課題では、テスト生成問題とその解法に主眼を置くが、その成果は VLSI 設計における様々な課題解決への応用が期待される。

3. 研究の方法

本研究課題は上述のとおり、3つのサブテーマからなり、これらに対する研究を順次、一部は並行して実施した。具体的には次のとおりである。

(1) 無閉路可検査性を満たす順序回路のクラスの拡張に関する研究

従来成果として提案されている無閉路可検査性は、論理回路中のスルー機能（部分回路の1つの入力について、他の入力の値に依存せずその入力への入力信号をそのまま部分回路の出力へ伝搬できる機能）に着目した条件を定義している。ただしこれは、一般の論理レベル記述だけでは表現されない情報であり、レジスタ転送 (RT) レベルの機能的情報が必要となる。一方、RT レベルでは、スルー以外に、加減算やマルチプレクサによる入力選択など論理レベルの情報では得られない機能的情報を利用できる。よってこの RT レベルの機能に着目して、可検査性の条件の拡張、より広い新たな可検査クラスの発見を目指す。

(2) 新たな無閉路可検査性に基づくテスト生成のためのテスト容易化設計に関する研究

新たな無閉路可検査性の考察に合わせて、与えられた（一般の）順序回路に対して、無閉路可検査性を満たすように回路を設計変更する方法（テスト容易化設計法）を考察する。与えられた回路の機能や構造に着目し、最小のハードウェアオーバーヘッドで無閉路可検査性とするための最適設計法を考案することを目的とする。ベンチマーク回路に対して提案法を適用し、無閉路可検査性の拡張の効果、ならびに、提案するテスト容易化設計法の有効性の評価を行う。

与えられた順序回路 S に対して、提案する可検査性（可検査構造）に基づくテスト生成法は次の手順を想定している。

<1> 回路 S に対し、提案する可検査性を満たすように設計の一部を変更、追加する。例えば、マルチプレクサの付加、ALU の機能

追加など。結果として得られる S' は本来の機能 S の機能を保存したものである。

<2> テスト容易化された回路 S' に対し、組合せ回路用の（実用化されている）テスト生成アルゴリズムを適用する。テストパターン集合 $T(C(S'))$ が得られる。

<3> $T(C(S'))$ を S' のテスト系列に変換し、 $T(S)$ が得られる。

この手順において、テスト容易化設計 <1> で付加される回路をできるだけ小さくすることが目標となる。付加回路は、回路全体の面積増大、性能低下を招く可能性があるだけでなく、消費電力の増大なども起こりうる。可検査性を満たすための設計法は一般には一意に決まらない。オーバーヘッド（回路付加）最小のテスト容易化設計法の提案を目指す。

(3) 新たな可検査性を指向したテスト容易化高位合成法に関する研究

高位合成は、回路の動作(機能)情報から、レジスタ転送(RT) レベルの回路上を合成する手続きであり、一般に、演算器やレジスタなどの回路要素の最小化、実行サイクル数、動作時間などを最小化する最適化の処理である。このとき、このような一般的な最適化目標と同時に可検査性を同時に考慮する。すなわち、(1) で提案する新しい可検査性の条件ができるだけ満たされるように、演算器やレジスタをバインディング（高位合成の処理の一部。演算、変数と演算器、レジスタとの対応を決定）するためのヒューリスティック尺度、アルゴリズムを考案することがこの目的となる。例えば、スケジューリングアルゴリズムにおいては、force-directed の指標にテスト容易性を満たす演算器の共有可能性を埋め込む、といった手法が考えられる。ベンチマーク動作記述に対して提案法を適用し、その有効性を評価する。

4. 研究成果

上述の研究方法によって得られた成果は次のとおりである。

(1) 無閉路可検査順序回路のクラス拡張

従来成果として示されていた無閉路可検査性の条件を緩和し、より広い無閉路順序回路のクラスを提案した。クラスの拡張に当たっては、次の2つのステップで拡張した。

(a) 従来無閉路可検査性を満たす順序回路のクラスをここでは完全スルー可検査順序回路と呼ぶ。完全スルー可検査順序回路の条件の1つに「スルー木」関するものがある。スルー木は、外部入力から外部出力までスルー機能の連続で接続された経路であり、このスルー木（集合）によって、順序回路中のすべての閉路が被覆されることが条件であった。本研究ではこの条件を緩和し、外部入力

から閉路部までのスルー機能の連続経路を正当化スルー木，閉路部から外部出力までのスルー機能の連続経路を伝搬スルー木と定義し，正当化スルー木集合，伝搬スルー木集合，それぞれがすべての無閉路部を被覆すれば十分であることを示した．このクラスを部分スルー可検査と呼ぶ．

部分スルー可検査順序回路のクラスは完全スルー可検査順序回路のクラスを真に包含する．実験結果（表 1）に示すように，与えられた一般の順序回路を，部分スルー可検査性に基づくテスト容易化設計（部分スルー可検査順序回路としてテスト生成を可能とするための設計変更）に要するハードウェアオーバーヘッド（追加するスルー機能数）は，完全スルー可検査性に基づくテスト容易化設計に要するハードウェアオーバーヘッドに比べて小さくできることがわかる．また，部分スルー可検査性に基づくテスト容易化設計を適用した順序回路に対するテスト生成時間は，完全スルー可検査性に基づくテスト容易化設計に対するものに比べて大きくなるものの，十分実用的に小さく，完全な故障検出効率を達成できることがわかる．

この成果は，雑誌論文 [1]，学会発表 [4] で報告している．

(b) 上述の新たなクラスである部分スルー可検査順序回路をさらに拡張し，切替部分スルー可検査順序回路のクラスを提案した．ここでは，論理回路の基本的かつ一般的な構成要素であるスイッチ（マルチプレクサ）に着目した．複数の入力を持つスイッチは排他的に 1 つの入力のみを選択して出力する性質に基づき，部分スルー可検査性の条件の 1 つであった分岐再収れん経路に関する条件の一部を緩和し，同じ組合せテスト生成複雑度を有するより広い無閉路可検査順序回路のクラスを示した．切替部分スルー可検査性に基づくテスト容易化設計に要するハードウェアオーバーヘッドは部分スルー可検査性に基づくものに比べてさらに削減できることを実験により示した（表 2）．

この成果は学会発表 [5] にまとめた．

(2) 部分スルー可検査性に基づく最適テスト容易化設計

上述のように，本研究で提案する部分スルー可検査順序回路の主要な条件はスルー木（正当化スルー木，伝搬スルー木）であり，よって，一般の順序回路に対して部分スルー可検査性に基づくテスト容易化設計を適用するときの主なオーバーヘッドはスルー機能の追加になる．ここでは，ハードウェアオーバーヘッドを最小化するための最適スル

表 1 実験結果 (1)

回路, FF 数, 面積	DFT 法	面積オーバーヘッド	テストパターン数	故障検出効率	テスト実行時間 (サイクル)	テスト生成時間 [s]
ex1 40 2664	org.	—	42	70.55	200	9875.04
	FS	280	56	100.00	2336	0.01
	FT	73	56	100.00	336	0.05
ex2 96 3989	PT	49	58	100.00	348	0.13
	org.	—	61	99.97	238	62.55
	FS	672	41	100.00	4073	0.02
lwf 48 4782	FT	96	56	100.00	280	0.04
	PT	48	48	100.00	288	0.35
	org.	—	18	88.97	210	15267.39
trap 88 4489	FS	336	71	100.00	3527	0.11
	FT	145	82	100.00	492	0.30
	PT	97	71	100.00	426	1.05
diff 96 5727	org.	—	27	96.38	199	3551.20
	FS	616	74	100.00	6674	0.04
	FT	75	90	100.00	720	0.11
ex1 40 2664	PT	50	89	100.00	712	0.26
	org.	—	29	98.02	185	1960.27
	FS	672	84	100.00	8244	111.32
ex2 96 3989	FT	194	88	100.00	880	136.63
	PT	48	59	100.00	531	798.92

org.: 順序回路, FS: フルスキャン, FT: 完全スルー, PT: 部分スルー

表 2 実験結果 (2)

回路名	手法	面積オーバーヘッド	テスト実行時間	テストパターン数	テスト生成時間 (s)
ex2	PT	145	538	91	0.20
	SPT	48	359	111	0.10
lwf	PT	164	623	89	0.05
	SPT	67	545	89	0.08
tseng	PT	196	2457	273	67.99
	SPT	99	1936	285	3393

PT: 部分スルー, SPT: 切替部分スルー

表 3 実験結果 (3)

(a) 回路情報

回路名	外部入力数	外部出力数	レジスタ数
4thIR	1	1	14
GCD	2	4	3
LWF	2	2	5
PAULIN	3	2	7
Tseng	3	2	6
ex1	3	1	6
ex2	6	2	8
ex3	4	1	6

(b) 部分スルー可検査性

回路名	変数数	制約条件数	付加スルー数	計算時間 (sec)
4thIR	126	482	9	72.281
GCD	69	241	2	0.062
LWF	84	316	3	0.031
PAULIN	138	550	8	56.312
Tseng	101	384	5	2.985
ex1	82	302	2	0.312
ex2	130	478	2	0.281
ex3	89	326	2	0.109

(c) 完全スルー可検査性

回路名	変数数	制約条件数	付加スルー数	計算時間 (sec)
4thIR	52	232	9	0.062
GCD	29	112	2	0.015
LWF	34	145	3	0.015
PAULIN	54	252	8	0.359
Tseng	41	179	5	0.046
ex1	34	142	4	0.015
ex2	54	224	3	0.031
ex3	37	152	3	0.015

一機能追加法を提案した。具体的には、スルー木の条件とそのコスト（面積オーバーヘッド）を制約条件とする線形計画問題（ILP）として表現する。ILP は古典的な最適化問題の1つであり、実用的なソルバ（解法）が存在するため、本手法を利用することで、専用の最適解を求めるためのシステムを用いずに部分スルー可検査性に基づく最適なテスト容易化設計を効率よく得ることが可能となる。実験結果（表 3）に示すように、この実験結果によっても、部分スルー可検査性に基づくテスト容易化設計のためオーバーヘッドが完全スルー可検査性に基づくものよりも小さくなることが示されている。

この成果は、学会発表 [3] としてまとめた。

(3) 部分スルー可検査性を指向した高位合成

これまでに述べたとおり、本研究で示す部分スルー可検査性の条件は、スルーなどの機能（動作）に基づくものであり、これはまた高位合成の入力となる動作記述から容易に得ることのできる情報であるため、結果としてレジスタ転送レベル回路が部分スルー可検査性を満たすような合成法は実現容易と思われた。しかしながら、正当化スルー木/伝搬スルー木の条件に関する無閉路と分岐再収れんはともに、演算器/レジスタバインディングによって決定する構造的性質であるため、そのヒューリスティック尺度の導出が困難であり、本研究の研究期間内に質の高い解を得るためのアルゴリズムを具体的にまとめるまでには至らなかった。この課題については、研究期間終了後も継続して取り組む。

以上のように、最終的な目標であったテスト容易化高位合成法を期間内に提案することはできなかったものの、従来の無閉路可検査順序回路のクラスを大きく拡張することができ、今日主流となるフルスキャン設計に比べてテスト容易化設計のためのオーバーヘッドを大きく削減することができた。

5. 主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計 1 件）

[1] 岡伸也, Ooi Chia Yee, 市原英行, 井上智生, 藤原秀雄, “部分スルー可検査性に基づく順序回路のテスト生成法,” 電子情報通信学会論文誌 D, Vol. J92-D, No. 12, 2009 年 12 月.

〔学会発表〕（計 4 件）

[2] Nobuya Oka, Chia Yee Ooi, Hideyuki Ichihara, Tomoo Inoue, Hideo Fujiwara, “An Extended Class of Acyclically Testable Circuits,” Dig. of Papers of 8th Workshop on RTL and High-Level Testing (WRTL ’07), Oct. 2007.

[3] 森永広介, 岡伸也, 吉川祐樹, 市原英行, 井上智生, “無閉路可検査性に基づくテスト生成のための最適スルー木集合構成法,” 信学技法 (IEICE-DC2007-27), Vol. 107, No. 334, pp. 13-18, 2007 年 11 月.

[4] Nobuya Oka, Chia Yee Ooi, Hideyuki Ichihara, Tomoo Inoue, Hideo Fujiwara, “Test Generation and DFT Based on Partial Thru Testability,” Proc. European Test Symposium, May 2009.

[5] 岡伸也, 吉川祐樹, 市原英行, 井上智生, “スイッチの機能を考慮した部分スルー可検査性に関する考察,” 信学技法 (ディペンダブルコンピューティング研究会), 2010 年 6 月 (発表予定).

〔その他〕

ホームページ等

<http://rshpub.office.hiroshima-cu.ac.jp/Profiles/1/0000087/profile.html>

http://www.cd.info.hiroshima-cu.ac.jp/cgi-bin/webcd/bib2/bib_list.cgi?authorseq_id=18

6. 研究組織

(1) 研究代表者

井上 智生 (INOUE TOMOO)

広島市立大学・情報科学研究科・教授

研究者番号：40252829

(2) 研究分担者

なし

(3) 連携研究者

市原 英行 (ICHIHARA HIDEYUKI)

広島市立大学・情報科学研究科・准教授

研究者番号：50326427

吉川 祐樹 (YOSHIKAWA YUKI)

広島市立大学・情報科学研究科・助教

研究者番号：50453212