

平成 22 年 5 月 17 日現在

研究種目：基盤研究（C）

研究期間：2007～2009

課題番号：19560334

研究課題名（和文） ナノ CMOS VLSI 用時間領域アナログ回路の研究

研究課題名（英文） Time-Domain Analog Circuit for Nano CMOS VLSI

研究代表者

小林 春夫（KOBAYASHI HARUO）

群馬大学・大学院工学研究科・教授

研究者番号：20292625

研究成果の概要（和文）：

ナノ CMOS VLSI で高性能アナログ回路を実現するための時間領域アナログ回路に関して次の成果を得て、特許出願、論文・学界発表を通じて技術移転を行った。

- (1) 逐次比較近似 AD 変換器で高速性、低消費電力を実現するために時間領域冗長性を用いるアルゴリズムを開発し、シミュレーションおよびチップ実現・測定によりその有効性の検証を行った。
- (2) 時間デジタル回路の 2 つの新アーキテクチャを考案した。
 - 2-1) 自己校正機能をもち高線形性を確保でき、デバイスの特性ばらつきを積極的に利用して高分解能を実現する、自己校正を行う確率的時間デジタル回路
 - 2-2) 従来のバーニア構成を改良して、低消費電力で高時間分解能を実現する時間デジタル回路
- (3) 高時間分解能・低消費電力デジタル PWM 回路の新アーキテクチャを考案し、デジタル制御電源回路への応用を検討した。
- (4) デジタル制御電源での EMI 低減のために、デジタル PWM と PPM 方式の組み合わせによる周波数拡散クロックの新アルゴリズムを考案した。
- (5) 時間領域アナログ回路手法を用いた完全デジタル PLL 回路の TV チューナへの応用を検討し、そこで必要な高速に周波数ロックするための新アルゴリズムを考案した。
- (6) 高速高周波時間波形を低ノイズで取得できるサンプリング方式を考案した。

研究成果の概要（英文）：

We have achieved the followings for time-domain analog circuit technology in nano CMOS VLSI:

- (1) High-speed, low-power AD converter architecture using time-domain redundancy algorithm.
- (2) Two novel time-to-digital converter architectures
 - 2-1) Stochastic time-to-digital converter with self-calibration
 - 2-2) High-resolution, low-power time-to-digital converter by improving the vernia-type architecture.
- (3) High-resolution, low-power digital PMW generator architecture and its application to digitally-controlled power supply
- (4) EMI reduction spread-spectrum clocking algorithm with combination of PWM and PPM (pulse position modulation) in digitally-controlled power supply.
- (5) Development of all digital phase-locked loop circuit for TV tuner application with fast frequency locking.
- (6) Low-noise high-frequency waveform sampling method.

These results have been transferred to industry through patents and papers.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	1,300,000	390,000	1,690,000
2008年度	1,500,000	450,000	1,950,000
2009年度	500,000	150,000	650,000
年度			
年度			
総計	3,300,000	990,000	4,290,000

研究分野： 集積回路設計、VLSI、電子回路、アナログ回路、電子デバイス

科研費の分科・細目：電気電子工学／電子デバイス・電子機器

キーワード：時間領域アナログ回路、タイムデジタル回路、デジタルPWM回路、デジタルアシストアナログ回路、完全デジタルPLL回路、デジタル自己校正、デジタル誤差補正回路

1. 研究開始当初の背景

半導体技術の進歩によりCMOS VLSIはより微細化し、デジタル回路は高集積化・低コスト化・低消費電力化の恩恵を受ける。一方アナログ回路は、微細化に伴う電源電圧の低下、大きな素子特性ばらつきのため、デジタル回路ほど微細化の恩恵を受けない。低電源電圧動作・微細CMOS VLSIの中でのアナログ回路設計は産業的に大きな課題である。

低電源電圧動作回路では信号電圧振幅が小さくなるためアナログ回路で十分なSN比がとれない。一方微細CMOS VLSIでは論理ゲートのスイッチングは高速になるため時間分解能は高くなる。このことに着目し、近年アナログ信号を電圧振幅ではなく時間領域で扱いより高性能化を図る必要がある。

2. 研究の目的

アナログ電子回路分野において従来の電圧振幅領域を用いた信号処理・信号伝達ではなく、時間領域での信号処理を行う方式に関する基礎理論の構築、現実の回路構成の実現法、実際への応用の研究を行う。

低電源電圧動作回路では信号電圧振幅が小さくなるためアナログ回路で十分なSN比がとれない。一方微細CMOS VLSIでは論理ゲートのスイッチングは高速になるため時間分解能は高くなる。このことに着目し、近年アナログ信号を電圧振幅ではなく時間領域で扱いより高性能化を図ろうとすることが提案されている。(以下、これを「時間領域アナログ回路」とよび、従来の電圧振幅信号を扱う回路を「電圧振幅アナログ回路」とよぶ。)携帯電話の送信機アナログ回路部をこのアイデアで実現しようとするものも提案されており、我々のグループでは時間領域アナログ回路を利用しアナログ・デジタル変換器(Analog-to-Digital Converter: AD変換

器)を構成する方式を提案した。また、AD変換器とは双対のデジタル・アナログ変換器(Digital-to-Analog Converter: DA変換器)を時間領域アナログ回路を用いて構成することを検討してきている。国内外を問わず時間領域アナログ回路の研究はまだ始まったばかりであり、多くの可能性を秘めている。この技術の確立が研究目的である。

3. 研究の方法

1) 時間領域アナログ回路を用いたAD変換器の理論の確立：従来法に比べてのメリットおよびデメリットのAD変換器全体の性能に与える影響を定量化して表現する。

2) ADCアーキテクチャの回路の詳細設計：トランジスタレベルで設計しシミュレーションで動作と性能を確認することで、導出した理論の正当性を検証する。

3) ADCアーキテクチャの回路のハードウェア実現：比較的IC化が容易であるデジタル部をIC化のためのレイアウト設計を行う。アナログ部は回路量がわずかであること、特性が充分得られない場合は設計変更を要する可能性があること、およびテスト容易化の理由のためプリント板上にデスクリート部品で回路を実現する。これらの組み合わせた回路の測定評価を行い、導出した理論の正当性をハードウェアにより検証する。

4) 高時間分解能デジタルPWM回路の理論の確立：従来法に比べてのメリットおよびデメリットを定量化して表現する。

5) 時間領域アナログ回路の、AD変換器、DA変換器以外の分野への適用の検討

4. 研究成果

①

時間冗長なアルゴリズムを使用してAD変換器の高性能化を図る方式を考案し、シミュレーションで効果を確認した。また実際に集積回路を設計試作・評価して実験でその効果を確認した。具体的には逐次比較近似AD変換器で、時間冗長なアルゴリズムを用いることを考案し、高速化と低消費電力化を実現する構成を検討しその有効性を確認した。

1: 高速性について

逐次比較近似AD変換器で高信頼性を実現するために、コンパレータでの判定誤りが生じても後段でデジタル誤差補正が可能な時間冗長性をもったアルゴリズムの設計法を開発した。ここで記述する冗長性をもったアルゴリズムは2進探索アルゴリズムよりもステップ回数が多く非2進探索アルゴリズムを一般化し、コンパレータ比較範囲を(ある程度自由度をもって)オーバーラップさせることでデジタル誤差補正を可能とした。ここではその冗長アルゴリズムでのデジタル誤差補正が可能な範囲等の性質を明らかにして、内部DA変換器の不完全整定を考慮すると従来よりも高速変換ができることを示した。

2: 低消費電力化について

SAR ADCの低消費電力化技術でコンパレータ・オフセット影響を時間冗長アルゴリズムを用いてデジタル補正しアナログ校正を不要にする方式を考案した。

(1) SAR ADC で2つのダイナミック・コンパレータをもち、逐次比較のステップの前半で低消費電力・高ノイズ、後半で高消費電力・低ノイズのコンパレータを用いる方式は、全てのステップでコンパレータ1個使用の場合に比べて低消費電力化が図れる。しかし2進SAR ADC では2つのコンパレータのオフセットをアナログ校正しなければならない。ここでは冗長アルゴリズム SAR ADCでこの影響をデジタル補正する方式を提案した。

(2) 低消費電力化が図れる電荷共有2進SAR ADCでは、コンパレータのオフセットによりADC全体の線形性が劣化するるので、そのアナログ校正が必要である。ここでは時間冗長アルゴリズムSAR ADCでその影響をデジタル補正する方式を示した。

②

時間領域アナログ回路のキーコンポーネントであるタイムデジタル回路の新構成を2つ考案した。

1: CMOSプロセスばらつきを積極的に利用して高時間分解能を達成し、またばらつきの影響による非線形特性を自動的に校正して高い線形性を得る。さらに高信頼性能化のために自己テストの機能をもつ。回路、設計、検証、自己校正、テスト、レイアウト全てにおいてデジタル的に行うことができる、微細CMOSでの実現に適した方式である。効果をシミュレーションにより確認した。

2: 従来よりも低消費電力・少量回路で実

現できるバッファ遅延の差を用いて高時間分解能を実現する方式を考案し、チップを行い実験によりその有効性を確認した。

③

高時間分解能デジタルPWM回路を少量回路・低消費電力で実現できる新構成を考案しそのシステムデックな設計法を確立した。またその回路のデジタル制御電源への応用を検討した。

時間分解能が「ゲート遅延」で決まっていた従来のデジタルPWMから、「2つ以上のゲート遅延の差」で時間分解能が決まる新しい構成を考案した。これにより高時間分解能が得られ回路規・消費電力も小さくできる。

④

デジタル制御電源でEMI低減を行うために、デジタルPWMとデジタルPPM(pulse position modulation)を組み合わせて、従来よりも効果が高い周波数拡散クロック・アルゴリズムを考案し、シミュレーションで有効性を確認した。

デジタル制御電源においてEMI低減のためのスペクトル拡散クロックの変調アルゴリズムを提案した。スイッチング電源でのPWM変調方式は、クロックおよびその高調波の特定周波数にスイッチングノイズや高調波ノイズが集中しEMI問題になる。この問題低減のためスペクトラム拡散クロック変調が用いられる。従来のアナログ制御方式では実現が難しかった複雑なスペクトル拡散クロックのアルゴリズムをデジタル制御回路部において実現することにより、従来よりもEMI低減が効果的であることを示した。

⑤

時間領域アナログ回路手法を用いた完全デジタルPLL回路のTVチューナへの応用を検討し、そこで必要な高速に周波数ロックするための新アルゴリズムを考案した。完全デジタルPLL回路全体の設計を行い、有効性をシステムレベルのシミュレーションで確認した。

⑥

高速高周波時間波形を低ノイズで取得できるサンプリング方式の理論的解析を行った。

サンプリングオシロスコープ等の電子計測器および通信システムへの応用のために、広帯域サンプリング回路を高い信号ノイズ比で実現するための理論的問題を検討した。すなわち、帯域一定のサンプリングを設計する際にSNRを最大にする2つの時定 T_1 、 T_2 の関係を求めた。ここで T_1 は信号源の出力抵抗、サンプリングスイッチのオン抵抗の合成抵抗とホールド容量による時定数で、 T_2 はスイッチング時間窓(アパーチャ時間)である。その結果、ステップ応答での出力信号と熱雑音によるSNRを最大にするのは設定帯域のよらず $T_1 = 1.5 T_2$ のときであることを導出した。サンプリングオシロスコープでは広帯域サンプリングを

実現するためにインパルスサンプリング方式($T_1 \gg T_2$)が用いられているが、広帯域化にともないノイズが大きくなるという問題がある。一方トラックホールド方式($T_1 \ll T_2$)

は歪みや高周波信号の反射の問題で広帯域サンプリングには適さない。高精度広帯域サンプリング回路はインパルスサンプリング方式とトラックホールド方式の中間に位置するとい実験結果をこの理論解 $T1=1.5 T2$ は理論的に支持する一つの結果になっている。

以上の結果は、微細CMOSトランジスタで実現するLSI内のアナログ回路の実現に適しており、微細化とともに高性能化が期待できる。特許出願等を通じて産業界への技術移転を行った。

5. 主な発表論文等

[雑誌論文] (計 5 件)

[1] T. Ogawa, H. Kobayashi, 他, "SAR ADC Algorithm with Redundancy and Digital Error Correction," IEICE Trans. Fundamentals, vol. E93-A, no. 2, pp. 415-423 (Feb. 2010). 査読有

[2] I. Mori, Y. Yamada, S. A. Wibowo, M. Kono, H. Kobayashi, 他, "EMI Reduction by Spread-Spectrum Clocking in Digitally-Controlled DC-DC Converters", IEICE Trans. Fundamentals, vol. E92-A, no. 4, pp. 1004-1011 (April 2009). 査読有

[3] 光野 正志、木村 圭吾、森 偉文樹、山田 佳央、小林 春夫、小堀 康功、清水 一也、傘 昊、「デジタル制御電源用 高時間分解能DPWM回路」、電子情報通信学会誌 Vol. J91-C, No. 8, pp. 418-427 (2008年8月) 査読有

[4] 上森 将文、小林 謙介、光野 正志、清水 一也、小林 春夫、戸張 勉、「広帯域高精度サンプリング技術」、電子情報通信学会誌 和文誌C vol. J90-C, no. 9, pp. 625-633 (2007年9月). 査読有

[学会発表] (計 15 件)

[1] 小川智彦、松浦達治、小林春夫、他、冗長アルゴリズム逐次比較近似ADCでのコンパレータ・オフセットのデジタル補正技術、電子情報通信学会 集積回路研究会 (ICD)、静岡 (2009年12月15日)

[2]H. Kobayashi, "Recent Topics in Power Management Circuits," International Conference on Solid State Devices and Materials, Sendai (7th, Oct. 2009) (Invited).

[3] 小林春夫、ナノCMOS時代のアナログ回路 - デジタルアシストAD変換技術を中心として - , "電子情報通信学会、第22回回路とシステム (軽井沢) ワークショップ (2009年4月21日)

[4] 小川智彦、小林春夫、他 SAR ADC Algorithm with Redundancy and Digital Error Correction," 電子情報通信学会、第22回 回路とシステム (軽井沢) ワークショップ (2009年4月21日)

[5] 田辺朋之、林海軍、内藤智洋、高橋伸夫、壇徹、馬場清一、北村真一、小林春夫、傘昊、高井 伸和、「TVチューナ用ADPLLの検討」電子情報通信学会総合大会、愛媛 (2009年3月19日)

[6] I. Mori, K. Kimura, Y. Yamada, H. Kobayashi, et. al., "High-Resolution DPWM Generator for Digitally Controlled DC-DC Converters", IEEE Asia Pacific Conference on Circuits and Systems, Macao, China, pp. 914-917 (2nd Dec. 2008).

[7] T. Ogawa, H. Kobayashi, et. al., "SAR ADC Algorithm with Redundancy", IEEE Asia Pacific Conference on Circuits and Systems, Macao, China, pp. 268-271 (2nd Dec. 2008) .

[産業財産権]

○出願状況 (計 6 件)

[1] 名称: アナログ-デジタル変換器
発明者: 小川智彦、小林春夫
権利者: 半導体理工学研究センター
種類: 特許出願
番号: 特願 2009-275716
出願年月日: 2009年12月3日
国内外の別: 国内

[2] 名称: 完全デジタルPLL回路の高性能化
発明者: 壇徹、田邊朋之、小林春夫
権利者: 群馬大学、三洋電機
種類: 特許出願
番号: 特願 2009-157749
出願年月日: 2009年7月2日
国内外の別: 国内

[3] 名称: アナログ-デジタル変換器
発明者: 小川智彦、小林春夫、松浦達治
権利者: 半導体理工学研究センター
種類: 特許出願
番号: 特願 2009-275589

出願年月日：2009年12月3日
国内外の別：国内

[4]名称：スイッチング制御装置
発明者：森偉文樹、山田佳央、光野正志、
小林春夫、杉山寿男
権利者：群馬大学、旭化成東光パワーデバイス
種類：特許出願
番号：特願 2008-096079
出願年月日：2008年4月2日
国内外の別：国内

[5]名称：可変遅延回路
発明者：小林春夫、木村圭吾、森偉文樹、山
田佳央、光野正志、小堀康功
権利者：群馬大学
種類：特許出願
番号：特願 2008-78851
出願年月日：2008年3月25日
国内外の別：国内

[6]名称：時間デジタル変換回路
発明者：清水一也、金田雅人、小林春夫、松
浦達治、八木勝義、阿部彰、益子耕一郎
権利者：半導体理工学研究センター
種類：特許出願
番号：特願 2008-058450
出願年月日：2008年3月7日
国内外の別：国内

[その他]
ホームページ等
<http://www.el.gunma-u.ac.jp/~kobaweb/>

6. 研究組織

(1) 研究代表者

小林 春夫 (KOBAYASHI HARUO)
群馬大学・大学院工学研究科・教授
研究者番号：20292625

(2) 研究分担者

()

研究者番号：

(3) 連携研究者

()

研究者番号：