

平成22年5月10日現在

研究種目：基盤研究（C）

研究期間：2007～2009

課題番号：19560335

研究課題名（和文） ソフトエラー対策 VLSI 回路の考案

研究課題名（英文） VLSI CIRCUIT DESIGNS with SOFT ERROR TOLERANCE

研究代表者

伊藤 秀男（ITO HIDEO）

千葉大学・大学院融合科学研究科・教授

研究者番号：90042647

研究成果の概要（和文）：ソフトエラー（以下SEと略記）とは、VLSIが α 線や宇宙線を受けることにより発生する一次的誤りである。本研究では、(a)SE対策VLSI回路の考案と、(b)SE対策VLSI回路のテストとテスト容易化設計についての研究成果を得た。(a)では、組合せ回路部で発生したSEパルスをマスクする方法や耐ソフトエラーラッチまたはフリップフロップの設計などを、(b)では、SE対策FFの遅延故障テスト容易化スキュン構造の提案などの成果を得た。

研究成果の概要（英文）：Soft errors (SEs) are radiation-induced transition pulses caused by neutrons from cosmic rays or alpha particles from packaging material. This research got the two type results of (a) VLSI circuit design with the property of SE tolerance, and (b) test generation and easily testable design for SE tolerant circuits. In (a), circuit design masking SE pulses caused in combinational circuit parts, and circuit designs for SE hardened latch or flip-flop have been proposed. In (b), easily testable scan structure for delay faults with the property of SE tolerance has been proposed.

交付決定額

(金額単位：円)

| | 直接経費 | 間接経費 | 合計 |
|--------|-----------|-----------|-----------|
| 2007年度 | 1,300,000 | 390,000 | 1,690,000 |
| 2008年度 | 1,100,000 | 330,000 | 1,430,000 |
| 2009年度 | 1,100,000 | 330,000 | 1,430,000 |
| 年度 | | | |
| 年度 | | | |
| 総計 | 3,500,000 | 1,050,000 | 4,550,000 |

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：回路設計，CAD，ソフトエラー，VLSI，ラッチ，スキュン設計，テスト容易化設計，遅延故障

1. 研究開始当初の背景

ソフトエラー（Soft Error:SE）とは、VLSIが α 線や宇宙線を受けること（粒子の照射とも言う）により一時的に内部の信号線にパルス状のノイズをもたらす、それが論理値の反転となって、VLSI出力に伝播する誤りで

ある。1980年代当初は宇宙システムに搭載された計算機のメモリでSEが発生して問題になったが、ECC（誤り訂正符号）などの対策によってほぼ充分に対処できていた。しかし、VLSIの微細化が進み、信号線などの帯電電荷量が小さくなるにつれて、地上で用いるVLSI

のSRAMやレジスタ、ラッチなどの素子や回路、更には論理回路（ロジック）部へも粒子の照射によってSEが発生するようになってきた。またその発生頻度（SER: Soft Error Rate）も微細化と共に大きくなって来ており、今後のVLSIの微細化にはSE対策が不可欠になっている。このようなことから、近年、SE対策VLSIの研究が盛んになり始めている。

2006年までに行われてきた主なSE対策VLSIに関する研究には、コンデンサ容量を大きくするなどレイアウトによってSEを起りにくくしようとするレイアウトレベル救済策、時間冗長2重化処理によってSEを検出したり（図1 (b)参照）、時間冗長3重化処理によってSEをマスクする方式（図1 (c)参照）、SEが発生しても出力誤りが少ない耐SEラッチ回路構成、さらにSEに関する解析・ツール・評価などがある。

以上のように、SE対策は検討され始めているが、有効なVLSI回路の考案など研究・開発されなければならない課題は多く、その解決は急務な問題となっている。

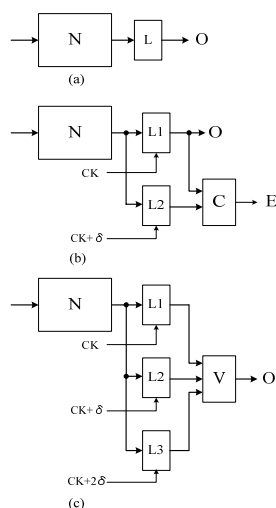


図1 時間冗長方式

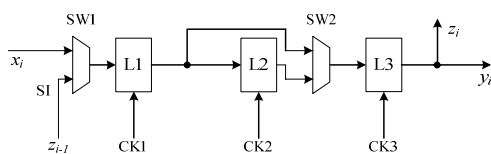


図2 エンハンスドスキャン設計FF

2. 研究の目的

本研究の目的は、以下の(a), (b), (c)である。

- (a) ソフトエラー（SE）対策VLSI回路の考案
- (b) SE対策回路のテストとテスト容易化設計
- (c) 考案回路の定量的有効性評価

特に(a)の中のスキャンFF（フリップフロップ）を利用するソフトエラー（SE）対策回路は、以下の研究計画・方法の(1)に更に詳しく述べるように、実用性・有効性の高い新しい考えに基づく回路方式である。これは、今日のVLSI回路設計の遅延故障検出の最有力手段となっているエンハンスドスキャン設計（図2参照）のFF資源を、通常動作時での論理機能回路部に発生するSEの検出や訂正に利用する。そのため、少ないオーバーヘッドによって、論理機能回路部とFF（ラッチ回路部）の両者に発生するSEの検出および訂正を可能にする画期的なものである。従来の提案の手法は、機能回路部のみに発生したSEの検出および訂正、またはラッチ回路部のみに発生したSEの検出および訂正のいずれかであり、両者を同時に可能とする回路方式は考案されていなかった。このアイデアは、従来の手法の利点が大きいので、エンハンスドスキャン設計のFF資源へ、従来の手法を適用すればオーバーヘッドが少ない設計ができるのではないかという発想から生まれた。

(b)の研究も申請者以外には、まだどこでも行われていない新規性の高い研究である。一般にSE対策回路は一種の冗長回路を含むため、工夫を施さない回路のままではVLSI製造後の固定縮退故障検出テストでは検出できない故障がある。もし、そのような故障が検出できないVLSIがそのまま出荷されて利用されたとすると、やがて発生したSEに対して、SE対策が無効となる場合がある。従って、そのような固定縮退故障を検出できる必要があり、(b)の観点からのテスト容易化設計の研究が必要になる。この研究の着想は、SE対策ラッチ回路の解析から生まれた。

(c)の研究は、(a)および(b)で設計した回路の利用が、実際に有効であるかどうかを定量的に評価することである。すなわち、(a)で考案するSE対策VLSI回路、および(b)で考案するテスト容易化設計はどのような場合に有効であるかを評価する。

3. 研究の方法

(a), (b), (c)の3つの研究目的の達成のため、以下の(1)~(8)を実施する。

- (1) SE対策エンハンスドスキャン設計((a)の研究)

本申請の最優先研究課題についての研究方法・計画である。(研究目的の中に示した)図1は時間冗長方式を示しており、組合せ回路(N)の出力にラッチ(L)をもつ通常回路(図(a))に対して、SEが発生した場合に時間冗長によって誤りを検出できる方式(図(b)), および誤りをマスクできる方式(図(c))である。図(b), (c)中の回路記号CおよびVは比較器および多数決回路であり、Eは誤り出力信号である。それぞれ、 δ および

2δの時間冗長（タイムオーバーヘッド）をペナルティ（犠牲）としている。一方、エンハンスドスキャン設計がなされる VLSI の 1組の FF は図2の構造をしている。図2の中のラッチ L1, L2, L3 と図1 (b) または (c) 中の L1, L2, L3 の兼用化を図ることが本研究である。

(2) SE 対策 VLSI 回路の考案 ((a)の研究)

通常の固定故障検出用スキャン設計および千葉大スキャン設計へ、SE検出とSEマスクを適用する場合でのラッチの兼用化回路を考案する。更にこれらの回路とは別にSE対策VLSI回路からなる集合を S_N と記すとき、 S_N の中の検討が不十分な要素Nをとりあげて、特徴、利点、欠点を検討し、その特性が不十分ならばその改善策の回路や新しい手法の考案を行う。

(3) テストの導出とテスト容易化設計 ((b)の研究)

SE対策VLSI回路集合 S_N の要素である回路Nの単体動作をよく理解（解析）する。特に、特徴、利点、欠点を明確にすると共に、それらの改善策や新しい手法の考案を常に念頭におく。これは(2)の新しいSE対策VLSI回路の考案に結び付く。それを基に、テストをどのように行うかを求める。特に、システムで用いるクロック周期とは異なるクロックを利用する場合なども検討する。また、テスト容易化設計も考案する。

(4) VLSIやSoCに埋め込まれた場合でのテストの検討 ((b)の研究)

上記(1)～(3)のSE対策VLSI回路NがVLSIやSoCに埋め込まれた場合で、テストの実行が困難な場合には、どのようにすれば容易に実行できるかを考える。この場合にスキャンテスト構造やバンドリスキャン構造、BIST構造、P1500規格、Wrapper、TAM (Test Access Mechanism)などの従来のテスト容易化設計を当てはめて考察する。これらによってもうまくいかないならば、新しい構造や手法を考案する。

(5) 考案回路の定量的有効性評価 ((c)の研究)

ここでは以下の評価データなどを導出する。

①ハードウェア（エリア、面積）オーバーヘッド

②タイム（時間、遅延）オーバーヘッド

③SEについての特性データ（検出率、マスク率、回復率など）

④テストの特性データ（検出率、テスト数、テストデータ量、データ圧縮率など）

(6) 文献調査

常に文献調査も並行して行い、新しいSE対策VLSI回路が見つかったら、検討回路としてそれらを S_N へ加える。また、本研究の推進に役立つ新しい知見が文献から得られたならば、

即座にその適用や、適用に適した変形などを検討し、更にはSE対策VLSI回路の分類、整理などを行う。

(7) 成果発表

研究成果を整理・纏めて特許申請する。また、学会の口頭発表、学会論文誌への投稿を行う。

(8) 試作チップ設計と動作検証

提案方式のVLSI上での基本動作を検証する。VDEC（大規模集積システム設計研究センター）を通してチップを設計する。

4. 研究成果

研究目的に示した(a),(b)の目的についてその成果を以下の4.1及び4.2で各々述べる。なお、研究目的に示した(c)は(a),(b)のための評価であるので、これについては(a),(b)の各々の成果の中で述べる。

4.1 ソフトエラー (SE) 対策VLSI回路の考案 (研究目的(a)) についての成果

本研究目的に関しては以下の3つの種類の成果を得た。

- ・組合せ回路部で発生したソフトエラーパルスを減衰させる方法
- ・耐ソフトエラーラッチまたはフリップフロップの設計
- ・二線式論理を用いた FPGA のソフトエラーに対するフォールトセキュア性の証明

これらの各々の内容については、以下の(1),(2),(3)で述べる。

(1) 組合せ回路部で発生したソフトエラーパルスを減衰させる方法 ([雑誌論文] ②)

(注意：[雑誌論文] ②は、5. 主な発表論文等に示す文献番号である。以下も同様に示す)

[雑誌論文] ②では、シュミットトリガ回路とパストランジスタを用いて、組合せ回路部で発生したソフトエラーパルスを減衰させる方法を提案している (図3参照)。この機能は従来の手法よりも耐ソフトエラー性の面で優れていることも示す。またこの手法を応用して、組合せ回路部で発生したソフトエラーをマスクする FF も提案している (図4参照)。

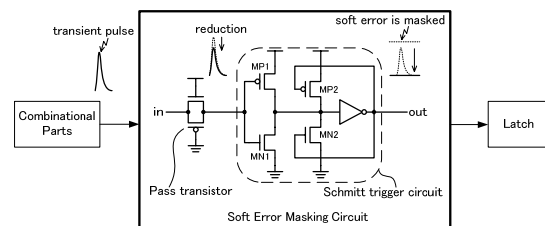


図3 ソフトエラーパルスの減衰回路

テストを可能にするエンハンスドスキャンテストを可能にするFF設計を提案している。従来の耐ソフトエラーラッチでは検出が不可能な永久故障の検出も可能になる。この設計は、従来の耐ソフトエラーラッチと比較して最大で33.3%の面積オーバーヘッドで、40.1%の遅延を生じる。

〔学会発表〕⑧では、従来のCエレメントとラッチの2重化を用いたSET/SEU耐性FFにセクタなどを追加することによって、任意の遅延故障テストを可能にするSEU/SET対策FF構造を提案し、その評価を述べている。

(2) 検出不可能な固定故障がある場合でのソフトエラー対策ラッチのソフトエラー耐性の定量的評価〔学会発表〕⑦

〔学会発表〕⑦では、耐ソフトエラーラッチに検出不可能なオープン故障やショート故障がある場合のラッチのソフトエラー耐性の評価を定量的に示している。例えば、耐ソフトエラーラッチにオープン故障(ショート故障)が発生しているときは、1時間当たり 8.663×10^{-17} 回(9.790×10^{-17} 回)ラッチの出力が誤る。これは、ソフトエラー対策をしていないラッチに比べて $10^{-4} \sim 10^{-5}$ 程度ソフトエラー発生率が低下している。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計2件)

- ①Shuagyuan Ruan, Kazuteru Namba and Hideo Ito : Construction of Soft-Error-Tolerant FF with Wide Error Pulse Detecting Capability, IEICE Trans. Inf. & Syst., 査読有, Vol. E92-D, No. 8, pp.1534-1541, August, 2009.
- ②Yoichi Sasaki, Kazuteru Namba and Hideo Ito, "Circuit and Latch Capable of Masking Soft Errors with Schmitt Trigger," J. Electronic Test.: Theory & Appl., 査読有, Vol. 24, No.1-3, pp.11-19, June 2008.

〔学会発表〕(計11件)

- ①Kazuteru NAMBA, Hideo ITO, "BILBO FF with soft error correcting capability", 電子情報通信学会, ディペンダブルコンピューティング研究会, DC2010-4, 東京(2010年4月13日)。
- ②中島健吾, 難波一輝, 伊藤 秀男: 耐ソフトエラー性を有するRSフリップフロップ, 電子情報通信学会, 機能集積情報システム研究会, FIIS10, No. 269, 京都(2010年3月5日)
- ③坂田雅俊, 難波一輝, 伊藤 秀男: ラッチ

内2重ノード反転ソフトエラーの耐性設計, 電子情報通信学会, 機能集積情報システム研究会, FIIS09, No. 265, 東京(2009年10月16日)

- ④Shuangyou Ruan, Kazuteru Namba and Hideo Ito: Soft Error Hardened FF Capable of Detecting Wide Error Pulse, 23rd IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT2008), (Boston), pp.272-280, Oct. 2(2008).
- ⑤坂田雅俊, 難波一輝, 伊藤 秀男: ソフトエラーラッチの調査と分類, 電子情報通信学会, 機能集積情報システム研究会, FIIS08, No. 233, 筑波市(2008年6月27日)
- ⑥阮 双玉, 難波一輝, 伊藤 秀男: 幅の広いエラーパルス検出機能を有する耐ソフトエラーFF, 電子情報通信学会, ディペンダブルコンピューティング研究会, DC2008-9, pp.49-54, 東京(2008年4月23日)。
- ⑦中島健吾, 難波一輝, 伊藤 秀男: 耐ソフトエラーラッチの検出不可能な固定故障の影響, 電子情報通信学会, ディペンダブルコンピューティング研究会, DC2008-8, pp.43-48, 東京(2008年4月23日)。
- ⑧池田卓史, 難波一輝, 伊藤 秀男: SEU/SET対策FFを用いた遅延故障テスト容易化スキャン構造, 2008年電子情報通信学会総合大会, D-10-4, 北九州市(2008年3月18日)。
- ⑨三浦健宏, 難波一輝, 伊藤 秀男: 二線式論理を用いたFPGAのソフトエラーに対するフォールトセキュア性, 電子情報通信学会, ディペンダブルコンピューティング研究会, DC2007-74, pp.45-50, 東京(2008年2月8日)。
- ⑩Takashi Ikeda, Kazuteru Namba and Hideo Ito : Soft Error Hardened Latch Scheme for Enhanced Scan Based Delay Fault Testing, 22nd IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT2007), (Rome.), pp.282-290, Sep. 27(2007).
- ⑪池田卓史, 難波一輝, 伊藤 秀男: 遅延故障テスト容易化ソフトエラーラッチの設計, 電子情報通信学会, ディペンダブルコンピューティング研究会, DC2007-1, 東京(2007年4月20日)。

〔産業財産権〕

○出願状況(計1件)

名称: 遅延故障テスト容易化耐ソフトエラーラッチ

発明者：池田卓史，難波一輝，伊藤秀男
権利者：千葉大学
種類：半導体集積回路
番号：特願 2007-111043 号
出願年月日：2007 年 4 月 19 日
国内外の別：国内

6. 研究組織

(1) 研究代表者

伊藤 秀男 (ITO HIDEO)
千葉大学・大学院融合科学研究科・教授
研究者番号：90042647

(2) 研究分担者

難波 一輝 (NAMBA KAZUTERU)
千葉大学・大学院融合科学研究科・助教
研究者番号：60359594

(3) 連携研究者

()

研究者番号：