

平成22年2月12日現在

研究種目：基盤研究（C）  
 研究期間：2007～2008  
 課題番号：19560340  
 研究課題名（和文）遅延変動耐性を有する高信頼データパス回路の理論と最適合成に関する研究  
 研究課題名（英文）Theory and Optimization of Reliable Datapath Circuits having Robustness against Delay Variation  
 研究代表者  
 金子 峰雄（KANEKO MINEO）  
 北陸先端科学技術大学院大学・情報科学研究科・教授  
 研究者番号：00185935

研究成果の概要：LSIの製造時ばらつき、動作時動的変動の下で、機能的に正しく動作し続ける全く新しいデータパス回路方式として、(1)変数のレジスタへの割当てで決まる構造的遅延変動耐性、(2)演算回路部の最小遅延補正と遅延変動耐性を組み合わせた効率化、(3)レジスタの制御タイミング順序によって動作タイミングを補償する順序クロッキングなどを提案すると共に、それらの最適設計問題について計算量的性質、具体的解法などを明らかにしている。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	1,500,000	450,000	1,950,000
2008年度	1,900,000	570,000	2,470,000
年度			
年度			
年度			
総計	3,400,000	1,020,000	4,420,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：集積回路，CAD，遅延ばらつき，高位合成，データパス，レジスタ割当

## 1. 研究開始当初の背景

集積回路は高度情報化社会を基盤から支える最重要部品であり、個人用PCから高性能スパコンまでの計算機システムはもとより、携帯情報・通信機器、機械・ロボット制御など集積回路システムの応用の広がりの中で、高い計算・通信処理能力、低消費電力、高信頼性を備えた集積回路への要望は益々高まっている。一方製造面からは、微細加工・集積化技術の弛み無い進歩による一層の微細化と回路規模の増大により、集積回路システムはディープ・サブミクロン・プロセスあるいはナノ・プロセス技術によるシステ

ム・オン・チップの時代を迎えている。

こうした中で、製造された集積回路そのものは、トランジスタや配線の微小・微細化、低電圧動作化、微小電流動作化が進み、一次的素子(設計・製造対象素子)に対して二次的素子(寄生素子)が相対的に大きくなり、特性に与える影響も大きくなっている。また素子パラメータの製造時ばらつきや動作時の信号遅延変動が相対的に大きくなり、これによる特性変動も大きな問題となってきている。一方、集積回路の設計においては、問題規模の爆発(製造可能回路規模と設計可能回路規模のギャップ拡大)の問題はもとより、極微

細集積回路が持つ上記の特性から、性能見積もりの複雑化と不確実さ拡大の問題を抱えている。

## 2. 研究の目的

極微細集積回路が持つ(1)製造時ばらつきによる信号遅延ばらつきや動作時の信号遅延変動による性能劣化や信頼性低下、及び(2)設計時の性能見積もりの複雑化と不確実さ拡大に伴う設計時における性能保証の困難さを克服し、特性(遅延特性)のばらつきと不確実さの下で、機能的に正しく動作し続ける高信頼データバス回路方式を考案すると共に、そのデータバス設計手法の確立、応用回路方式の提案を目的とする。

## 3. 研究の方法

研究の目的達成に向けたアプローチとして3つの方向性が考えられる。一つはパラメータばらつきやそれによる特性変動を如何にして正確に見積もるかに焦点を当てる研究、第2はパラメータばらつきや動的変動を如何にして抑えるかに注目する研究、そして第3がパラメータばらつき、動的変動の存在を前提として、その中で如何にして正しく動作する回路を構成するかに注目した研究である。ここではこれらのうちの第3のアプローチをとる。

データバス回路がタイミング的に正しく動作することは、個々の演算についてのセットアップ条件とホールド条件を保証することに他ならない。セットアップ条件は主に演算の最大遅延量に関係し、ホールド条件は資源共有と演算の最小遅延量に関係してそれぞれ決まる。無論、タイミングの詳細は論理設計、回路設計、レイアウト設計を経て決まることになるが、演算スケジュールや資源割り当てといった動作タイミングや資源共有の根本は高位合成の段階で決まることから、そこでの設計上の判断はタイミング保証に対して非常に大きな影響を与える。このことから、遅延変動を考慮した高位合成の立場から目的にアプローチする。

研究のスタート点は「全ての(デジタル)回路は、どのようなパラメータばらつき(それによる遅延ばらつき)や遅延の動的変動が生じて、適切にクロック周波数を選べば(周波数を下げれば)、正しく動作するか?」との素朴な疑問である。簡単な考察からこの答えが No であることが分かるが、こうした基礎的思考実験を通して、本研究にて取り上げる「構造的遅延変動耐性」の着想に至っている。

## 4. 研究成果

回路が制御タイミング的に正しく動作するための条件としてセットアップ条件とホ

ールド条件があり、前者は信号の最大伝播遅延に、後者は資源共有と信号の最小伝播遅延に、それぞれ強く制約される。本研究では先ず、

(1)「任意の遅延ばらつきに対して回路が正しく動作するクロック周波数が存在すること(構造的遅延変動耐性:SRV)」なる概念を導入することにより、遅延変動を考慮したデータバス回路に対して、具体的遅延ばらつき量や具体的動作周波数に必要以上に囚われない普遍化された議論を可能にする枠組みを定めた。またこのSRVを、遅延変動に全く仮定を置かないタイプ I、1データを格納するレジスタ内のFF間の相対的遅延ばらつきが演算器の最小遅延よりも小さいとの仮定を導入したタイプ II、タイプ II で導入した仮定に加え、必要に応じてレジスタ間の制御信号到着順序を規定できると仮定したタイプ III に分類した。次いで、

(2)SRVタイプ I、タイプ II、タイプ III それぞれに関して、その構造的条件ならびにそれを実現する回路合成法を提案した。非常に興味深いことに、同一の演算スケジュールに対して、レジスタ割当による変数間のレジスタ共有によってこうした性質が決まることが明らかとなり、各性質を持つデータバス設計問題をレジスタ割当問題に帰着させた。SRVタイプ I、タイプ II に関しては、スケジュールによって定まる各変数のライフタイムの定義を従来のものに対して修正することにより、従来とほぼ同様の取扱ができることを明らかにした。これにより、ループ構造を持たない計算アルゴリズムを遂行するデータバス回路の合成については、当該のレジスタ割当問題が多項式時間計算手続きにて解けることが分った。一方、SRVタイプ III については、従来とは異なって、変数のレジスタ割当とレジスタ間の制御信号到着順序を同時に規定する問題となり、その最適設計問題がNP困難のクラスに属する事を明らかにした上で、整数線形計画による解法を提案した。

新しい概念であるSRVに基づく以上の回路構成の検討に続き、SRVとその他の手法との組合せによるデータバス回路構成についても検討、提案を行った。その主な成果は以下の2点である。

(3)遅延変動への対応手法として特にホールド条件の保証にはSRVのほかに、演算器最小遅延補償(最大遅延を大きくすることなく、最小遅延だけを大きくする)がある。しかしこの最小遅延補償単体の適用では、データバス中の多数の演算器をコストの大きい最小遅延補償型に置き換える必要があり、大きなコストが必要となる。そこでこの最小遅延補償にSRVの考え方を組合せ、真に最小遅延補償を必要とする演算器数を大幅に削減

することに成功している。

なお、この最小遅延補償とSRVとの組合せでは、最小遅延補償型演算器数とレジスタ数との間にトレードオフが存在する。すなわち、最小遅延補償型演算器を多数投入すればSRV(レジスタ数を増やす可能性あり)を適用せずに、遅延変動耐性を持たせることができ、逆にレジスタを多数投入すれば全てのタイミング保証をSRVにて満たすことができ、最小遅延補償を必要としない。そこでここでは、使用するレジスタ数の上限を定め、最小遅延補償型演算器数を最小化する最適化問題を考え、この問題が一般にはNP困難なクラスに属することを明らかにした。また一方、総演算器数を定数とする場合について、この最適化問題に対する多項式時間アルゴリズムを開発し、総演算器数を限れば実用時間内に厳密な最適解を求められることを明らかにした。

(4) SRVタイプIIIでは、タイミング要件としてのホールド条件を保証するためにレジスタ間の制御信号到着順序関係を使った。しかしこうした順序関係は逆にセットアップ条件から見たときには逆効果となってしまうことがある。そこで、セットアップ条件とホールド条件の双方にとって真に必要なレジスタ間の制御信号到着順序の規定とレジスタ割当を同時最適化する設計問題を提起し、その解法を提案した。

本研究を通し、これまで資源量の観点からのみ語られてきたレジスタ割当問題が、遅延変動への耐性にも大きく関わることを明らかにした。これは、データパスの高位合成に対する考え方を根本から変革するものである。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計8件)

① Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, Optimal Register Assignment with Minimum-Path Delay Compensation for Variation-Aware Datapaths, IEICE Transactions on Fundamentals, Vol. E92-A, No. 4, pp. 1096-1105, 2009, 査読有

② Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, Safe Clocking for the Setup and Hold Timing Constraints in Datapath Synthesis, Proceedings of ACM Great Lakes Symposium on VLSI, pp. 27-32, 2009, 査読有

③ Takayuki Obata, Mineo Kaneko, Solvability of Simultaneous Control Step and Timing Skew Assignments in High Level Synthesis, Proceedings of IEEE International Symposium on Circuits and Systems, pp. 1521-1524, 2009, 査読有

④ Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, A Conjecture on the Number of Extra Registers in Safe Clocking-Based Register Assignment, The 15th Workshop on Synthesis And System Integration of Mixed Information technology, pp. 131-136, 2009, 査読有

⑤ Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, Safe Clocking Register Assignment in Datapath Synthesis, Proceedings of IEEE International Conference on Computer Design, pp. 120-127, 2008, 査読有

⑥ Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, Minimizing Minimum Delay Compensations for Timing Variation-Aware Datapath Synthesis, Proceedings of IEEE Midwest Symposium on Circuits and Systems, pp. 97-100, 2008, 査読有

⑦ Takayuki Obata, Mineo Kaneko, Concurrent Skew and Control Step Assignments in RT-Level Datapath Synthesis, Proceedings of IEEE International Symposium on Circuits and Systems, pp. 2018-2021, 2008, 査読有

⑧ Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, Novel Register Sharing in Datapath for Structural Robustness against Delay Variation, IEICE Transactions on Fundamentals, Vol. E91-A, No. 4, pp. 1044-1053, 2008, 査読有

[学会発表] (計14件)

① Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, "Safe Clocking Based Datapath Synthesis for the Setup and Hold Timing Constraints", IEICE Circuits and Systems KARUIZAWA Workshop, pp. 432-437, 2009. 4. 20, 軽井沢 (2009年3月31日時点で発表決定)

② Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, "Adjustable Safe Clocking and Relevant Register Assignment in Datapath Synthesis", IEICE Technical Report,

VLD2008-130 pp. 23-28, 2009. 3. 11, 沖縄

③上原八弓, 金子峰雄, “制御のタイミングスキューおよびストールに基づくLSI チューニング”, 電子情報通信学会VLSI 設計技術研究会, VLD-2008-106, CPSY2008-68, RECONF2008-70 pp. 87-92, 2009. 1. 29, 東京

④Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, “A Note on the Number of Extra Registers in Safe Clocking-Based Register Assignment”, IEICE Technical Report, CAS-2008-90, NLP2008-120 pp. 147-152, 2009. 1. 22, 宮崎

⑤Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, “Delay Variability-Aware Datapath Synthesis Based on Safe Clocking for Setup and Hold Timing Constraints”, IEICE Technical Report, VLD2008-85, DC2008-53, pp. 151-156, 2008. 11. 17, 福岡

⑥小畑貴之, 金子峰雄, “スキュー最適化を前提とするデータベース合成におけるスケジューリング可能解空間の拡大”, 電子情報通信学会技術報告, VLD2008-86, DC2008-54, pp. 157-162, 2008. 11. 17, 福岡

⑦Takayuki Obata, Mineo Kaneko, “スキュー最適化を前提とした実行可能な資源割り当て及び演算順序”, IEICE Technical Report, VLD2008-50, pp. 19-24, 2008. 9. 29, 金沢

⑧Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, “Delay Variation-Aware Datapath Synthesis Based on Register Clustering”, IEICE Technical Report, VLD2008-51, pp. 25-30, 2008. 9. 29, 金沢

⑨井上恵介, 金子峰雄, 岩垣剛, “データベース合成における順序制約付レジスタ割り当て問題の解法”, DA シンポジウム, pp. 115-120, 2008. 8. 26, 静岡

⑩井上恵介, 金子峰雄, 岩垣剛, “高位合成における順序制約付レジスタ割り当て”, 電子情報通信学会VLSI 設計技術研究会, CAS2008-20, VLD2008-33, SIP2008-54 pp. 7-12, 2008. 6. 26, 札幌

⑪井上恵介, 金子峰雄, 岩垣剛, “データベース合成における最小遅延補正演算器数の最小化手法”, 電子情報通信学会回路とシステム軽井沢ワークショップ pp. 623-628, 2008. 4. 21, 軽井沢

⑫井上恵介, 金子峰雄, 岩垣剛, “データベース合成における最小遅延補正演算器数の最小化手法”, 電子情報通信学会技術報告VLSI 設計技術研究会, VLD2007-140, ICD2007-163 pp. 19-24, 2008. 3. 5, 沖縄

⑬Takayuki Obata, Mineo Kaneko, “A Schedule Improvement with Skew Control in Datapath Synthesis”, 電子情報通信学会技術報告VLSI 設計技術研究会, VLD2007-94, DC2007-49 pp. 31-36, 2007. 11. 20, 福岡

⑭Keisuke Inoue, Mineo Kaneko, Tsuyoshi Iwagaki, “Complexities and Algorithms of Minimum-Delay Compensation Problems in Datapath Synthesis”, 電子情報通信学会技術報告VLSI 設計技術研究会, VLD2007-93, DC2007-48 pp. 25-30, 2007. 11. 20, 福岡

## 6. 研究組織

### (1) 研究代表者

金子 峰雄 (KANEKO MINEO)  
北陸先端科学技術大学院大学・情報科学研究科・教授  
研究者番号：00185935

### (2) 研究分担者

なし

### (3) 連携研究者

なし