

研究種目：基盤研究 (C)
 研究期間： 2007～2008
 課題番号：19560347
 研究課題名 (和文) CMOS 互換不揮発メモリによる製造後補正を前提とした新アナログ回路設計法の研究
 研究課題名 (英文) Study on novel analog design method using post-fabrication trimming with CMOS non-volatile memories
 研究代表者
 中村 和之 (NAKAMURA KAZUYUKI)
 九州工業大学・マイクロ化総合技術センター・教授
 研究者番号：60336097

研究成果の概要 (和文)：従来のワーストケース設計法から、製造後にトリミングを行うことを前提とした全く新しい回路設計法の提案・研究を行った。具体的には、アナログ回路ブロックで汎用性の高いブロックであるリファレンス電圧発生回路にフォーカスし、これらの回路に新規回路設計法を適用した。その結果、従来の回路と互換性を確保しつつ、アナログトリミングの実装を可能にした新規なインターフェース方式を考案し、チップの開発・評価を行った。

研究成果の概要 (英文)：We proposed a novel analog design method using post-fabrication trimming with CMOS non-volatile memories. We focused on a design of reference voltage generator to demonstrate our newly developed method. As a result, we established a new technique for 3-terminal regulators to adjust the output voltage level without additional terminals or extra off-chip components. We also successfully confirmed that the output voltage adjustment in an on-board test with a chip fabricated using a standard CMOS process.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	1,700,000	510,000	2,210,000
2008 年度	1,800,000	540,000	2,340,000
年度			
年度			
年度			
総計	3,500,000	1,050,000	4,550,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：CMOS、集積回路、アナログ回路、素子ばらつき、トリミング、製造後補正、不揮発メモリ、レギュレータ

1. 研究開始当初の背景

従来の LSI 設計では、PVT (プロセス：Process、動作電圧：Voltage、周囲温度：Temperature) 条件といわれる、製造ばらつきによるトランジスタ固有の性能ばらつきに加えて、動作条件となる、電源電圧のばら

つき、さらには温度による性能変動を全て考慮にいれた設計が行われてきた。これらの全条件が最悪となった場合 (ワーストケース) の条件を見積もり、そのワーストケースにおいても要求仕様を満たすように余裕をもたせた設計を行う、いわゆる「マージン設計」

が行われてきた。よってこれまでは、回路設計者に、素子ばらつきや電圧・温度変動によって、影響を受けにくい回路設計を行うことが要求され、また、そのような要求を満たす回路や回路方式の研究開発がおこなわれてきた。しかし、素子の微細化と、高集積化、チップサイズの増大が進んだことにより、製造時期や使用装置の状態に由来する製造ロット間のばらつきに加えて、同一ウェハー内のチップ間ばらつきや、チップ内の素子間ばらつきの影響が大きなものとなってきた。このような状況で、従来のマージン設計を行うと、回路の性能が著しく制限されるか、もしくは、動作する条件が見つからないということが起こりうる。

我々は、2002-2006年度に文部科学省より受けた知的クラスター創成事業による研究補助金により、CMOSプロセス互換で、追加工程の必要のない新たな不揮発メモリデバイス(PermSRAM)の開発に成功していた。これは、マイクロプロセッサや動画像処理LSI用のプログラムメモリや、無線タグLSIのIDや暗号記憶用に研究開発を進めたものであったが、記憶保持の信頼性や書き込み時間短縮の課題をクリアし、事業化のために、地域内にベンチャー企業を起業した。PermSRAM技術は、書き換え回数に制限はあるものの、完全にCMOS互換であり、また、将来的なCMOSの微細化にも対応可能な動作原理となっていることが大きな長であった。

2. 研究の目的

本研究では、まず、微細化に伴う素子ばらつきの増大に伴って、性能保証が困難になっていく従来のマージン設計法に代わる新たな設計法を提案する。設計段階で、素子ばらつきを全て考慮するのではなく、製造後に素子性能を補正する手段の存在を前提とした新たな回路設計法を構築する。

我々の、全てのCMOSチップに製造工程の追加なしに不揮発メモリ機能を搭載可能な技術の実用化は、製造ばらつきに関する情報を、チップ自身に記憶させておくことが(コストアップなしに)可能となった点に大きな意味を持つ。従来技術であるフラッシュメモリによる方法では、製造工程の複雑化や、大きな面積を占める周辺回路が必要であり、本研究課題への適用性また実用性は全く乏しい。そもそも、本研究の着想に至った経緯は、PermSRAMの実用化と、その利用者探索のための技術紹介の過程において得られた市場ニーズのフィードバックによるものである。当初、ワンチップマイコンやRF-ID等のデジタル系への応用をメインと考えていたが、従来からレーザーヒューズによる製造後補正を行っている高精度発振器や基準電圧発生回路への代替応用の要求が強いこ

とや、マージン設計によるアナログ回路の性能保証に限界を実感しているアナログ回路設計者が多いことを実感し、本研究テーマの提案に至った。

この製造後の補正を前提とした回路設計法の構築は従来のマージン設計法を見直す新規なもので、マージン設計では今後のばらつき増大に対処が困難であるが、本研究成果によれば、素子ばらつきを製造後にコントロールすることができるようになる。それにより、将来の製造プロセスのさらなる微細化や素子ばらつきの増大においても、高い性能で動作可能なLSI回路が実現可能となる。近い将来にはLSI設計の必須の技術の一つとなるものと考えられる。

3. 研究の方法

本研究では、従来のワーストケース設計法から、製造後にトリミングを行うことを前提とした全く新しい回路設計法を提案・研究を行った。具体的には、すべてのアナログ回路ブロックで汎用性の高いブロックであるリファレンス電圧、および、リファレンス周波数発生回路にフォーカスし、これらの回路にアナログトリミング技術を適用した新規回路方式を検討した。その結果、トリミングのベースとなるメモリ回路の動作マージン評価を行なうとともに、従来の回路と互換性を確保しつつ、アナログトリミングの実装を可能にした新規なインターフェース方式を考案し、チップ開発、および評価を行った。

4. 研究成果

(1) 概要

電子機器の多機能化、高機能化の進展により各LSIで必要とされる電源電圧の多様化が進んでおり、さらにLSIの低電圧化は、高い電源電圧精度を要求している。これらの要求に応えるために、DC電源の生成に一般的に用いられる三端子レギュレータICにおいては、外付け部品追加などによる補正や、ウェハー段階でのトリミング、あるいは、専用端子を追加して内部不揮発メモリの設定値の更新を行う手法等の提案が行われている。しかし、これらの手法はいずれも外部部品、及び端子数の追加を伴うためコスト増の問題がある。

(2) 新規3-端子レギュレータ回路

提案する三端子レギュレータのブロック図をFig.1に示す。本回路では、外部端子としては、GND、電源、出力の3端子のみである。破線内に示される部分が、従来の3端子レギュレータ回路との共通部分であり、基準電圧発生回路と、オペアンプ、出力トランジスタからなるフィードバック構成になっている。基準電圧値は、不揮発メモリに格納された情報により変更可能となっている。本回路の出力端子OUTに、Fig2.(a)に示すように、外部から強制的にレギュレータ出力電圧以

上のレベルの信号を入力することで、出力トランジスタは Hi-Z 状態となり、回路内部に制御信号を入力することが可能となる。制御信号は、Fig. 2 (b)に示すように、ノイズによる誤動作を防ぐ目的で、①高周波のバースト信号 (10-MHz, 300-cycle)、②低周波のキーパターン (250-Kbps, 6-bit)、③設定値データ (250-Kbps, 8-bit) という構成のシリアルデータ列を用いる。出力端子から強制入力されたこの制御信号は、Control Signal Detector により、内部に入力され、Burst Signal Detector により、信号中のバースト信号の有無が検査される。バースト信号が検出されると、Serial Interface 回路が動作を開始し、既定の Key Pattern との照合を行う。照合に成功すると、それに連なるパターンにより、不揮発メモリの内容を更新し、最終的に出力電圧値を変更する。

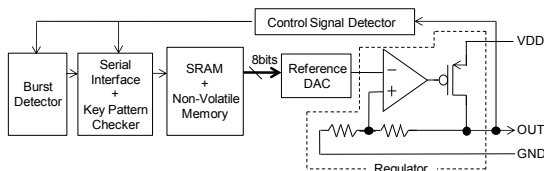


Fig. 1 ブロック構成

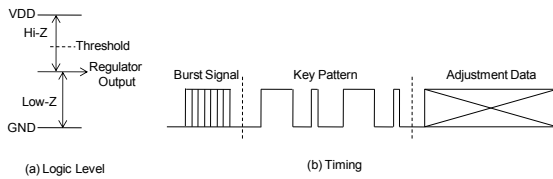


Fig. 2 制御信号パターン

(3) 回路構成

Fig. 3 に Control Signal Detector を示す。出力レベルと電源電圧の間のレベルをしきい値とするコンパレータ回路であり、差動回路の出力に接続された Cap. の容量によって 33MHz 以上の信号を遮断するローパスフィルタ機能ももたせている。

Fig. 3 内にバースト信号検出回路を示す。入力信号の遷移は、遅延付きインバータと EXOR の組み合わせにより定パルス幅を持つ電流 I_u に変換され、BURST ノードに接続されたキャパシタを充電する。放電用の電流源 I_d の設定値により、特定の周波数 (本設計では 7MHz) 以上の入力信号に対して BURST ノードの電圧は上昇する。本回路のシミュレーション結果を Fig. 4 に示す。10MHz 程度のクロック信号が 300 周期連続すると、バースト信号として認識されるように設計した。

Fig. 5 (a) に Serial Interface 回路を含む、鍵パターンの照合回路を示す。シリアル・パターンの論理値はパルス幅の長短によって判定する。Fig. 5. (b) のタイミングチャートに示すように Rise Delay Buffer での遅延により、入力信号のパルス幅が、時間しきい値

(T_{th}) より短い場合は "0"、長い場合は "1" と判定される。Rise Delay Buffer の回路図を Fig. 5 (c) に示す。(W_p/L_p) \ll (W_n/L_n) となるように設計されており、時間しきい値より短い周期の入力信号に対しては、クロック信号を生成せず、シリアル信号の読み込みは進まない。

Fig. 6 に試作チップから得られた制御信号入力回路の全体測定結果を示す。データ設定の後、出力電圧が設定値の 2.117V へ変化しているのが確認出来る。

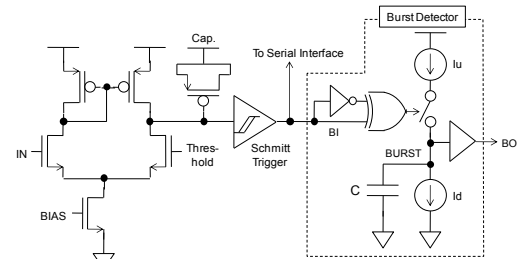


Fig. 3 制御信号とバースト検出回路

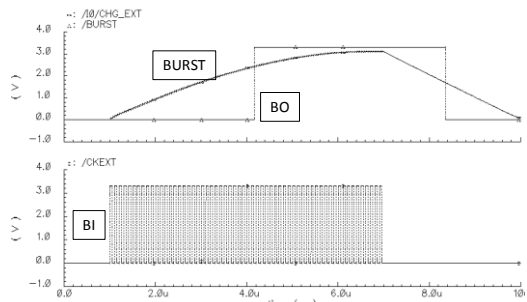


Fig. 4 シミュレーション波形

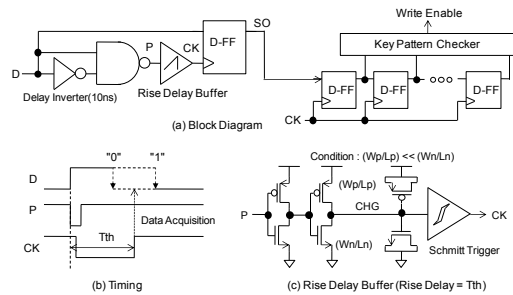


Fig. 5 鍵パターン検出器

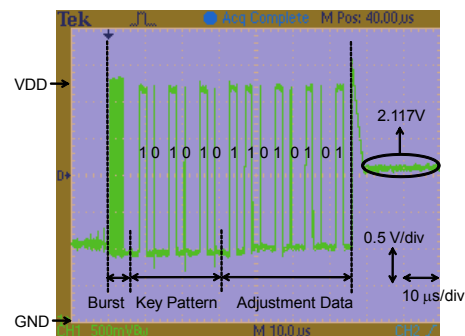


Fig. 6 全体動作の測定波形

(4) チップ試作と測定結果

0.35 μ m-標準 CMOS プロセスにより、テストチップの設計・試作を行った。Fig. 7 にチップ写真と、主要部のレイアウト図を示す。試作チップによる設定値書き換えテストを行った測定結果を Fig. 8 に示す。6.5mVの精度での出力電圧制御と、設計値とのよい一致を確認した。Table.1 に、従来の3端子レギュレータに対しての電力と面積のオーバーヘッドをまとめた。一般的な三端子レギュレータの出力電流が、数100mA、チップ面積が数平方mmであることを考えると機能追加による消費電流、チップ面積の増分は充分小さいと考えられる。

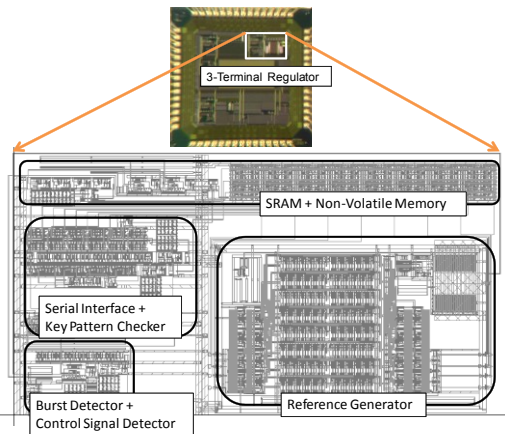


Fig. 7 チップ写真

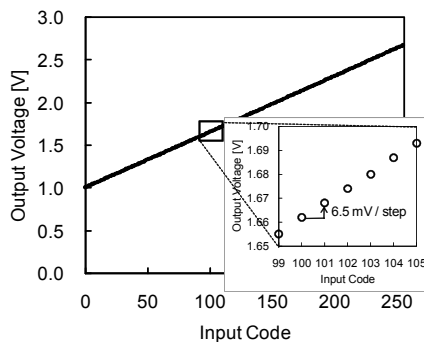


Fig. 8 設定値と出力値 (測定値)

Table.1 消費電流と面積比較

Block Name	Current [mA]	Area [mm ²]
Burst Detector + Control Signal Detector	0.246	0.017
Serial Interface + Key Pattern Checker	<0.001	0.037
SRAM + Non-Volatile Memory	0.161	0.033
Total	0.407	0.087

(5) 成果のまとめ

三端子レギュレータにおいて、端子の追加無しに、外部から設定電圧を変更する技術の実証を行った。本技術によれば、パッケージング後や、ボードへの実装後においても電源電圧の設定値の変更が可能となり、電源電圧

多様化や高精度化の要求に応えることが可能になる。本チップについては、2009年度に国際学会へ投稿した。また、2007年度 PCT 出願した基本特許は、JST の支援を得て、2009年度内に各国移行を行なうことが決定した。

5. 主な発表論文等

[学会発表] (計1件)

① Hiroyuki Morimoto, Hiroki Koike, Kazuyuki Nakamura, "An Electrically Adjustable 3-Terminal Regulator with Post-Fabrication Level-Trimming Function", 15th Asia and South Pacific Design Automation Conference (ASP-DAC 2010), Jan. 2010 (採択済み)

[産業財産権]

○出願状況 (計1件)

名称: 電子デバイス

発明者: 森本浩之、中村和之

権利者: 九州工業大学

種類: 特許

番号: PCT/JP2008/051318

出願年月日: 2008/01/29

国内外の別: 海外出願 (PCT)

6. 研究組織

(1) 研究代表者

中村 和之 (NAKAMURA KAZUYUKI)

九州工業大学・マイクロ化総合技術センター・教授

研究者番号: 60336097

(2) 主な研究協力者

森本 浩之 (MORIMOTO HIROYUKI)

九州工業大学・マイクロ化総合技術センター・産学官連携研究員