

平成 21 年 6 月 8 日現在

研究種目：基盤研究（C）

研究期間：2007～2008

課題番号：19560352

研究課題名（和文） 化合物半導体アナログ/デジタル変換回路構成法の研究

研究課題名（英文） Research on design and implementation of analog-to-digital converters using compound semiconductors

研究代表者

和保孝夫（WAHO TAKAO）

上智大学・理工学部・教授

研究者番号：90317511

研究成果の概要：

アナログ/デジタル変換回路における基本的な回路ブロック、特にコンパレータとサンプルホールド回路、を対象として、InP 系化合物半導体を用いた高電子移動度トランジスタおよび共鳴トンネルダイオードを用いて回路設計/試作を行い、従来水準を凌駕する高性能特性実現の可能性を示した。また、超高速 $\Delta\Sigma$ 型 ADC を実現するための新方式を提案し、信号レベルシミュレーションでその効果を確認した。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	1,900,000	570,000	2,470,000
2008 年度	1,600,000	480,000	2,080,000
年度			
年度			
年度			
総計	3,500,000	1,050,000	4,550,000

研究分野：半導体電子デバイス、集積回路

科研費の分科・細目：5103

キーワード：化合物半導体、アナログ/デジタル変換、コンパレータ、サンプル/ホールド回路、 $\Delta\Sigma$ 変調器

1. 研究開始当初の背景

デジタル LSI 性能の飛躍的向上に伴い、デジタル信号処理の適用領域が拡大した結果、自然界のアナログ信号とのインターフェイスとなるアナログ/デジタル変換回路 (ADC) に対して、一層の高性能化が要求されるようになった。特に、将来型広帯域大容量通信システムにおいては、超高速 ADC 実現への期待が高まっている。

ADC に特徴的なことは、その性能がコンパレータ、オペアンプなどのアナログ回路の特性に強く依存しており、素子微細化のメリットがデジタル LSI ほどは無いことにある。これに対して、優れた高速性能を有する化合物半導体デバイスを用いて回路を構成することができれば、CMOS を凌駕する高速動作が実現できる可能性がある。従来から化合物半導体を用いた通信用デジタル IC の研究開発が進められていたが、ADC への応用を想定し、

化合物半導体の素子特性を生かしたアナログ回路構成法を考察し、試作/回路性能評価を行った例は極めて少なかった。

2. 研究の目的

従来の CMOS 技術に代えて化合物半導体デバイスをを用いることで、ADC 性能を格段に向上させる可能性を探索することを目的とする。具体的には、化合物半導体 IC の中で最高性能を有し、製造技術も成熟している InP 系ヘテロ構造デバイス、特に高電子移動度トランジスタ (HEMT) および共鳴トンネルダイオード (RTD)、を用いた ADC 構成法を追求することを目的とする。

ADC 方式としては、基本となるフラッシュ型 ADC、および、連続時間型 ADC (マルチビット、バンドパス型) を研究対象とし、これらの構成に必要なアナログ回路ブロック、とりわけ、超高速コンパレータ (識別器)、オペアンプとフィルタ、超高速サンプル/ホールド (S/H) 回路を主に、回路方式検討、設計、試作/性能評価を通じて、それぞれの回路構成法を明らかにする。

3. 研究の方法

HEMT および RTD からなるアナログ回路ブロックに対する考察を主体に、CMOS 回路設計手法、信号処理方式などを有機的に結合させ、理論的検討と設計・回路シミュレーション、試作・性能評価とを相補的に組み合わせることで、従来から我々が得てきた成果をさらに発展させた。これまでに東京大学大規模集積回路設計教育センター (VDEC) を通じて、継続的に行ってきた CMOS 回路試作で蓄積してきたアナログ回路設計手法を、InP 系 HEMT 回路設計に導入した。

実際には、実用段階の通信用デジタル IC 設計に用いられている $0.1\mu\text{m}$ HEMT デバイスモデルを用いて、CMOS 回路設計環境 CAD 上のシミュレーションを駆使することで、回路設計を進めた。また、それに基づく回路試作・性能評価実験を行った。さらに、RTD についても新しい回路形式を提案し、我々が導出したデバイスモデルに基づく回路シミュレーションにより、回路性能予測を行った。

4. 研究成果

(1) 要素回路技術

①HEMT コンパレータ

完全差動型ラッチ付コンパレータを $0.1\mu\text{m}$ HEMT プロセスにより設計試作し、動的特性評価を行った。図 1 に試作したチップ写真を

示す。

ADC の性能評価で用いられているエンベロップ法を適用し、高速動作性能評価を行った結果、図 2 に示す通り、サンプリング周波数 4GHz で 15mV、同 2GHz で 1.5mV の分解能が実現できたことを確認した。これらの値は、CMOS 回路で得られている値の約 5 倍に相当する。また、図 2 には、回路シミュレーションにより予測した分解能も示した。この結果は小信号等価回路解析による計算値ともほぼ一致しており、今後さらに特性改善の余地があることを示唆する結果を得た。(詳細は雑誌論文 1) および学会発表 5) に記載

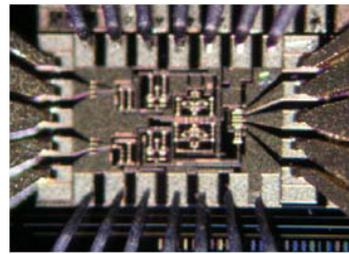


図 1 チップ写真

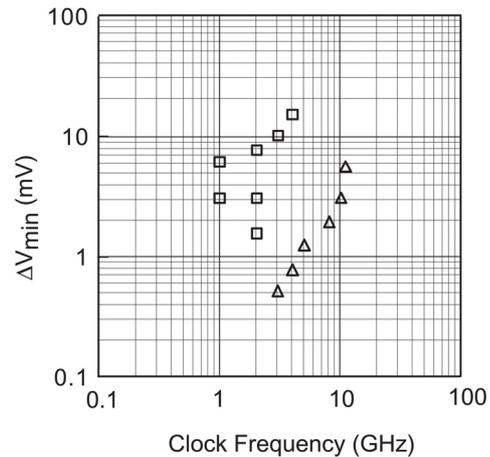


図 2 コンパレータの分解能 ΔV_{\min} (測定結果 □ とシミュレーションによる予測値 Δ)

②RTD コンパレータ

RTD と HEMT を組み合わせたコンパレータを新たに提案した。RTD の負性微分抵抗特性に起因する高速スイッチ動作を利用することで、微小信号入力時に判定時間が長くなる現象 (メタスタビリティ) を解消し、高速化を狙った。提案回路を図 3 に示す。

回路シミュレーションおよび小信号等価回路解析により従来型回路の動作速度と比較した結果を図 4 に示す。この図で、高速動

作の目安として、比較動作時の再生時間を示した。入力電圧 ΔV_{in} が小さくなると再生時間は長くなるが、HEMT のみを用いた従来型回路と比較して 2 倍以上の高速動作が可能であることを明らかにした。(詳細は雑誌論文 2) および学会発表 6) に記載)

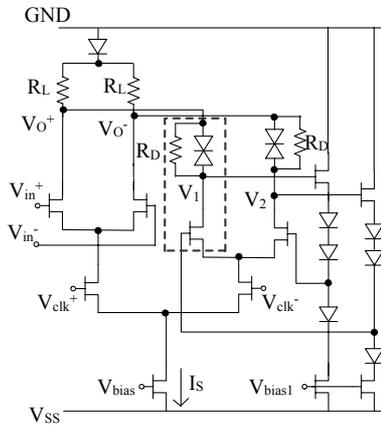


図 3 RTD を用いたコンパレータ

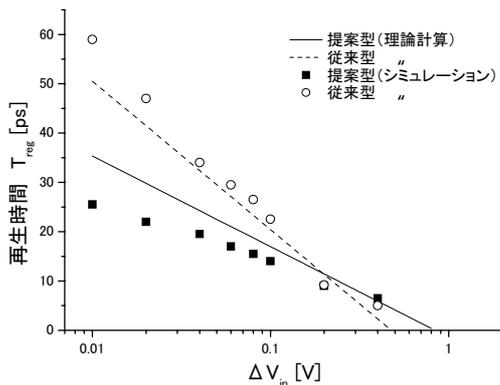


図 4 シミュレーションによる性能予測

③HEMT バンドパスフィルタ

CMOS 回路で広く利用されているカレントミラー型電流源負荷を採用し、高利得トランスコンダクタ (G_m) を設計した。エンハンスメント型 MOSFET を用いる CMOS 回路設計と比較して、デプリション型 n チャネル HEMT を用いた回路設計では大きな制約があるが、ブートストラップ型回路を用い、理論的解析と回路シミュレーションを駆使することで、HEMT の高性能特性を十分に引き出せる回路構成を考案し、回路シミュレーションにより性能予測を行った。

図 6 には G_m を用いたバンドパスフィルタ回路を、図 7 にはバンドパスフィルタ特性を

示す。予め行った回路解析結果の通り、容量値を変化させることでピーク周波数を調整できることが確認できた。回路試作も行ったが、配線寄生容量の影響が予想以上に大きく、4 GHz にピークを持つ特性は確認できたが、設計通りの正常動作確認には至らなかった。(詳細は学会発表 17)、18) に記載)

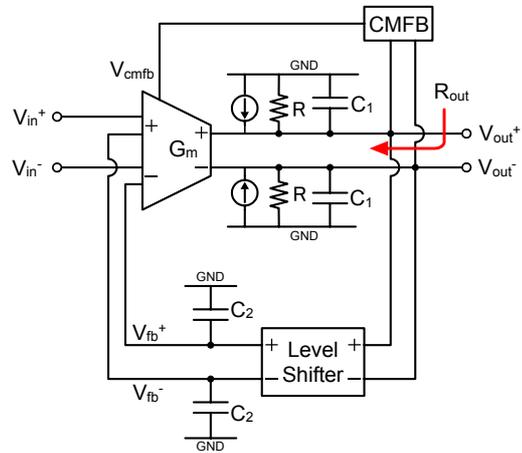


図 5 バンドパスフィルタ回路

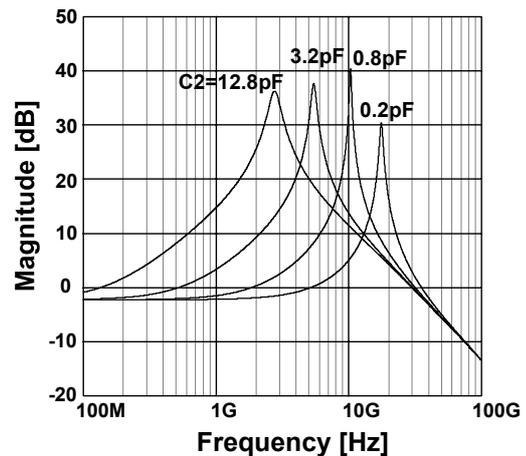


図 6 シミュレーションによる性能予測

④HEMT を用いた S/H 回路

0.1 μm HEMT プロセスを想定した S/H 回路構成法を検討した。入力信号依存ジッタ及び信号フィードスルーの低減化対策を講じた新しい回路を提案した。提案回路を図 7 に示す。X11 および X12 がサンプリングスイッチとして機能する HEMT である。

図 8 にはシミュレーションによる性能予測を示す。サンプリング周波数は 20 GHz とした。従来型回路と比較して 10dB から 20dB の特性改善が得られた。これは約 2~3 ビットの分解能改善に相当する。図中の \square と \diamond は

それぞれ信号フィードスルーの低減化対策のある場合と無い場合の結果であるが、この対策が有効であることも明らかにできた。
(詳細は2009年8月に学会発表予定)

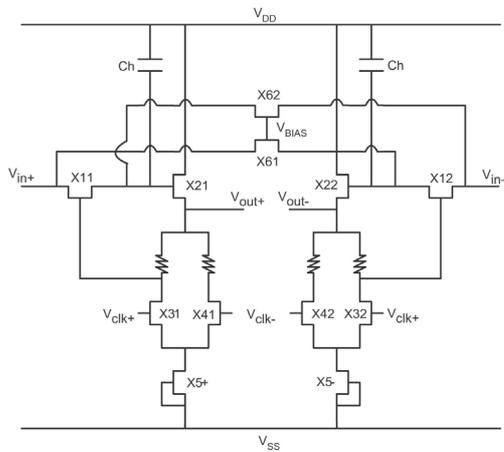


図7 提案回路

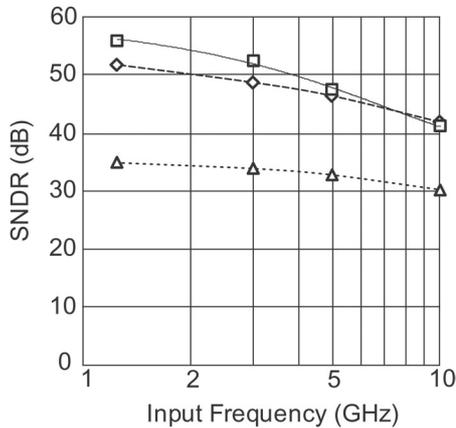


図8 シミュレーションによる信号対雑音歪比 (SNDR) の比較 (提案回路□◇と従来型回路△)。サンプリング周波数は20 GHz。

(2) 連続時間 $\Delta\Sigma$ 型ADC構成法

連続時間 $\Delta\Sigma$ 型ADCでは、サンプリング用クロック信号に存在するジッタによる性能劣化が知られている。今回、多重フィードバック経路 (PA-DAC) を含む新しい構成法を提案した。図9にそのブロック図を示す。

経路数を2倍にする毎にSNRを3dB (0.5ビット) 改善可能なことを理論的に導出し、信号レベルシミュレーションでその効果を確認した。図10はジッタの増加に伴い分解能 (SNR: 信号対雑音比) が低下する様子を示すが、経路数を1から20に増加させるにつれてSNRが向上し、ジッタ耐性が改善されることが分かった。(詳細は学会発表1) で記載

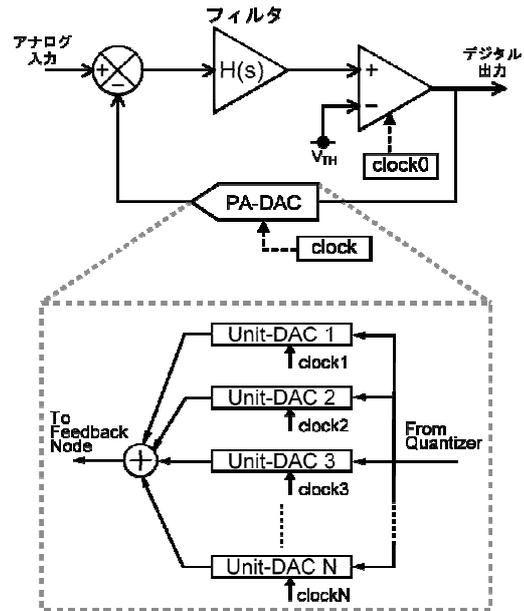


図9 PA-DACを有する $\Delta\Sigma$ 変調器

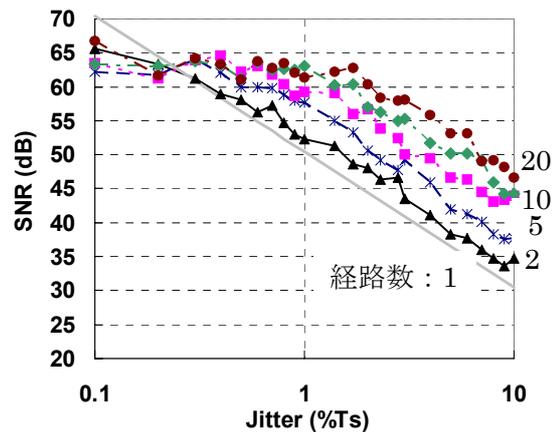


図10 性能予測結果。経路数は図9におけるUnit-DACの数を表す。経路数:1は従来型に相当する。直線は従来型に対する理論線。

以上、HEMT超高速コンパレータに関しては回路設計および試作/評価実験により、また、RTDコンパレータ、バンドパスフィルタ、超高速サンプル/ホールド (S/H) 回路に対しては回路設計とシミュレーションにより、従来水準を上回る性能実現の可能性を実証できた。また、超高速 $\Delta\Sigma$ 型ADCで予想されているジッタ耐性の低下を抑止するための新しい方式を提案した。これらの検討を通して、InP系HEMTおよびRTDを用いることで、ADC性能が格段に向上できる可能性を明らかにすることができた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者に

は下線)

〔雑誌論文〕(計3件)

- 1) H. Watanabe, S. Nakamura, and T. Waho, “Design of HEMT Comparators for Ultrahigh-Speed A/D Conversion,” IEICE Trans. Electron., vol. E91-C, no. 5, pp. 688-692, April 2009. 査読有
- 2) 和保孝夫、「共鳴トンネルダイオードを用いた高速A/D変換器」、応用物理、第77巻、第3号、306頁-310頁(2008)(依頼執筆：査読無)
- 3) 和保孝夫、「アナログ/デジタル変換器(ADC)の新しい技術動向」、機械の研究、第60巻、第3号、339頁-346頁(2008)(依頼執筆：査読無)

〔学会発表〕(計22件)

- 1) F. Adachi, K. Machida, and T. Waho, “A Bandpass Continuous-Time Delta-Sigma Modulator Using a Parallel-DAC to Reduce Jitter Sensitivity,” Proc. ISCAS C1L-A5, pp. 2261-2264, Taipei, China, May 27, 2009, 査読有
- 2) 和保孝夫、「量子デバイス集積回路」、電子情報通信学会総合大会CP-1-5、2009年3月18日、愛媛大(松山市)(パネルセッション：依頼講演) 査読無
- 3) 三篠浩一・室塚真毅・町田和也・和保孝夫、「1V2次電流モード連続時間バンドパス $\Delta\Sigma$ 変調器」電子情報通信学会総合大会A-1-48、2009年3月19日愛媛大(松山市) 査読有
- 4) 大前宇一郎・江幡友彦・和保孝夫、「電流源負荷型HEMT比較器の再生時間の評価」電子情報通信学会総合大会C-10-3、2009年3月17日、愛媛大(松山市) 査読有
- 5) 須賀隆史・渡辺裕・和保孝夫、「HEMT比較器における分解能の動的評価」電子情報通信学会総合大会C-10-4、2009年3月17日、愛媛大(松山市) 査読有
- 6) 江幡友彦・大前宇一郎・町田和也・和保孝夫、「共鳴トンネル素子を用いた超高速コンパレータ」電子情報通信学会電子デバイス研究会、2009年2月26日北大(札幌) 査読無
- 7) 芥川一樹、町田和也、和保孝夫、「多ビットアルゴリズムックA/D変換器の設計」電子情報通信学会多値論理とその応用研究会、多値技報、vol. MVL-09、59頁-63頁2009年1月10日、群馬大、査読無
- 8) T. Waho, H. Okuyama, T. Ebata, R. Kato, “An Ultrahigh-Speed Full Adder Using Resonant-Tunneling Logic Gates,” Proc. IEEE Asia Pacific Conf. Circuits and Systems (APCCAS), C5L-F3, pp. 1724-1727, Macao, China, Dec. 3, 2008, 査

読有

- 9) K. Akutagawa, K. Machida, T. Waho, “A 3/7-Level Mixed-Mode Algorithmic Analog-to-Digital Converter,” Proc. 38th IEEE International Symposium on Multiple Valued Logic (ISMVL), pp. 174-179, Dallas, TX, 23 May 22, 2008, 査読有
- 10) 三篠浩一、町田和也、和保孝夫、「1V2次電流モード連続時間 $\Delta\Sigma$ 変調器の設計」電子情報通信学会2008年総合大会A-1-14、2008年3月18日、北九州、査読有
- 11) 町田和也、芥川一樹、和保孝夫、「時間領域ADCにおける非直線性の補正」電子情報通信学会2008年総合大会A-1-11、2008年3月18日、北九州、査読有
- 12) 奥山太樹、江幡友彦、和保孝夫、「4RTD論理回路を用いたナノパイプライン全加算器の設計」電子情報通信学会2008年総合大会C-10-2、2008年3月20日、北九州、査読有
- 13) 芥川一樹、町田和也、和保孝夫、「3値量子化方式に基づくアルゴリズムックADC」第21回多値論理とその応用研究会電子情報通信学会、技術報告vol. MVL-2008、No. 4、2008年1月12日、神戸、査読無
- 14) 原嶋康充、谷畑光洋、渡辺裕、和保孝夫、「位相シフト法による連続時間型 $\Delta\Sigma$ 変調器クロックジッタ耐性の向上」電子情報通信学会2007年ソサエティ大会AS-1-3、2007年9月10日、鳥取、査読有
- 15) 三篠浩一、町田和也、和保孝夫、「1V電流モード連続時間 $\Delta\Sigma$ 変調器の設計」電子情報通信学会2007年ソサエティ大会AS-1-4、2007年9月10日、鳥取、査読有
- 16) 芥川一樹、町田和也、和保孝夫、「オープンシェア0.8VアルゴリズムックA/D変換器の設計」電子情報通信学会2007年ソサエティ大会AS-1-9、2007年9月10日、鳥取、査読有
- 17) S. Nakamura, U. Ohmae, H. Watanabe, T. Waho, “A Design of Multi-GHz Continuous-Time Bandpass Filters Using 0.1- μ m HEMT Technology,” Proc. 2007 European Conference on Circuit Theory and Design (ECCTD 2007), B2L-D3, August 28, 2007, Seville, Spain, 査読有
- 18) S. Nakamura, U. Ohmae, H. Watanabe and T. Waho, “A Design of HEMT Bandpass Filters,” 2007 Topical Workshop on Heterostructure Microelectronics (TWHM 2007), WeA-8, August 22, 2007, Kisarazu, Japan, 査読有

- 19) H. Okuyama, A. Yamada, T. Waho, V. Khorenko, T. Do and W. Prost, "A 4RTD NAND/NOR Logic Gate," 2007 Topical Workshop on Heterostructure Microelectronics (TWHM 2007), WeC-8, August 22, 2007, Kisarazu, Japan, 査読有
- 20) T. Waho, A. Yamada, H. Okuyama, V. Khorenko, T. Do, and W. Prost, "A Four-Resonant-Tunneling-Diode (4RTD) NAND/Nor Logic Gate," Proc. 2007 IEEE International Symposium on Circuits and Systems (ISCAS 2007), May 28, New Orleans, LA, 査読有
- 21) T. Tanoue, M. Nagatani, and T. Waho, "A Ternary Analog-to-Digital Converter System," Proc. 37th IEEE International Symposium on Multiple-Valued Logic (ISMVL 2007), May 15, 2007, Oslo, Norway, 査読有
- 22) T. Waho, "Multiple-Valued Technique in Analog-to-Digital Converters: A Brief Survey," Proc. 16th International Workshop on Post-Binary ULSI Workshop, pp. 27 - 30, May 13, 2007, Oslo, Norway, 査読有

[図書] (計1件)

- 1) T. Waho, John Wiley & Sons, Inc., "Short-Range Wireless Communications: Emerging Technologies and Applications, Part II, Section 15. Analog-to-Digital Converters for UWB," April 2009, Rolf Kraemer (Editor), Marcos Katz (Editor), ISBN: 978-0-470-69995-9.

6. 研究組織

(1) 研究代表者

和保 孝夫 (WAHO TAKAO)
上智大学・理工学部・教授
研究者番号: 90317511

(2) 研究分担者

なし

(3) 連携研究者

なし

(4) 研究協力者

海外研究協力者 Werner Prost
University of Duisburg-Essen (UDE) ・
Faculty of Engineering ・Scientist