

平成 21 年 3 月 31 日現在

研究種目：基盤研究 (C)
 研究期間：2007～2008
 課題番号：19560353
 研究課題名 (和文) 統計的タイミング解析用次世代アルゴリズムとバラツキ考慮設計手法の確立に関する研究
 研究課題名 (英文) A Study on Establishing a Variability-Aware Design Methodology and a Next Generation Algorithm for Statistical Timing Analysis
 研究代表者
 築山 修治 (TSUKIYAMA SHUJI)
 中央大学・理工学部・教授
 研究者番号：90142314

研究成果の概要：

ばらつきおよび表示品質を考慮した小型液晶ディスプレイ用駆動回路のトランジスタサイズ最適設計手法を提案し、市販の最適化ツールと同程度の結果を約 11 分の 1 の時間で得られることを確認した。また、遅延と遷移時間のばらつきを混合正規分布 (Gaussian Mixture Model) で表現する統計的静的遅延解析手法を提案し、最大遅延の分布関数が 99.865% になる値の相対誤差を、正規分布を用いた統計的静的遅延解析に比べて約 3 割削減できることを確認した。これは、混合正規分布を用いることにより、ばらつきの相関を容易に扱えるという特徴を生かしつつ、非正規分布を表現できたことによる効果と言える。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	1,700,000	510,000	2,210,000
2008年度	1,400,000	420,000	1,820,000
年度			
年度			
年度			
総計	3,100,000	930,000	4,030,000

研究分野：工学

科研費の分科・細目：電気電子工学 ・ 電子デバイス・電子機器

キーワード：統計的静的遅延解析，混合正規分布，遅延ばらつき，
 遷移時間ばらつき，アルゴリズム，集積回路設計，
 設計自動化

1. 研究開始当初の背景

大規模集積回路 (LSI) に搭載される素子のサイズが 100 nm を切り、露光歪みによるチップ上の図形のばらつきや、不純物注入濃度、配線厚、あるいは層間膜厚などの製造ばらつきが増大している。また、温度あるいは電源電圧の変動による回路パラメータのば

らつきや、クロストークによる配線遅延のばらつきなど、回路設計上問題となるばらつき (あるいは不確かさ) も増大しており、製造ばらつきの問題も含めて、ばらつきに対する総合的な設計技術の確立が、ナノテクノロジー時代におけるシステム LSI 設計における最重要課題となっている。

従来のデジタル集積回路設計におけるこのようなばらつき対策は、全ての最悪コーナー（状況）を考え、そのいずれにおいても問題が生じないようにマージン（設計余裕）を設定するというコーナー解析に基づいていた。しかし、このような設計手法ではマージンが過剰になり、チップ面積や消費電力の増大を招くだけでなく、過剰マージンの重畳により、仕様を満たす設計が不可能という事態も生じている。次世代 IT 社会におけるモバイルコンピューティング用システム LSI は、高速化と共に、低消費電力化・小チップ化が不可欠であり、過剰マージンはできるだけ排除しなければならない。そのためには、ばらつきによって生じる性能のばらつきを精確に見積もる解析手法が必要となる。

このようなばらつきを見積もる解析手法として、遅延ばらつきを統計量として取り扱う統計的タイミング解析手法が注目されている。申請者の研究室では、早く（1998年）からこの問題に着目し、遅延ばらつきを正規分布で表現する統計的静的遅延解析手法を提案していた。この手法は、再収斂パスによる遅延ばらつきの相関だけでなく、任意の相関を扱えるため、その後提案された多くの手法がここで用いた技法を利用している。

しかし、統計的静的遅延解析手法の基本演算である統計的的最大値演算に依って生じる非正規分布を正規分布とみなすことによる誤差の問題や、論理ゲートや配線の遅延に大きな影響を与える遷移時間のばらつきが考慮されていない問題など、幾つかの未解決な問題が残っていた。

特に、遷移時間は各素子（論理ゲートや配線）の遅延を決定する主たる要因であるが、その値は信号の伝搬経路に依存するため、遅延解析においては、伝搬させる遅延に対応した遷移時間を、遅延と一緒に伝搬させて行く必要がある。従って、統計的遅延解析においても、遅延および遷移時間のばらつきを同時に処理するアルゴリズムが必要となる。

各素子において、伝搬された入力信号の遷移時間ばらつきを基に、その素子の遅延ばらつきを動的に決定することができれば、素子の遅延ばらつきを遅延解析前に決定しておくこれまでの手法に比べて、解析精度が向上し、最悪の遅延ばらつきを想定しておく必要がないため、マージンの削減効果もある。従って、耐ばらつきを目指した統計的設計手法を確立するためには、遅延および遷移時間のばらつきを同時に伝搬させる統計的静的遅延解析手法の構築が必要であった。

2. 研究の目的

本研究では、高性能システム LSI の耐ばらつき設計に不可欠な統計的タイミング解析手法の確立を目的に、遅延と遷移時間という

互いに連携した2つの統計量を伝搬させる統計的遅延解析手法を構築する。そのためには、以下の課題を解決しなければならない。

- ① 論理ゲートおよび配線に対して、出力遷移時間のばらつき決定要因を解析し、ばらつき表現手法を定める。
- ② 論理ゲートおよび配線において、入力遷移時間ばらつきから出力遷移時間ばらつきを計算する手法を考案する。
- ③ 論理ゲートおよび配線において、出力遅延ばらつきに対応して、出力遷移時間ばらつきを決定する手法を考案する。

これらに加えて、構築する統計的静的遅延解析手法の前提や使用条件を明確にするため、温度や電源電圧などの環境の変化によるばらつきの取り扱いについても決定しておく必要がある。

そこで、上記①および②、ならびに環境の変化によるばらつきの取り扱いに関する知見を得るため、次の課題を研究する。

- (1) 小型液晶ディスプレイ用駆動回路の自動設計手法に関する研究。

小型液晶ディスプレイ用駆動回路は、液晶と同じガラス基板上に形成されるため、単一結晶基板上に形成されるモノリシック集積回路のように微細化が進んでいないにも関わらず、ばらつきが大きい。また、異なる条件の下で製造された製品が同じ特性を示すよう、各条件に合わせてトランジスタサイズを最適化する自動設計手法に対する要求も大きい。

そこで、本研究では、トランジスタの大きい値電圧のばらつきおよび電源電圧のばらつきを考慮したトランジスタサイズの最適化手法について研究する。

小型液晶ディスプレイ用駆動回路の性能評価指標には、表示品位の他に、回路面積、遅延時間、遷移時間などがある。特に、バッファ回路においては、遅延より遷移時間が重要であり、小規模で配線も短いため、論理ゲートの遷移時間ばらつきに焦点を当てることができる。従って、この研究を通して、遷移時間のばらつきに関する種々のデータを得ることができると共に、遷移時間と遅延との関係についての理解も深まる。また、構築するばらつき考慮設計手法はそれ自体実用上重要でもある。

この研究を通して得られる遷移時間および遅延のばらつきに関する知見を用いて、本研究の主課題に取り組む。

- (2) 次世代統計的遅延解析手法に関する研究。

ここでは、遅延と遷移時間のばらつきを同時に伝搬させる新しい統計的静的遅延解析のためのアルゴリズムを構築する。その際、既存の統計的静的遅延解析手法に存在する以下の課題の解決を目指す。

- ① 素子の遅延は入力された信号の遷移時間に大きく影響されるが、遷移時間は信号の伝搬経路に依存し、ばらつきを持つ。この遷移時間のばらつきをどのように表現し、伝搬させていくか。
- ② 遅延分布を正規分布で表現すると、様々な相関を効率的に処理できるが、統計的最大(あるいは最小)値演算によって生じる非正規性を無視することになるので、この誤差をどのように削減するか。

なお、これらの他に、静的遅延解析には、偽パス (false path) と呼ばれる実際には活性化されないパスを除去するという課題もあるが、これは統計的でない手法においても問題であり、遅延が統計量である統計的静的遅延解析では、偽パスの同定がより困難となるため、ここでは考慮しない。

3. 研究の方法

(1) 小型液晶ディスプレイ用駆動回路の自動設計手法に関する研究。

ここでは、遅延と遷移時間のばらつきについて調べるだけでなく、小型液晶ディスプレイ用駆動回路におけるトランジスタサイズの最適化手法の構築を目指す。特に、小型液晶ディスプレイにおいて最も重要な表示品位に着目し、これを決定するサンプリングスイッチおよびバッファ回路の自動設計手法を構築する。これらを以下の手順で行う。

- ① CMOS インバータ回路のゲート遅延を求める手法を応用し、出力の遷移時間を定める関数を求め、これから遷移時間のばらつき表現手法を考案する。
- ② 2入力論理ゲートの出力遷移時間のばらつきを調べ、ばらつき表現手法を考案する。
- ③ 小型液晶ディスプレイにおいて最も重要な表示品位のばらつき要因として、電源電圧およびトランジスタのしきい値電圧以外のものがあるかを調査する。
- ④ 表示品位のばらつき要因に対する処理手法を決定する。
- ⑤ トランジスタサイズの最適化手法を考案し、小型液晶ディスプレイ用駆動回路の自動設計手法を構築する。
- ⑥ 構築した自動設計手法の性能を評価する。

上記①および②の研究を基に、次の主課題を以下の手順で研究する。

(2) 次世代統計的遅延解析手法に関する研究。

- ① 遅延および遷移時間のばらつき表現手法を定める。
- ② 論理ゲートおよび配線において、出力遅延および出力遷移時間のばらつきを計算する手法を構築する。
- ③ 遅延および遷移時間のばらつきを伝搬させる際、ランダムばらつきの相関をどの

ように処理するかを決定する。

- ④ 遅延と遷移時間のばらつきを同時に伝搬させる統計的静的遅延解析手法を完成させる。
- ⑤ この手法をモンテカルロシミュレーションや既存手法と比較することにより、その性能を評価する。
- ⑥ さらに、統計的静的遅延解析をより高性能化するために行うべき課題と、統計的設計を実用化するための課題について検討する。

4. 研究成果

(1) 小型液晶ディスプレイ用駆動回路の自動設計手法に関する研究。

小型液晶ディスプレイ用駆動回路におけるトランジスタのしきい値電圧のばらつきは主としてチップ間ばらつきであること、ならびに電源電圧のばらつきに関しては、ばらつきの分布形状を得ることが困難であり、最悪の場合にも回路の動作を保証する必要があることを鑑み、コーナー解析を用いて、駆動回路のトランジスタサイズの最適化手法を構築することにした。この手法の特徴は次のように要約できる。

- ① 液晶ディスプレイ設計における最重要指標の一つである画面の表示品位に着目し、これを示す画素充電率を精度良く見積るため、精確な回路モデルを用いている。
- ② 高精度なモデルおよびコーナー解析を用いたことによって生じる設計効率の低下を、幾つかの効果的な技法を導入することにより防いでいる。
- ③ それにより、画素充電率を決定するサンプリング回路とサンプリングパルスの設計では、SPICE等の市販解析ツールに付随した最適化ツールと同等の結果を、約11分の1の時間で得ている。
- ④ サンプリング回路とサンプリングパルスの設計では、駆動回路全体の最適化を考えるため、複数個の解と各解の性能指標を提案し、これらの有効性を検証している。この研究を進めるに当たり、CMOS論理ゲートの遷移時間のばらつきと遅延ばらつきの関係を調査した結果、2入力論理ゲートの出力遷移時間ばらつきの確率密度関数は、2つピークを持つ分布になることが多く、一つの正規分布で表現することが困難であることが判明した。

また、統計的静的遅延解析における基本演算の一つである統計的的最大値演算では、2つの正規分布の最大値の分布が正規分布にならないという問題点があった。例えば、確率変数 $x \sim N(140, 23^2)$ 、 $y \sim N(140, 3.8^2)$ の最大値 $z = \text{Max}[x, y]$ の確率密度関数は、下の図1において破線で示すような形状になり、正規分布ではない。これと同じ平均と分散を持つ正規

分布は同図において実線で示されているが、従来の正規分布を用いる統計的静的遅延解析手法では、最大値 z の分布をこの実線の分布で近似していた。

我々は、この問題を解決するため、 z の分布を混合正規分布で表現する手法を考案した。混合正規分布は、その確率密度関数が正規分布の確率密度関数の確率重み付き和で表されるような分布で、図 1 において太線が混合正規分布の確率密度関数を示している。この確率密度関数は、 $x \geq y$ なる確率 $\Pr[x \geq y]$ および $x < y$ なる確率 $\Pr[x < y]$ の重みの付いた 2 つの正規分布の確率密度関数の和からできている。これより、混合正規分布を用いれば、最大値演算によって生じる非正規分布を適切に表現できることが分かる。

また、混合正規分布を用いれば、2 つピークを持つ分布も表現できるため、遷移時間の分布を適切に表現することも可能となる。

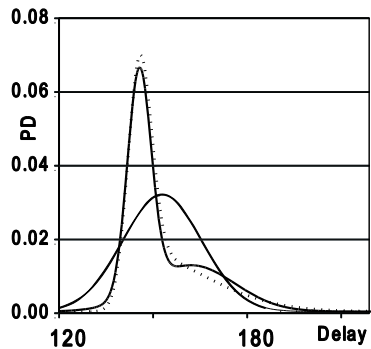


図 1: $z = \text{Max}[x, y]$ の確率密度関数。ここで、 $x \sim N(140, 23^2)$, $y \sim N(140, 3.8^2)$ である。

(2) 次世代統計的遅延解析手法に関する研究

本研究では、遅延および遷移時間の分布を 2 つの正規分布から成る混合正規分布で表現することとし、このような混合正規分布で表された遅延および遷移時間を伝搬させるための基本的なアルゴリズムを構築した。これらのアルゴリズムは、混合正規分布の確率密度関数を用いて、分布のモーメントを解析的に解くことによって得られている。

これらのアルゴリズムを用いて新しい統計的静的解析手法を構築し、その性能を評価した。ただし、性能評価実験では、遷移時間ばらつきを処理できる素子の遅延ばらつきモデルを用意できなかったため、遷移時間ばらつきを表す混合正規分布の 2 つの成分分布の平均だけを用いた。構築した手法の特徴は以下のように要約できる。

- ① 遅延分布を混合正規分布で表現することにより、統計的最大値演算によって生じる非正規分布を適切に表現できる。

- ② これにより、ISCAS'85 ベンチマーク回路などに対する実験結果では、最大遅延の分布関数が 99.865% となる値の相対誤差を、正規分布を用いた手法の約 3 割削減できている。

- ③ 図 2 に、ある回路の最大遅延の確率密度関数を示す。Gaussian は従来の正規分布を用いて得られた分布であり、Proposed が提案手法を用いて得られた分布である。点線は、回路をモンテカルロシミュレーションと SPICE (回路シミュレーション) を用いて求めた最大遅延の確率密度関数であり、混合正規分布を用いることにより、遅延解析において重要となる遅延の大きいところでの分布が精度良く表現できていることが分かる。なお、点線の分布が、図(a), (b) 共に右にシフトしている(遅延値が大きくなっている)のは、2 入力以上の論理ゲートにおいて、入力信号が同時に遷移したことによる遅延時間の増加(同時遷移の影響)を考慮していなかったためである。すなわち、遅延解析において与えた論理ゲートの遅延値は、どちらか一方の信号が遷移した場合の遅延であった。

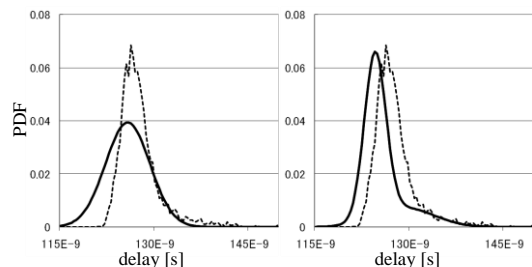
- ④ 遷移時間のばらつきも混合正規分布で表現できることを示し、遷移時間に対する演算法とその伝搬手法を提案している。

- ⑤ 混合正規分布の各成分が正規分布であることを利用し、種々の相関を効率的に処理できる。

- ⑥ この利点を生かし、各素子の遅延の分散を削減するという改善手法に対して有効な手法が構築でき、その有効性を確認できている。

- ⑦ 遅延と遷移時間を同時に伝搬させているので、これらを用いて同時遷移が生じる確率を計算することができ、その有効性を確認できている。

- ⑧ なお、提案した混合正規分布では、正規分布を用いた手法の約 2 倍のデータ量を処理する事になるため、ISCAS'85 ベンチマーク回路の平均で、約 1.5 倍の計算量が必要となっている。



(a) Gaussian

(b) Proposed

図 2: 最大遅延の確率密度関数。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 5 件)

- [1] Shingo Takahashi, Shuji Tsukiyama, "A new statistical timing analysis using Gaussian mixture models for delay and slew propagated together," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol.E92-A, pp.900-911, 2009, 査読有り.
- [2] Yoshiyuki Kawakami, Makoto Terao, Masahiro Fukui, Shuji Tsukiyama, "A power grid optimization algorithm by observing timing error risk by IR drop," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol.E91-A, pp.3423-3430, 2009, 査読有り.
- [3] 高橋真吾, 築山修治, 橋本昌宜, 白川功, "液晶ディスプレイ用サンプリング回路におけるサンプリングパルスとトランジスタサイズの最適設計手法," 電子情報通信学会論文誌 A, vol.J91-A, pp.373-382, 2008, 査読有り.
- [4] Masanri Hashimoto, Takahito Ijichi, Shingo Takahashi, Shuji Tsukiyama, Isao Shirakawa, "Transistor sizing of LCD driver circuit for technology migration," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol.E90-A, pp.2712-2717, 2007, 査読有り.
- [5] 霜山渉, 築山修治, 高木勇輔, "パス遅延の相関を考慮した統計的静的遅延解析手法の実装とその評価", 電子情報通信学会論文誌 A, vol.J90-A, no.11, pp.826-838, 2007, 査読有り.

[学会発表] (計 18 件)

- [1] 吉田裕樹, "統計的設計のための 2 つの指標の評価", 電子情報通信学会 VLSI 設計技術研究会, 2009 年 3 月 13 日, 那覇(沖縄県男女共同参画センター).
- [2] 大津誠, "nMOS レベルシフト回路の性能比較", 電子情報通信学会 VLSI 設計技術研究会, 2009 年 3 月 13 日, 那覇(沖縄県男女共同参画センター).
- [3] Shingo Takahashi, "A Gaussian mixture model to propagate delay and slew distributions together in statistical timing analysis," The 15th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2009), 2009 年 3 月 9 日, 那覇 (Pacific Hotel).
- [4] Shingo Takahashi, "A Gaussian mixture model for propagating distributions of delay and slew together," ACM International Workshop on Timing Issues in the Specification

and Synthesis of Digital Systems (TAU 2009), 2009 年 2 月 23 日, Austin, TX, U.S.A. (Lakeway Resort).

- [5] Shingo Takahashi, "A new statistical timing analyzer propagating delay and slew distributions simultaneously," Asia Pacific Conf. on Circuits and Systems, 2008 年 12 月 1 日, Macao, China (Venetian Hotel).
- [6] Masahiro Fukui, "Power grid optimization with consideration of timing violation by IR drop," Int. SoC Design Conf., 2008 年 11 月 24 日, Busan, Korea (BEXCO Convention Halls).
- [7] 高橋真吾, "遅延と遷移時間のばらつきを混合正規分布で表現した統計的タイミング解析の一手法", DA シンポジウム 2008, 2008 年 8 月 27 日, 浜松(遠鉄ホテルエンパイア).
- [8] Yoshiyuki Kawakami, "A Power grid optimization algorithm with observation of timing error risk by IR drop," IASTED (Int. Assoc. of Sci. & TEch. for Development) Int. Conf. on Circuits and Systems, 2008 年 8 月 20 日, Kona, Hawaii, U.S.A. (Sheraton Hotel).
- [9] Shingo Takahashi, "A design method of finding optimal sampling pulses and transistor sizes in a sampling circuit for liquid crystal displays," Int. Tech. Conf. on Circuits/Systems, Computers and Communications, 2008 年 7 月 7 日, 下関 (海峡メッセ).
- [10] 築山修治, "CAD ツールの使い方? タイミング解析を中心に-", 電子情報通信学会(回路とシステム, VLSI 設計技術, 信号処理)共催研究会, 2008 年 6 月 26 日, 北海道 (北大).
- [11] 大津誠, "nMOS レベルシフト回路の性能比較手法について", 情報処理学会システム LSI 設計技術研究会, 2008 年 3 月 28 日, 屋久島 (環境文化村センタ).
- [12] 高橋真吾, "統計的タイミング解析のための遅延およびスリューの分布表現手法について", 情報処理学会システム LSI 設計技術研究会, 2008 年 3 月 28 日, 屋久島 (環境文化村センタ).
- [13] 鉢田卓也, "nMOS ダイナミック論理を用いた液晶駆動回路の設計手法," 電子情報通信学会 VLSI 設計技術研究会, 2008 年 3 月 6 日, 那覇 (男女共同参画センタ).
- [14] 大類乃介, "入力遷移時間を考慮した高フィデリティ配線遅延見積りの一手法", 電子情報通信学会回路とシステム研究会, 2008 年 2 月 1 日, 那覇 (青年会館).
- [15] 高橋真吾, "遷移時間ばらつきを考慮した統計的タイミング解析に関する一考察", 情報処理学会システム LSI 設計技術研究会, 2007 年 10 月 26 日, 会津東山温泉(く

つろぎ宿).

- [16] Makoto Terao, "A power grid optimization algorithm by direct observation of timing error risk reduction," Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2007), 2007 年 10 月 15 日, 札幌 (ガーデンパレス).
- [17] 高橋真吾, "製造ばらつきによる遷移時間ばらつきに関する一考察", 電子情報通信学会 2007 ソサイエティ大会, 2007 年 9 月 14 日, 鳥取 (鳥取大学).
- [18] 寺尾誠, "製造ばらつきを考慮した電源電圧低下による回路タイミングエラー危険度解析と電源配線最適化", 電子情報通信学会 VLSI 設計技術研究会, 2007 年 6 月 22 日, 札幌 (北海道東海大学).

[その他]

研究室ホームページ (下記 URL) に開発した統計的静的遅延解析 (SSTA) プログラムを公開している.

<http://www.elect.chuo-u.ac.jp/tsuki/index.html>

6. 研究組織

(1) 研究代表者

築山 修治 (TSUKIYAMA SHUJI)

中央大学・理工学部・教授

研究者番号: 90142314

(2) 研究分担者

(3) 連携研究者