

平成21年 5月 4日現在

研究種目：基盤研究（C）

研究期間：2007～2008

課題番号：19560402

研究課題名（和文）ソフトスイッチング増幅器を用いたオンチップスイッチング電源の開発

研究課題名（英文）Development of On-Chip Switching Power Supply Using Soft-Switching Amplifier

研究代表者

末次 正 (Suetsugu Tadashi)

福岡大学・工学部・准教授

研究者番号：6027925

研究成果の概要：

オンチップのソフトスイッチング型 DC-DC コンバータの試作を目指して、DE 級増幅器を用いた同期整流型 DC-DC コンバータをスイッチング周波数 500MHz で設計し、1.2 $\mu$ m CMOS ルール上でレイアウト設計した。更にオンチップインダクタの損失削減を目的として MEMS によるインダクタレイアウトを作成し、MEMS インダクタを試作した。E 級増幅器の動作について解析を進めより高周波動作に向けた設計式の導出を進めた。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	1,500,000	450,000	1,950,000
2008 年度	900,000	270,000	1,170,000
年度			
年度			
年度			
総計	2,400,000	720,000	3,120,000

研究分野：電子回路工学

科研費の分科・細目：電気電子工学・通信ネットワーク工学

キーワード：電子回路網、移動体通信、マイクロマシン

## 1. 研究開始当初の背景

IT 機器のコードレス化、IC カード、ユビキタス機器などの電子機器はバッテリーで動作するためバッテリーの駆動時間を延ばすことへの要求が強い。バッテリーの駆動時間を延ばすには、バッテリーの容量を増加させる技術とともに電力を消費するほうの電子回路を工夫して消費電力を小さくすることが重要である。電子回路の消費電力はそのほとんどが電子回路自体で消費されているわけではなく、電子回路に電力が到達する前の電源回路の部分でかなりの部分が消費されてしまっていることはよく知られていない。電源回路はバッテリーの電圧を電子回路が

動作する規定の電源電圧に変換するために用いられるが、従来のドロップ型電源回路では電源電圧を落とすためにトランジスタを可変抵抗として用いているため、半分近くの電力は電源回路で失われる。特に電力事情の厳しい携帯機器では電子回路自体の低消費電力化とともに電源回路の高効率化も大変有効な手段である。昨今では携帯機器の小型化によって電子回路全体の小型化が進み、電源回路もそれに伴って小型化が求められるようになった。電源回路を小型化するには電力容量を小さくすることとスイッチング電源の動作周波数を高くして回路素子を小さくする方法がある。電力容量があらかじめ決まっている場合、スイッチング電源の動作周

波数を高くすることによって小型化する必要がある。なぜ動作周波数が高くなると回路が小型化できるかというと、 $L$ や $C$ のインピーダンスは周波数に比例して大きくなるため、高い周波数では小さい値の $L$ や $C$ を用いることができるためである。しかしスイッチング電源において、この動作周波数を高くしすぎると電力効率が下がるという問題点があった。これはスイッチがターンオンする瞬間にスイッチの寄生キャパシタに蓄えられていたエネルギーが一挙に放出しエネルギー損失として消費されてしまうためである。そこでスイッチ波形を共振によって正弦波状にすることによってスイッチがターンオンする瞬間にスイッチ電圧がゼロになるようにしてスイッチング損失を減らす技術が開発されている。これをソフトスイッチング技術という。このソフトスイッチング技術を用いて超小型高効率な電源回路を作ることができれば、バッテリーの駆動時間の延長、情報機器の小型化が更に可能になるため研究の進展が期待されている。

## 2. 研究の目的

本研究では、ソフトスイッチング技術を用いることにより従来よりもはるかに高い動作周波数でスイッチを動作させることによってスイッチング電源を小型化し、出力電力  $0.5\text{W}$  以上電力効率  $75\%$  以上チップ面積  $2500\ \mu\text{m}^2$  程度のオンチップ型スイッチング電源回路 (DC-DC コンバータ) として IC チップ内に収めることを最終目標としている。そのために本課題ではスイッチング電源を動作周波数数百メガヘルツ以上で動作させることにより、回路素子を小型化し IC チップ内に受動素子として埋め込むことができるレベルまで小さくすることが可能であるかどうかを確認することを目標に研究を行う。

## 3. 研究の方法

ソフトスイッチング増幅器に一種である DE 級増幅器について、これらの回路を応用して高効率なオンチップ型のスイッチング電源のレイアウトを設計し、シミュレーションによって動作を確認する。まず CAD を用いてオンチップスイッチング電源をレイアウト設計し動作を確認する。測定結果を元にレイアウトを改良する。共振素子のオンチップ化は素子のばらつきや損失などが発生するので計算通りに進むとは限らず、数回の試行錯誤が必要になる可能性が有る。チップの試作には VDEC (東京大学大規模集積回路設計教育センター) のチップ試作サービスを用いる。チップ内の受動素子の高精度化を目標として MEMS 技術を用いて設計する場合の検証を行う。本研究では MEMS によるスパイラルインダクタの試作を行う。

同時に本研究ではより高効率なオンチップ電源の設計を可能にするために E 級増幅器の設計法について研究を進める。

## 4. 研究成果

### (1) DE 級増幅器を用いたオンチップ電源のレイアウト設計

DE 級増幅器を用いた DC-DC コンバータについて標準 CMOS ルールでのレイアウト設計を試み、実際のレイアウトを作成した。

DE 級増幅器を用いた DC-DC コンバータは図 1 のような回路構成になっている。DE 級インバータ部で高周波電圧振動を起し、E 級整流器部で同期整流を行う。同期整流を行う理由は、スイッチング周波数が高いためダイオードによるスイッチングではディレイが生じるためである。

$1.2\ \mu\text{m}$  の N-Well CMOS ルールで直流入力電圧  $2\ \text{V}$  としてスイッチング周波数  $500\ \text{MHz}$ 、設計出力電力  $12.5\ \text{mW}$  の DC-DC コンバータを設計したところ、

$$R_i = 16\ \Omega$$

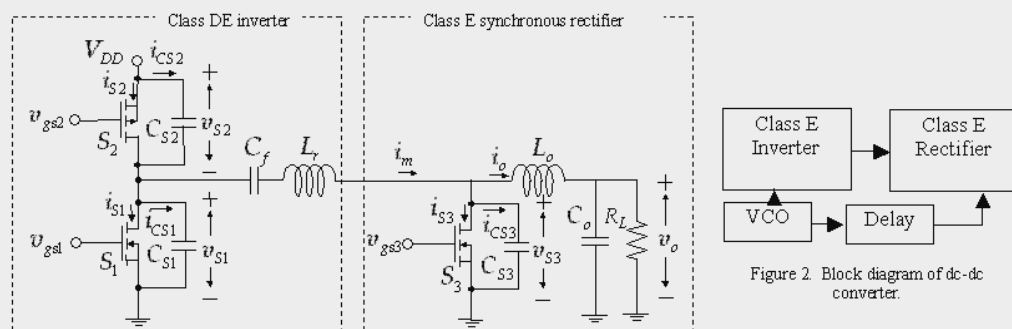


図 1 : DE 級増幅器を用いた同期整流型 DC-DC コンバータ回路図

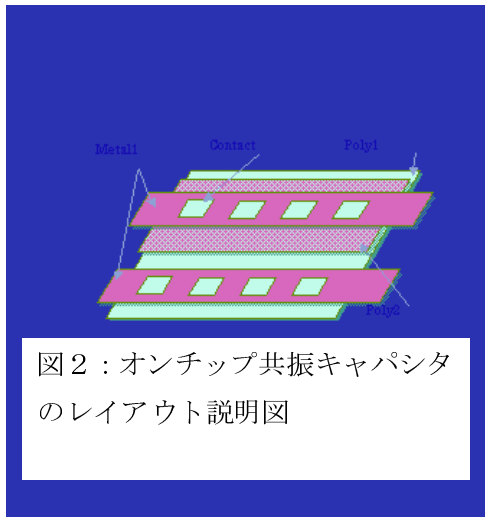


図2：オンチップ共振キャパシタのレイアウト説明図

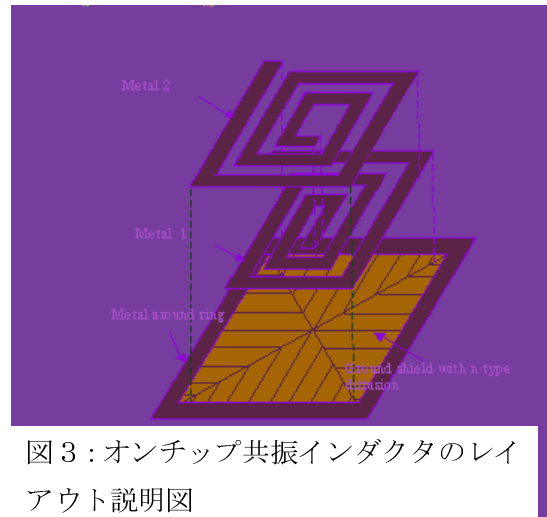


図3：オンチップ共振インダクタのレイアウト説明図

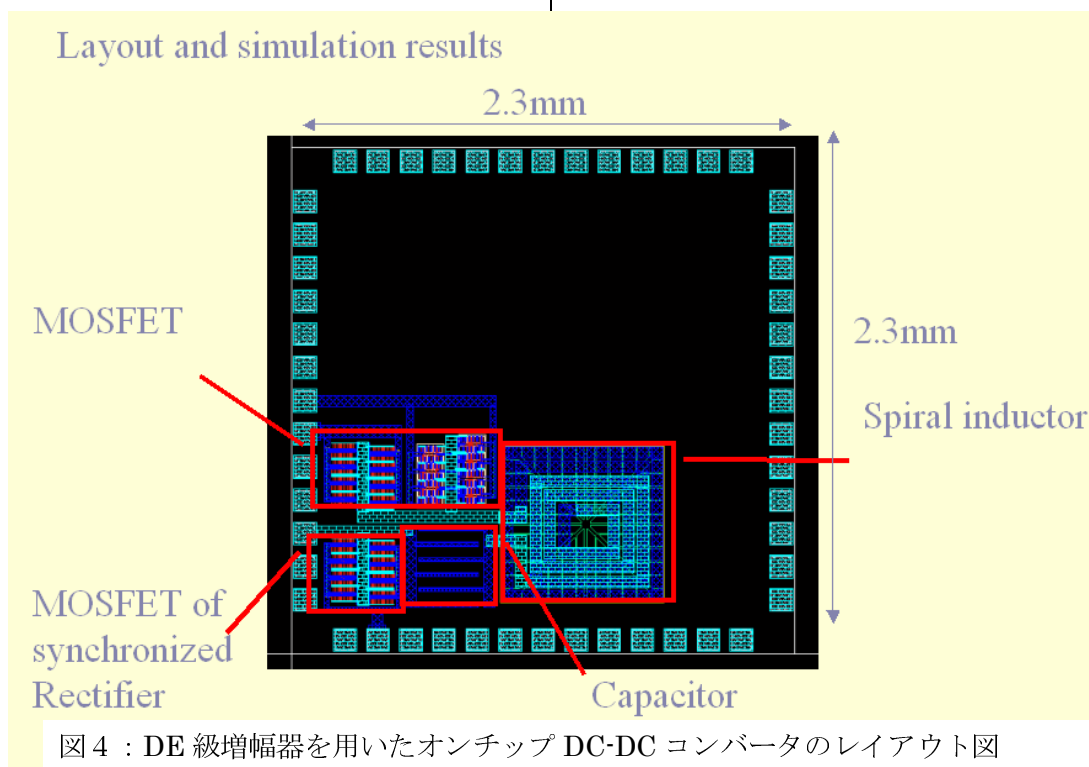


図4：DE級増幅器を用いたオンチップDC-DCコンバータのレイアウト図

$$C_{S1} + C_{S2} = 6.3 \text{ pF}$$

$$L_r = 20 \text{ nH},$$

$$C_f = 8.2 \text{ pF},$$

$$I_m = 40 \text{ mA}.$$

$$V_O = 5.96 \text{ V},$$

$$R_L = 27.7 \Omega,$$

$$C_{S3} = .65 \text{ pF}$$

となった。3.65pFの共振キャパシタCs3を作成するために図2のようなレイアウトを作成した。

20nH,最大電流40mAの共振インダクタLrを作成するために図3のような2重構造のスパイラルインダクタを考案し作成し

た。最終的に図4のようにDC-DCコンバータ全体のレイアウトが完成した。

(2) MEMSによる低損失インダクタの試作  
CMOSによるオンチップインダクタはメタルと基板が密接しているため浮遊キャパシタンスが大きくインダクタのQ値を低くしている。そこで、MEMSを用いてメタルの下部を空洞にしたオンチップインダクタを試作した。図5にそのレイアウト図を示す。インダクタンスが20nHになるように7回巻きのスパイラルインダクタとした。メタルの株が空洞になるように犠牲層をレイアウトし更にその下にポリ層を柵上にレイアウトして渦電流の発生を抑える工夫を行った。メタル部を支

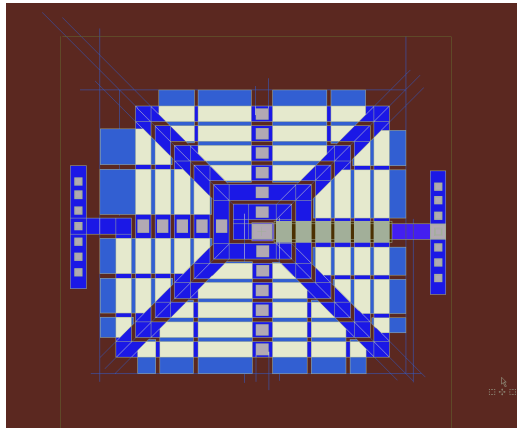


図5: MEMS インダクタ 20nH のレイアウト図

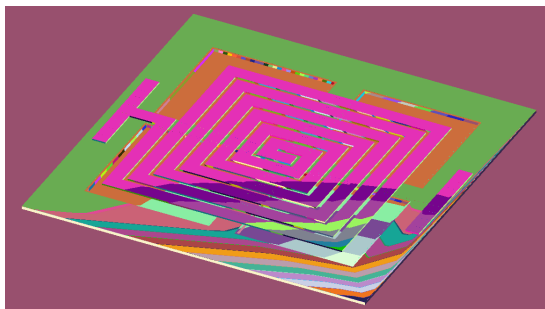


図6: MEMS インダクタ 20nH の3D View

持するための土台を十文字に作成しアンカーメタルでメタルを固定している。図6に作成したMEMSレイアウトの3D Viewを示す。

### (3) E級増幅器の動作解析

発表論文[2]に示される IEEE Transactions on Circuits and Systems の論文において、E級増幅器が動作する周波数をデューティ比を変えることによって大きく変更できることを見出し発表した。

発表論文[1]ではトランジスタ個々の規格値(最大電流や最大電圧)を制約条件として最大出力電力を求める方法を示し、いくつかのトランジスタについてそのトランジスタを使って作ったE級増幅器において出力することができる最大の電力を求めた。

発表論文[3]ではE級増幅器の動作周波数のデューティ比による変化について、E旧像茎のシャントキャパシタが非線形であるばあいについてどのような変化の仕方をするかを解析し発表した。

これらの解析により、よりE級増幅器の特性を向上させる設計が可能となりより高周波での回路構成に向けての研究が進んだ。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 3件)

[1] Takeshi Yasukouchi, Tadashi Suetsugu, “Maximum Output Power of Class E Amplifier for a Given Transistor, Operating Frequency, and DC Supply Voltage,” The 23rd International Technical Conference on Circuits/Systems, Computers and Communications, pp. 981-984, 2009 (査読あり)

[2] Tadashi Suetsugu, Marian Kazimierczuk, “Maximum Operating Frequency of Class E Amplifier at Any Duty Ratio,” IEEE Transactions on Circuits and Systems, part II, Vol. 55, No. 8, pp. 768-770, 2008 (査読あり)

[3] Tadashi Suetsugu and Marian Kazimierczuk, “ZVS Operating Frequency Versus Duty Ratio of Class E Amplifier with Nonlinear Shunt Capacitance,” IEEE International Symposium on Circuits and Systems (ISCAS2008), pp. 3258-3261, 2008 (査読あり)

〔学会発表〕(計 1件)

[1] 安河内健 末次正、“E級増幅器の上限動作周波数の解析”、2008年度電子情報通信学会ソサイエティ大会、2008年3月17日、明治大学

## 6. 研究組織

### (1) 研究代表者

末次 正 (Suetsugu Tadashi)  
福岡大学・工学部・准教授  
研究者番号: 60279255

### (2) 研究分担者

なし

### (4) 連携研究者

なし