

平成 22 年 4 月 23 日現在

研究種目：若手研究 (A)

研究期間：2007～2009

課題番号：19686022

研究課題名 (和文) 自己組織化による異種デバイス混載積層型チップの創製

研究課題名 (英文) Three-Dimensionally Stacked Hetero-Chip Fabrication by Self-Assembly

研究代表者

福島 誉史 (FUKUSHIMA TAKAFUMI)

東北大学・大学院工学研究科・助教

研究者番号：10374969

研究成果の概要 (和文)：

液体の表面張力を駆動力とした自己組織化チップ位置合わせ、および接合技術を基盤とした三次元集積化技術の基礎を開拓し、異種デバイスを混載したテストモジュールを試作した。平均位置合わせ精度は $1\mu\text{m}$ 以内であり、500 個以上の 5mm 角チップを一括して 0.1 秒以内の瞬時に位置合わせさせることに成功した。また、常温で荷重をかけずにチップを基板上に直接接合することも可能にした。

研究成果の概要 (英文)：

We have provided new three-dimensional integration technology based on high-precision multi-chip self-assembly using surface tension of liquid droplets. We have successfully fabricated heterogeneous multi-chip test module using the self-assembly technology. The alignment accuracy was found to be within 1 micron, and more than 500 chips can be self-assembled on substrates in batch. In addition, the chips were tightly bonded to the substrates at room temperature without thermal compression.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	6,600,000	1,980,000	8,580,000
2008 年度	6,800,000	2,040,000	8,840,000
2009 年度	4,300,000	1,290,000	5,590,000
年度			
年度			
総計	17,700,000	5,310,000	23,010,000

研究分野： 工学

科研費の分科・細目： 電気電子工学、電子デバイス・電子機器

キーワード：インターコネクト・パッケージのシステム化・応用、自己組織化、マイクロ・ナノデバイス、流体、微細接続、システムオンチップ

1. 研究開始当初の背景

半導体パッケージが急速に軽薄短小化、多機能化された背景には高密度実装技術として近年脚光を浴びている SiP の進展が目覚しい。小型化だけを目的とした手法から、SoC

並みの高性能化を実現できるシステムに変貌を遂げていることがその理由である。しかし、SiP では上述のようにチップを個別に連続して積層するために生産性が低く、ワイヤボンディングを採用した多層化にも限界が

ある。そこで、Si 基板を貫通する縦方向配線を介して多層化したチップを接続する三次元集積化技術が注目を集め、米国では DARPA 等を中心に国家プロジェクトが進行している。我々は三次元集積化技術の要素技術を世界に先駆けて発表し、三次元積層型のイメージセンサーや共有メモリを試作して基本動作を確認している。当研究室で開発されたウェーハ張り合わせによる三次元 LSI の作製技術は、米国で一部サンプル出荷されている三次元メモリの標準的な作製手法として採用されている。

研究代表者らは、2005 年 9 月に行われた International Conference on Solid State Devices and Materials で高い歩留りが期待できる Chip-to-Wafer 三次元集積化技術を提案している。良品チップを選別し、支持基板となる LSI ウェーハ上に多数の良品チップを張り合わせて多層化する斬新な手法である。

2. 研究の目的

分子間相互作用を駆動源として自発的にマクロな秩序構造を形成する基盤技術「自己組織化」による新しい半導体集積化手法を用いて LSI チップ、光学素子、MEMS チップ、バイオチップを混載した三次元積層型チップの作製技術について研究する。自己組織化による半導体集積化では、 $1\mu\text{m}$ 以内の高精度なチップ位置合わせ技術と接合強度を制御可能なチップ張り合わせ技術の二つが鍵となる。本研究では、自己組織化の概念を積層型 LSI の作製技術に導入し、バッチ処理で高速にチップ積層が可能で新しい三次元集積化実装技術の開発を行う。

3. 研究の方法

液体の表面張力を利用して、シリコン基板上の目的とする場所へ高精度にシリコンチップを位置合わせして、且つ荷重をかけずに常温で直接接合するセルフアセンブリ技術の基礎研究を遂行するため、まず、位置合わせ精度と接合強度に影響を与えるパラメータを抽出した。その後、それらの条件を最適化して、数 mm 角のチップの自己組織化チップ積層と大口径ウェーハへの適応、さらに、異種デバイス混載への応用を図った。

図 1 に示すように三次元集積化のための自己組織化工程は非常に単純な工程である。疎水性領域に囲まれた親水性の接合領域を目的の基板上に形成し、液滴を供給する。我々は、表面張力の高い水溶液を使用した。その後、チップを一括で搬送して接合領域の上でプレアライメントしてからチップを放す。チップが液滴に接触した瞬間に、液体の表面張力がチップに作用し、液滴の表面積(表面自由エネルギー)を最小化しながら、チップの位置合わせと接合が進行する。

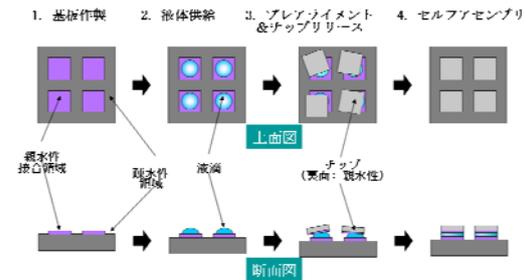


図 1 自己組織化チップ積層工程

4. 研究成果

まず、濡れ性のコントラスト(親水性領域と疎水性領域の接触角差)に着目し、最大 140 度以上の表面を作製した(図 2)。これによって位置合わせ精度を著しく高めることができた。

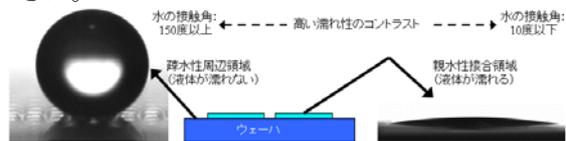


図 2 接合領域と周辺領域の接触角差

液体の体積に関しては、5mm 角のチップをアセンブリするのに $0.3\text{--}0.6\mu\text{l}$ が最適な値であり、過剰な液量はアライメント精度の低下を招くことをつきとめた。また、チップの厚さとサイズ(接合領域に対する積層チップの寸法)、液体の表面張力が強く影響することを追跡した。一方、チップサイズ(1mm-20mm 角)が精度に与える影響は小さいことが判明した。さらに、長方形のような形状でも高い精度で位置合わせできることを実証した。

これらの条件を最適化し、平均位置合わせ精度 約 300nm と引っ張り強度 10MPa 以上を両立させたセルフアセンブリ技術の開発に成功している。また、多数のチップを同時に、0.1 秒以内でセルフアセンブリさせることができた。38 層の薄化したシリコンチップを縦にセルフアセンブリした構造体の試作にも成功している(図 3)。

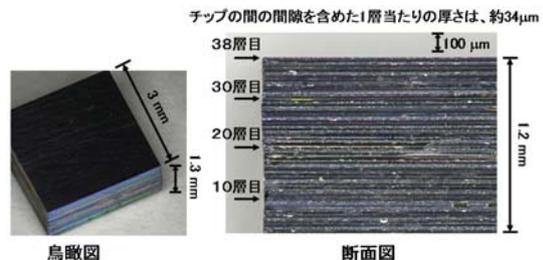


図 3 38 層積層した二次元ナップ

最終年度には、8 インチウェーハ対応の自己組織化チップ張り合わせ装置を用い、100%の歩留りで 505 個のチップを 8 インチウェーハ上に自己組織的に搭載することに成功し

ている(図4)。これには真空吸着しているチップを一括して真空解除して落下させるこれまでの手法ではなく、接合領域に供給した液体による液架橋を利用して表面張力でチップを引張り降ろす「liquid pull-down technology」が有効であることを示した。

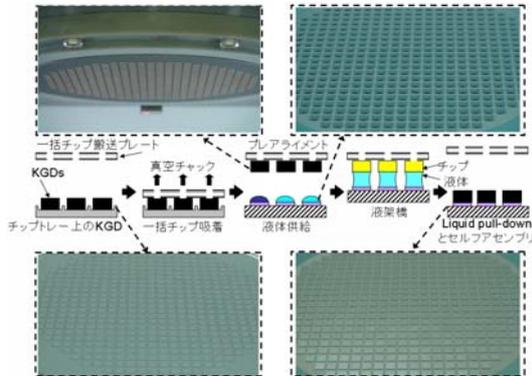


図4 液架橋を利用した8インチウェーハへの自己組織化チップ実装

液体には常温で最も表面張力が高い水(72mN/m)を主成分としたフッ酸を利用した。これによって、液体に用いた希フッ酸はチップとウェーハの直接接合を可能とし、接合強度に関しては、フッ酸の濃度や液量によって0-20MPaの間で制御できることを示すことができた。また、接合強度は、接合領域(親水性領域)の表面粗さに大きく依存し、Ra 4A以上では接合不良を起こすことがあった。しかし、Ra 1A以下に平坦化するとチップがバルク破壊する程の高い接合強度を得られた。

これらの技術を用いて、複数のLSIチップや受動素子チップを自己組織的に基板上に積層した異種デバイス混載のテストモジュールを作製した(図5)。

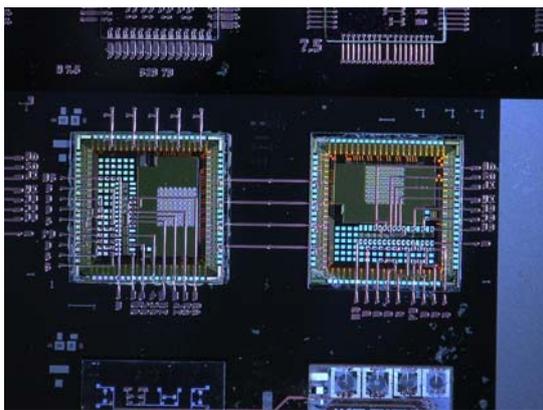


図5 自己組織化により実装した異種デバイス混載テストモジュールの外観写真

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計11件)

1. T. Fukushima, E. Iwata, T. Konno, K.-W. Lee, T. Tanaka, and M. Koyanagi, "Surface tension-driven chip self-assembly with load-free hydrogen fluoride-assisted direct bonding at room temperature for three-dimensional integrated circuits", Applied Physics Letters, 査読有, Vol.96 (2010), 154105-1 - 154105-3.
2. Takafumi Fukushima, Eiji Iwata, Yuki Ohara, Akihiro Noriki, Kiyoshi Inamura, Kang-Wook Lee, Jicheol Bea, Tetsu Tanaka, and Mitsumasa Koyanagi, "Three-Dimensional Integration Technology Based on Reconfigured Wafer-to-Wafer and Multichip-to-Wafer Stacking Using Self-Assembly Method", IEEE IEDM Technical Digest, 査読有 (2009), 349-352.
3. F. Inoue, M. Koyanagi, T. Fukushima, K. Yamamoto, S. Tanaka, Z. wang and S. Shingubara, "Cu Filling Characteristics in Through-Si Via Holes by Electroless Plating with Addition of Inhibitors", ECS Transactions, 査読有, Vol.16 (2009) 27-32.
4. Akihiro Noriki, Makoto Fujiwara, Kang-Wook Lee, Woo-Cheol Jeong, Takafumi Fukushima, Tetsu Tanaka, Mitsumasa Koyanagi, "Optical Interposer Technology using Buried Vertical-Cavity Surface-Emitting Laser Chip and Tapered Through-Silicon Via for High-Speed Chip-to-Chip Optical Interconnection", Japanese Journal of Applied Physics, 査読有, Vol.48 (2009), 04C113-1 - 04C113-5.
5. 福島 豊史, 田中 徹, 小柳 光正, "三次元積層型チップのためのSi貫通ビア(TSV)形成技術", エレクトロニクス実装学会誌, 査読有, Vol.12 (2009), 105-109.
6. Mitsumasa Koyanagi, Takafumi Fukushima, and Tetsu Tanaka, "High-Density Through Silicon Vias for 3-D LSIs", Proceedings of the IEEE, 査読有, Vol.97 (2009), 49-59.
7. T. Fukushima, T. Konno, K. Kiyoyama, M. Murugesan, K. Sato, W.-C. Jeong, Y. Ohara, Noriki, S. Kanno, Y. Kaiho, H. Kino, K. Makita, R. Kobayashi, C.-K. Yin, K. Inamura, K.-W. Lee, J.-C. Bea, T. Tanaka, and M. Koyanagi, "New

- Heterogeneous Multi-Chip Module Integration Technology Using Self-Assembly Method”, International Electron Devices Meeting (IEDM) Technical Digest, 査読有 (2008), 499-502.
8. Makoto Fujiwara, Shinsuke Terada, Yoji Shirato, Hiroshi Owari, Kei Watanabe, Mutsuhiro Matsuyama, Keizo Takahama, Tetsuya. Mori, Kenji Miyao, Koji Choki, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, “Low-Loss Optical Interposer with Recessed Vertical-Cavity Surface-Emitting Laser Diode and Photodiode Chips into Si Substrate”, Japanese Journal of Applied Physics, 査読有, Vol. 47 (2008), 2936-2940.
 9. H. Kikuchi, Y. Yamada, A. M. Ali, J. Liang, T. Fukushima, T. Tanaka, and M. Koyanagi, “Tungsten Through-Silicon Via Technology for Three-Dimensional LSIs”, Japanese Journal of Applied Physics, 査読有, Vol. 47 (2008), 2801-2806.
 10. 福島 豊史, 田中 徹, 小柳 光正, “自己組織化ウェーハ張り合わせによる三次元集積化技術”, 応用物理学会分科会 シリコンテクノロジー 「多層配線」特集号, 査読無, No. 99 (2008), 34-37.
 11. Takafumi Fukushima, Hirokazu Kikuchi, Yusuke Yamada, Takayuki Konno, Jun Liang, Keiichi Sasaki, Kiyoshi Inamura, Tetsu Tanaka, and Mitsumasa Koyanagi, “New Three-Dimensional Integration Technology Based on Reconfigured Wafer-on-Wafer Bonding Technique”, International Electron Devices Meeting (IEDM) Technical Digest, 査読有 (2007), 985-988.
[学会発表] (計 35 件)
 1. 岩田永司, 福島 豊史, 李康旭, 田中 徹, 小柳 光正, “金属マイクロバンプ接合を介した自己組織化チップ積層”, 第 57 回応用物理学関係連合講演会, 2010 年 3 月 19 日, 平塚
 2. 福島 豊史, 李康旭, 田中 徹, 小柳 光正, “セルフアセンブリを基盤としたウェーハレベル三次元集積化技術”, 応用物理学会 シリコンテクノロジー分科会/電子情報通信学会 シリコン材料・デバイス研究会(SDM) 第 118 回研究集会, 2010 年 1 月 29 日, 東京
 3. 福島 豊史, 李康旭, 田中 徹, 小柳 光正, “3D積層技術”, IEEE Electron Devices Society (EDS) Japan Chapter 総会・2009 International Electron Devices Meeting (IEDM) 報告会, 2010 年 1 月 26 日, 東京
 4. Takafumi Fukushima, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, “Self-Assembly Technology for Advanced Die-to-Wafer 3D Integration”, 2nd International IEEE Workshop on Low Temperature Bonding for 3D Integration, 2010 年 1 月 20 日, 東京
 5. Takafumi Fukushima, Eiji Iwata, Yuki Ohara, Akihiro Noriki, Kiyoshi Inamura, Kang-Wook Lee, Jicheol Bea, Tetsu Tanaka, and Mitsumasa Koyanagi, “Three-Dimensional Integration Technology Based on Reconfigured Wafer-to-Wafer and Multichip-to-Wafer Stacking Using Self-Assembly”, 2009 IEEE International Electron Devices Meeting (IEDM), 2009 年 12 月 8 日, ボルチモア(USA)
 6. A. Noriki, Y. Kaiho, E. Iwata, Y. Ohara, M. Murugesan, K.-W. Lee, J.-C. Bea, T. Fukushima, T. Tanaka, and M. Koyanagi, “High-Aspect-Ratio Fine Cu Sidewall Interconnection over Chip Edge with Tapered Polymer for MEMS-LSI Multi-Chip Module”, 2009 International Conference on Solid State Devices and Materials, 2009 年 10 月 7 日, 仙台
 7. T. Fukushima, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, “Self-Assembled 3D Chip Stacking Technology”, 216th Electrochemical Society (ECS) Meeting, 2009 年 10 月 5 日, ウィーン(オーストリー)
 8. Takafumi Fukushima, Eiji Iwata, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, “Development of a NEW Self-Assembled Die bonder to Three-Dimensionally Stack Known Good Dies in Batch”, IEEE International 3D System Integration Conference 2009 (3DIC), 2009 年 9 月 30 日, サンフランシスコ (USA)
 9. 岩田永司, 福島 豊史, 李康旭, 田中 徹, 小柳 光正, “自己組織化による三次元LSIチップの高精度位置合わせ技術”, 第 70 回応用物理学会学術講演会, 2009 年 9 月 11 日, 富山
 10. 福島 豊史, 李康旭, 田中 徹, 小柳 光正, “セルフアセンブリー法を用いた新しいヘテロインテグレーション技術”, 応用物理学会 シリコンテクノロジー分科会 第 115 回研究集会, 2009 年 8 月 3 日, 東

- 京
11. M. Koyanagi, T. Fukushima, and T. Tanaka, "3D Integration Technology and 3D Integrated Systems", IEEE International Interconnect Technology Conference (IITC), 2009年5月31日, 札幌
 12. M. Murugesan, J.C. Bea, T. Fukushima, T. Konno, K. Kiyoyama, W.C. Jeong, H. Kino, A. Noriki, K.W.Lee, T. Tanaka, and M. Koyanagi, "Cu lateral interconnects formed between 100-um-thick self-assembled chips on flexible substrates", 2009 Electronics Components and Technology Conference (ECTC), 2009年5月29日, サンディエゴ (USA)
 13. 福島 蒼史, "自己組織化によるヘテロインテグレーション技術", 第12回低温接合による3D集積化研究会, 2009年4月22日, 東京
 14. Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Super Chip Integration Technology for Three-Dimensionally Stacked Retinal Prosthesis Chips", Smart System Integration Conference 2009, 2009年3月11日, ブリュッセル(ベルギー)
 15. 福島 蒼史, "自己組織化を用いた高密度実装技術とスーパーチップインテグレーション", 10回 半導体パッケージング技術展 専門技術セミナー, 2009年1月30日, 東京
 16. Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Three-Dimensional Integration Technology to Achieve Super Chip", SEMICON Korea, 2009年1月21日, ソウル (韓国)
 17. T. Fukushima, T. Konno, K. Kiyoyama, M. Murugesan, K. Sato, W.-C. Jeong, Y. Ohara, Noriki, S. Kanno, Y. Kaiho, H. Kino, K. Makita, R. Kobayashi, C.-K. Yin, K. Inamura, K.-W. Lee, J.-C. Bea, T. Tanaka, and M. Koyanagi, "New Heterogeneous Multi-Chip Module Integration Technology Using Self-Assembly Method", International Electron Devices Meeting (IEDM), 2008年12月16日, サンフランシスコ (米国)
 18. Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Three-Dimensional Integration Technology Based on Self-Assembled Chip-to-Wafer Stacking", 2008 Materials Research Society (MRS) Fall Meeting, 2008年12月1日, ボストン (米国)
 19. 福島 蒼史, 小柳 光正, "セルフアセンブリを用いた3次元集積化技術", 九州学術研究都市 第8回 産学連携フェア, 2008年10月9日, 小倉
 20. Makoto Fujiwara, Akihiro Noriki, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Tapered Through-Si Via Formation for Optical Interposer with 3D ICs and Buried Vertical-Cavity Surface-Emitting Laser / Photo Diode Chips", 2008 International Conference on Solid State Devices and Materials (SSDM), 2008年9月26日, つくば
 21. Takayuki Konno, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "Self-Assembly for Heterogeneous Integration with Lateral Interconnections Extending over MEMS and LSI Chips", 2008 International Conference on Solid State Devices and Materials (SSDM), 2008年9月25日, つくば
 22. Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, "3D system integration technology and 3D systems", Advanced Metallization Conference (AMC) 2008, 2008年9月23日, サンディエゴ(米国)
 23. 乗木 暁博, 藤原 誠, 福島 蒼史, 田中 徹, 小柳 光正, "三次元LSIを搭載した光インターポーザのためのテーパTSVの形成", 第69回応用物理学会学術講演会, 2008年9月2日, 春日井
 24. 今野 隆行, 小林 吏悟, 福島 蒼史, 田中 徹, 小柳 光正, "キャビティ構造を有するMEMSチップのセルフアセンブリ", 第69回応用物理学会学術講演会, 2008年9月2日, 春日井
 25. T. Fukushima, T. Konno, S.Y. Ji, T. Tanaka, and M. Koyanagi, "Multichip Self-Assembly Technique on Flexible Polymeric Substrate", The 59th Electronic Components and Technology Conference (ECTC), 2008年5月30日, フロリダ(米国)
 26. T. Fukushima, T. Konno, S.Y. Ji, T. Tanaka, and M. Koyanagi, "Chip Self-Assembly Technique for 3D LSI Fabrication", 3D System Integration Technology Conference (3D-SIC) 2008, 2008年5月12日, 東京
 27. 福島 蒼史, 今野 隆行, 田中 徹, 小柳 光正, "MEMS - 半導体横方向配線技術I: フレキシブル基板へのLSIチップのセルフア

- センブリ”, 第 55 回応用物理学関係連合講演会, 2008 年 3 月 28 日, 船橋
28. T. Fukushima and M. Koyanagi, “A New Nano-System with Three-Dimensional Structure for Real Time Parallel Image Processing”, the 5th International Conference on Mechanical Science based on Nanotechnology, 2008 年 3 月 7 日, Sendai
 29. T. Fukushima, T. Tanaka, and M. Koyanagi, “3D System Integration Technology and 3D Systems”, Materials for Advanced Metallization Conference 2008 (MAM 2008), 2008 年 3 月 3 日, Dresden(Germany)
 30. 福島 誉史, 田中 徹, 小柳 光正, “自己組織化ウェーハ張り合わせによる三次元集積化技術” 応用物理学会シリコンテクノロジー分科会多層配線システム研究委員会 (共催: 電子情報通信学会、シリコン材料・デバイス研究会 (SDM), 2008 年 2 月 8 日, 東京
 31. Takafumi, Fukushima, Hirokazu Kikuchi, Yusuke Yamada, Takayuki Konno, Jun Liang, Keiichi Sasaki, Kiyoshi Inamura, Tetsu Tanaka, and Mitsumasa Koyanagi, “New Three-Dimensional Integration Technology Based on Reconfigured Wafer-on-Wafer Bonding Technique”, International Electron Devices Meeting (IEDM), 2007 年 12 月 12 日, Washington DC(USA)
 32. 福島 誉史, 田中 徹, 小柳 光正, “3 次元実装技術”, エレクトロニクス実装学会/材料技術委員会公開研究会「次世代インテリジェント実装材料」, 2007 年 11 月 29 日, 東京
 33. Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, “Chip-to-Wafer Stacking for 3D Integration with TSV”, 1st International IEEE Workshop on Low Temperature Bonding for 3D Integration, 2007 年 11 月 9 日, Tokyo
 34. Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, “Thermal Issues of 3D ICs”, Workshop on Driving the future of interconnect in 3D: Thermal and Design Issues in 3D ICs, 2007 年 10 月 11 日, Albany (USA)
 35. T. Fukushima, Y. Yamada, H. Kikuchi, T. Tanaka, and M. Koyanagi “Self-Assembly Process for Chip-to-Wafer Three-Dimensional Integration”, 57th Electronic Components and Technology Conference (ECTC), 2007 年 5 月 31 日, Reno (USA)
- [図書] (計 2 件)
1. MEMS / NEMS 工学大全 (執筆担当部分: 第 8 節 p.455-p.463, "高密度三次元実装技術"), 福島 誉史, 2009 年 4 月 22 日初版発行, テクノシステム
 2. 福島 誉史, 田中 徹, 小柳 光正, “自己組織化によるウェハレベル三次元集積化技術”, M&E, 36(1), (2009) 123-125., [産業財産権]
- 出願状況 (計 2 件)
1. 名称: 自己組織化機能を用いた三次元集積回路の製造方法及び製造装置
発明者: 小柳 光正, 福島 誉史, 杉山 雅彦
権利者: 東北大学, 東京エレクトロン
種類・番号: 特願 2009-095241
出願年月日: 2009 年 4 月 6 日
国内外の別: 国内
 2. 名称: 自己組織化機能を用いた三次元集積回路の製造方法
発明者: 小柳 光正, 福島 誉史, 杉山 雅彦
権利者: 東北大学, 東京エレクトロン
種類・番号: 特願 2009-070769
出願年月日: 2009 年 3 月 23 日
国内外の別: 国内
- [その他] 受賞
1. 2010 年 2 月
ドイツ・イノベーション・アワード「ゴットフリード・ワグネル賞 2009」the 2nd Prize
 2. 2008 年 12 月
Material Research Society (MRS) fall meeting Invited Speaker Award
 3. 2008 年 2 月
財団法人 青葉工学振興会 第 13 回研究奨励賞
 4. 2007 年 4 月
International Conference on Electronics Packaging / Outstanding Technical Paper Award
6. 研究組織
- (1) 研究代表者
福島 誉史 (FUKUSHIMA TAKAFUMI)
東北大学・大学院工学研究科・助教
研究者番号: 10374969
 - (2) 研究分担者
特に無し
 - (3) 連携研究者
小柳 光正 (KOYANAGI MITSUMASA)
東北大学・大学院工学研究科・教授
研究者番号: 60205531
田中 徹 (TANAKA TETSU)
東北大学・大学院医工学研究科・教授
研究者番号: 40417382