

平成 22 年 5 月 28 日現在

研究種目：若手研究（B）

研究期間：2007～2010

課題番号：19700010

研究課題名（和文） エラー訂正を考慮した効率の良い量子回路設計手法に関する研究

研究課題名（英文） Research on Efficient Quantum Circuit Design with Error Correction

研究代表者

山下 茂（YAMASHITA SHIGERU）

立命館大学・情報理工学部・教授

研究者番号：30362833

研究代表者の専門分野：新しい計算機構とそれ向けの論理合成手法

科研費の分科・細目：情報学・情報学基礎

キーワード：量子計算、量子回路設計、設計検証、エラー訂正、LNN

1. 研究計画の概要

将来の量子計算の実現に向けて、量子回路設計は今から研究すべき大変重要な研究テーマであると考えられる。量子回路の中でも、量子オラクルと呼ばれる関数を計算する部分回路が設計の観点から重要であるため、エラーを考慮して効率的に量子オラクルに相当する回路を設計する手法の確立を目指す。

2. 研究の進捗状況

量子回路設計のために、特に重要な回路の検証手法、また、量子回路をエラーに強くする手法に関して研究を行った。なお、当初計画していたエラーを考慮した量子オラクルのモデルについては量子エラー訂正符号を単純に用いる手法が最も効率がいいことが分かったため、量子エラー訂正を用いることを想定して、通常の量子回路の設計に研究の中心をシフトして行っている。現在までに得られている主な研究成果は以下の通りである。

- (1) Shor により各量子ゲートが完全に動作しない状況でもフォールトトレラントに計算を実行する耐故障性量子計算の手法が提案されている。その手法は、演算に用いる量子ビットを量子誤り訂正符号（具体的には Steane 符号）で符号化して、各基本演算の前後で、量子誤り訂正により逐一エラーを訂正する手法である。しかし、量子誤り訂正は計算ステップ数が大きいのに加え、誤り訂正自体で誤りを生じる可能性がある。そのため、全体の計算結果の信頼性を保ったまま、量子誤り訂正回路を挿入する場所を極力少なくする種々の手法を検討した。

- (2) 現在最も実現の可能性が高いと考えられている量子計算の実現モデルである Linear Nearest Neighbor (LNN) アーキテクチャは比較的エラーが少ないと考えられる。そこで、任意の量子回路を LNN アーキテクチャ上で実現できるように SWAP ゲートを挿入して回路を変換する手法を考案した。提案手法は、ナイーブな手法に比べて少ない計算時間で SWAP ゲートの数を削減することができ、また、今までに報告されている人手で設計された回路をより少ない SWAP ゲート数での LNN 上の量子回路へ変換できる。
- (3) 量子回路を設計する際に、回路の最適化の変形を行った際に、その変形が正しいかを検証する必要があり、それを等価性判定と呼ぶ。これに対し、従来の回路設計で使われている miter というものに対して、それを可逆回路に拡張した reversible miter というアイデアを用いて、実際に等価性判定アルゴリズムを実装した。ランダムな回路を生成してその等価性判定の性能を評価したところ、従来の手法よりもより効率がいいことが分かった。

3. 現在までの達成度

おおむね順調に進展している。

（理由）

量子オラクルにエラーを入れてモデル化することを当初考えていたが、それよりもエラー訂正符号を用いた量子回路を設計する方が設計がしやすいことが分かった。そのため、エラーのモデル化そのものよりも量子回路

設計自体に比重を重くして研究を進めた。そして、当初予定していなかった量子回路の検証やエラーに強いと考えられる LNN 回路の設計手法に関して、既存の研究よりもよりよい手法を開発できたことは予想以上の成果であると考えられる。一方で、当初予定していた内部の冗長度を用いて量子回路を単純化する手法に関しては研究がまだ途上であるため、全体としての評価はおおむね順調という程度と考えられる。

4. 今後の研究の推進方策

当初想定していた量子オラクルのエラーモデルを考案することはあまり意味がないということが分かったため、より広い意味でエラーに強い量子回路設計へと研究を展開してきたが、今年度以降は今まで行ってきたその量子回路設計に関する研究をさらに進める。また、当初計画していた研究が得られていない、内部の冗長度を用いて量子回路を単純化する手法に関して、何らかの研究成果をあげることが目標とする。

5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計4件)

著者名: Y. Makajima, Y. Kawano, H. Sekigaw, M. Nakanishi, S. Yamashita, Y. Nakashima、論文標題: Synthesis of quantum circuits for d-level systems by using Cosine-Sine decomposition、雑誌名: Quantum Information and Computation、査読: 有、巻: Vol. 9, No. 5&6、発行年: 2009、ページ: 423-443

著者名: S. Tani, M. Nakanishi, S. Yamashita、論文標題: Multi-Party Quantum Communication Complexity with Routed Messages、雑誌名: IEICE transactions on Information and Systems、査読: 有、巻: Vol. E92-D, No.2、発行年: 2009、ページ: 191-199

著者名: S. Yamashita, S. Minato, D. M. Miller、論文標題: DDMF: An Efficient Decision Diagram Structure for Design Verification of Quantum Circuits under a Practical Restriction、雑誌名: IEICE Trans. Fundamentals、査読: 有、巻: Vol. E91-A、発行年: 2008、ページ: 3793-3802

[学会発表](計12件)

発表者名: S. Yamashita、発表標題: Adaptive Equivalence-checking for Quantum Circuits、学会名: Reed-Muller Workshop 2009、発表年月日: 2009年5

月24日、発表場所: てんぶす那覇
発表者名: S. Yamashita、発表標題: An Efficient Verification of Quantum Circuits under a Practical Restriction、学会名: IEEE 8th International Conference on Computer and Information Technology、発表年月日: 2008年7月8日、発表場所: University of Technology (オーストラリア)

[図書](計0件)

[産業財産権]

出願状況(計0件)

取得状況(計0件)

[その他]

特になし。