

平成 21 年 6 月 1 日現在

研究種目：若手研究 (B)

研究期間：2007～2008

課題番号：19700044

研究課題名 (和文) テスト支援回路の故障影響度解析と耐故障設計に関する研究

研究課題名 (英文) Analysis of Faulty Test Circuits and Their Fault Tolerant Design

研究代表者

市原 英行 (ICHIHARA HIDEYUKI)

広島市立大学・大学院情報科学研究科・准教授

研究者番号：50326427

研究成果の概要：

LSI の組込自己テスト (Built-in Self Test: BIST) のための、耐故障性をもつ新しい応答圧縮器 (BIST を行うための構成要素であり、テスト結果を保持する回路) である符号化応答圧縮器を提案した。符号化応答圧縮器は壊れている状態でも、テスト対象回路の故障は必ず検知でき、さらにテスト対象回路が正常である場合は高い確率で応答圧縮器の故障を検知できる。また、必要なハードウェアサイズは従来の耐故障性を考えない応答圧縮器に比べて 1.6 倍程度であった。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	1,000,000	0	1,000,000
2008年度	1,100,000	330,000	1,430,000
年度			
年度			
年度			
総計	2,100,000	330,000	2,430,000

研究分野：情報工学

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：設計自動化、ディペンダブルコンピューティング、BIST、フォールトトレラント

1. 研究開始当初の背景

高機能化・高性能化する今日の大規模集積回路 (LSI) は、その製造テストの複雑化に伴い、テストコストの増加、さらには市場不良率 (LSI 出荷後に市場にて不良になる LSI の割合) の増加が深刻な問題となっている。特に現在新たな LSI の設計手法として注目されている SiP (System-in-Package) 手法では、内部に組み込まれたチップには直接アクセスできないことが多いため、テストにかかるコストは高くなる傾向にある。これらの問題はメーカー側から見れば、収益率の低下、メー

カの信頼の低下に繋がるため解決が望まれる。さらに、社会全体から見れば、市場不良を起こしやすい LSI を社会インフラに組み込むことは社会の安全性・信頼性の点で大きな問題となる。

この問題に対して回路設計の一部を変更し、新たにテスト支援回路を回路内部に埋め込むことでテストの容易性や、テスト品質の向上を達成する手法が提案されている [1, 2]。例えば、回路内部の記憶素子 (レジスタ) を外部端子から直接制御・観測できるように設計を変更するスキャン設計や、回路内部にテ

ストパターン生成器と応答観測器を埋め込む BIST 手法、そして予め圧縮しておいたテストデータを回路内部で展開するテスト圧縮・展開手法などがこれに相当する。これらの手法によりテストコストを低下させ、市場不良率を低く抑えることが可能となる。

例えば図 1 は一般的な BIST 手法の概略を示している。図においてテストパターン発生器 (TPG) はランダムパターンや任意のテスト用パターンを生成することができる。発生したパターンは LSI 内部の被テスト回路 (CUT) に入力される。そしてその出力応答が応答圧縮器 (RA) で圧縮され、結果 (シグネチャ) だけが LSI テスタに出力される。この手法では TPG と RA がテスト支援回路に相当する。

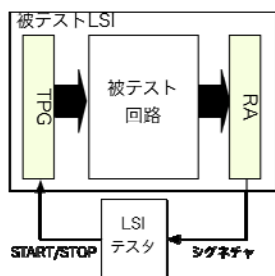


図 1 : BIST 手法

一般にテスト支援回路も LSI と同じテクノロジーで実現されるため、被テスト回路部分と同程度の欠陥がテスト支援回路にも発生することが考えられる。これまでの研究では、このようなテスト支援回路が故障した場合は、製造テスト実行中に明らかに異常な振る舞いをするため、テスト支援回路の故障は特に考慮することはないと考えられていた。例えば、図 1 の BIST 手法において TPG が故障していれば異常なパターン生成するため、RA でこの異常を観測し、不良 LSI として判定できる。なお、このような LSI は本来の機能を実現する部分 (被テスト回路) は正しい可能性もあるにも関わらず廃棄される。

現在、LSI の大規模化・複雑化に伴って、テスト支援回路のサイズも大きくなっており、テスト支援回路の面積オーバーヘッドが 10%を超える場合も報告されている [2]。つまり、これらの支援回路の故障を無視することはできなくなりつつあり、支援回路だけが故障したために破棄する LSI の数が増える傾向にあることになる。これは歩留まり (製造した総 LSI に対する良品 LSI の割合) の低下を意味するだけでなく、市場不良率の増加につながる。文献 [3] では、故障を含む可能性のある BIST のテスト支援回路に対して市場不良率の解析モデルを提案しており、そのモデルからプロセス立ち上げの初期段階 (Early life, 歩留まりが低い) では、BIST 回路の故障が市場不良率に大きく影響を与えるという結論を導いている。このような研

究は今後重要性を増すと考えられる。さらに、LSI が故障しているかどうかの判定だけではなく、プロセス改善のために故障位置の特定 (LSI の故障診断) も近年の重要な課題であるが、テスト支援回路の故障はこの故障診断が不可能になることも意味する。

2. 研究の目的

本研究では、テスト支援の代表的な手法である、BIST 手法に対して、以下のような解析と提案を行う。

(1) テスト支援回路の故障影響度の解析

テスト支援回路の故障率と市場不良率の関係、さらに歩留まりとの関係を解析する。解析では、それぞれの支援回路の故障モデルを構築し、このモデルに従って故障率をパラメータとして変化させ、市場不良率と歩留まりを代数的解析と計算機実験により明らかにする。なお先ほど述べたように文献 [3] では、BIST 手法におけるテスト支援回路の故障について市場不良率と故障率の関係のモデル化に成功している。BIST 手法に関してはこの研究を受けて、モデルの改良や、故障率と歩留まりのモデルの構築を行い、解析を行っていく予定である。テスト圧縮・展開手法についてはこれから新たに解析を行うことになるが、BIST 手法で行った手法の応用が可能であると考えている。

(2) テスト支援回路の耐故障設計手法の提案

(1)の解析からテスト支援回路の故障が、市場不良率や歩留まり与える影響の大きさが明らかになる。テスト支援回路のテスト手法はいくつか提案されているが [4]、これらの手法はテスト支援回路に故障があればチップ自体を廃棄することを前提としている。これでは、歩留まり向上を望むことはできない。本研究では、テスト支援回路の故障を救済する (故障が発生してもその「壊れ方」を正しく判定し、正しいテストできるようにすること) ためのテスト支援回路設計手法を提案する。これにより、故障の影響を小さく (理想的には 0 に) することができる。テスト支援回路の救済はわずかな手法の工夫により小さなコストでできると考えており、テストコストを増やすことなく高い耐故障性を持ったテスト支援回路が提案できると考えている。

3. 研究の方法

2つの目的に対する研究方法を簡潔に述べる

(1) テスト支援回路の故障影響度の解析

解析ではまず、いくつかの BIST 回路 (テストパターン発生器と応答解析器) モデルを設計した。これは、サイズや内部構造が異なるモデルである。これらのモデルを C 言語で表現し、テスト実行サイクルやテスト対象回路

を変えてデータを取得した。

(2) テスト支援回路の耐故障設計手法の提案

耐故障性をもつ BIST 回路を考察した場合、文献[4]で耐故障設計手法を提案するために、(1)で得られたデータや過去の提案手法を参考にして、設計手法のベースとなる原理を構築した。さらにこの原理に基づいて、耐故障性をもつテスト支援回路の設計手法を提案した。提案した設計手法は計算機実験によりその有効性を確認した。

4. 研究成果

(1) テスト支援回路の故障影響度の解析について

BIST 回路であるテストパターン発生器と応答解析器の解析に対する成果として、定性的には、以下の点が明らかになった。

- ・ 多くの BIST 回路の故障は正常なテスト対象回路を異常と判断するものである。つまり、BIST 回路の故障は大幅な歩留まりの低下を引き起こす。
- ・ テスト対象回路の故障を見逃すような BIST 回路の故障もわずかではあるが存在している。
- ・ 一般的な BIST 手法では、得られたテスト結果から、テスト対象回路の故障と BIST 回路の故障を切り分けることは困難である。

(2) テスト支援回路の耐故障設計手法の提案

上記の成果を受けて、具体的な耐故障 BIST 手法を提案した。既に述べたように BIST 回路のテスト生成器(TPG)の耐故障設計は文献[4]で提案されているため、本研究では応答圧縮器(RA)の耐故障設計について考察を行った。提案した耐故障応答圧縮器を説明する。

提案する符号化応答圧縮器は同時テスト可能な応答圧縮器であり、文献[4]と同様に符号化手法を利用する。図 2 に符号化応答圧縮器の構成を示す。符号化応答圧縮器は符号化回路と圧縮回路からなる。符号化回路は CUT からの出力応答列を符号化し、符号化された出力応答は対応する圧縮回路で圧縮され、シグネチャとなる。



図 2：符号化応答圧縮器

圧縮回路は符号化回路に対応しており、次の条件を満たすものとする。

[符号化応答圧縮器の条件] 応答圧縮器に故障がなければ、圧縮結果であるシグネチャは符号化回路で用いた符号の符号語となる。

なおこの条件のため、シグネチャの期待値は符号語となる。条件を満たすように応答圧縮器を構成すると、CUT 故障時と応答圧縮器故障時のそれぞれの場合において、シグネチャは次のように考えられる。CUT 故障時は、出力応答列が正常応答とは異なるものの、CUT の出力応答は符号語に変換される。しかし符号化回路から出力される符号語は、正常時とは異なるため、シグネチャは期待値と異なる符号語となる。一方、応答圧縮器が故障した場合は、シグネチャが符号語か否かは故障箇所依存するため、どのようなシグネチャになるのか明らかではない。そのため、符号語であるが期待値と異なるシグネチャが得られた場合は、すべて安全側の判定を行い、CUT の故障と判別するものとする。

以上をまとめると、シグネチャから以下のような判定が可能となる。なおエイリアシングは発生しないと仮定している。

- ・ シグネチャが期待値と一致する時：CUT、応答圧縮器ともに正常
- ・ シグネチャが期待値と異なり、符号語でないとき：応答圧縮器の故障
- ・ シグネチャが期待値と異なる符号語であるとき：CUT の故障と判定(応答圧縮器、CUT どちらの故障か判別不可のため)

ここで着目して欲しいのは、CUT に故障がある場合は、シグネチャは必ず期待値とは異なる符号語になる点である。この性質より、符号化応答圧縮器を用いた CUT のテストでは、CUT の故障を誤って応答圧縮器の故障と判別することはない。一方で、符号化応答圧縮器が故障した場合は、誤って CUT の故障と判別される場合がある。ここで以下のような自己判別率を定義し、符号化応答圧縮器の能力を表現するものとする。

自己判別率

= 応答圧縮器の故障と判別できた故障数 / 応答圧縮器の総故障数

この自己判別率が高いほど、符号化応答圧縮器の故障によって CUT の故障であると誤判定される割合が小さくなる。

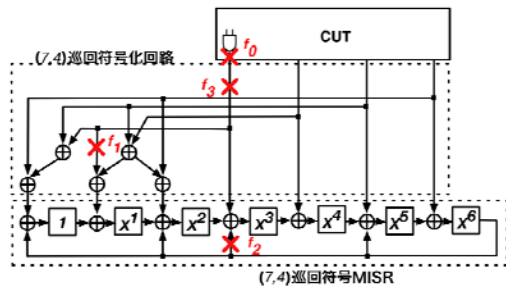


図3：巡回符号を用いた符号化応答圧縮器

具体的には図3に示すような巡回符号を用いた符号化応答圧縮器を提案した。符号化回路は(7,4)巡回符号化回路であり、対応するMISRは(7,4)巡回符号MISRである。(7,4)巡回符号化回路はCUTからの出力を符号語に変換し、変換した符号語は(7,4)巡回符号MISRでシグネチャに圧縮される。

ここで、図3に示すように4つの故障 f_0 , f_1 , f_2 , f_3 を考えてみる。表1にそれぞれの故障に対するシグネチャと故障箇所の判定結果を示す。

表1：各故障に対するシグネチャと故障箇所

故障箇所	縮退値	シグネチャ	故障箇所	
故障無し		1100101	期待値	故障無し
f_0	0	1001011	符号語	CUT
f_1	1	1101101	非符号語	符号化応答圧縮器
f_2	0	1000010	非符号語	符号化応答圧縮器
f_3	0	1001011	符号語	CUT

故障 f_0 はCUTの0縮退故障である。この故障を仮定した際は、表1に示すようなCUTの出力応答、および符号化回路の出力が得られ、符号化回路の出力は、(7,4)巡回符号の符号語となっていることが分かる。表1よりこの故障を仮定した場合、得られたシグネチャは符号語であるが、期待値と異なるため、CUTの故障であると判定できる。

故障 f_1 は符号化回路の1縮退故障のため、符号化応答圧縮器の故障である。表1よりこの故障を仮定した場合、得られたシグネチャは非符号語であるため、符号化応答圧縮器の故障であると判定できる。

故障 f_2 はMISRの0縮退故障のため、符号化応答圧縮器の故障である。表1よりこの故障を仮定した場合、得られたシグネチャは非符号語であるため、符号化応答圧縮器の故障であると判定できる。

故障 f_3 は符号化応答圧縮器の外部入力につながる符号化回路の分岐の幹の0縮退故障のため、符号化応答圧縮器の故障である。しかしこの故障はCUTの故障である故障 f_0 と等価である。そのため、巡回符号を用いた符号化応答圧縮器を用いても、符号化応答

圧縮器の故障と判別不可能であるため、この場合はCUTの故障と判定する。

以上のような判別がどの程度可能であるかを調べるため、符号化応答圧縮器のサイズと自己判別率の関係を調べる実験を行った。

実験結果の一部を図4に示す。このグラフはベンチマーク回路b03における符号化圧縮回路の面積オーバーヘッド(単一MISRに対する比率)と自己判別率の関係を表している。これからわかるように面積オーバーヘッドが1.6になるところでほぼ100%の自己判別率が得られていることがわかる。他のベンチマーク回路に対する実験でも同じような結果が得られた。このことから提案した符号化応答圧縮器は比較的小さいオーバーヘッドで、高い耐故障性を持つことがわかる。

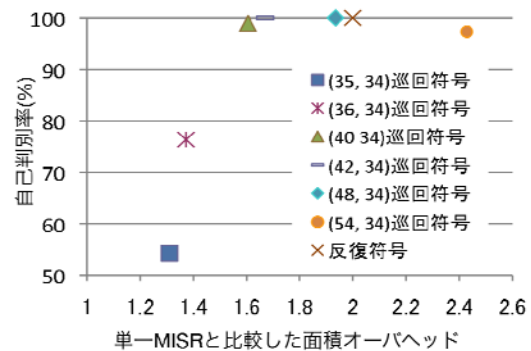


図4：b03に対する実験結果

提案した耐故障性を有するBIST回路は、テストコストと市場不良率を低く抑えつつ、LSIの歩留まり向上が期待できるため、産業的にも十分なインパクトがあると思われる。また、現在のところ同様な目的で行われている研究は、国内・国外問わずほとんどない。

今後はこの結果を踏まえ、BIST回路が故障した場合でもリペア(修復)およびリユース(故障した状態のまま利用)するための方法を提案する。さらにこの技術を踏まえ、総合的なLSI設計手法を提案する予定である。

[参考文献]

- [1] N. K. Jha, S. Gupta, Testing of Digital Systems, Cambridge University Press, 2002.
- [2] 樋上喜信, 梶原誠司, 市原英行, 高松雄三, "論理回路に対するテストコスト削減法-テストデータ量および実行時間の削減-", 電子情報通信学会論文誌 D-I, Vol. J87-D-I, No. 3, pp. 291-307, 2004年3月.
- [3] Y. Nakamura, J. Savir and H. Fujiwara, "Defect Level vs. Yield and Fault Coverage in the Presence of an Unreliable BIST," IEICE Trans. Inf. & Syst., Vol. E88-D, No. 6, pp. 1210-1216, 2005.

[4] D. K. Pradhan and C. Liu, “ EBIST : A Novel Test Generator with Built-In Fault Detection Capability, ” IEEE Tran. CAD., Vol.24, No.9, Sept., 2005.

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計 2 件)

(1) 市原英行, ”組込み自己テストにおける応答圧縮器の自己診断能力について,” FTC研究会, 2009年1月, 山形.

(2) 市原英行, ”組込み自己テストにおけるテスト可能な応答圧縮器の設計について,” 電子情報通信学会ディペンダブルコンピューティング研究会, 2009年4月, 東京

6. 研究組織

(1) 研究代表者

市原 英行 (ICHIHARA HIDEYUKI)
広島市立大学・大学院情報科学研究科・
准教授
研究者番号 : 5 0 3 2 6 4 2 7

(2) 研究分担者

なし

(3) 連携研究者

なし