

平成 21 年 6 月 4 日現在

研究種目：若手研究(B)

研究期間：2007～2008

課題番号：19760227

研究課題名(和文) アプリケーション・環境適応型バス符号化による効率的システム設計手法

研究課題名(英文) Effective Design Method of Electronic Systems by using Adaptive Bus Encoding

研究代表者

小松 聡 (KOMATSU SATOSHI)

東京大学・大規模集積システム設計教育研究センター・特任准教授

研究者番号：90334325

研究成果の概要：

本研究では、今後も微細化が予想される LSI において、LSI チップ上のデータ伝送効率化および信頼性向上のために、アーキテクチャ、データ符号化方式、テスト手法のそれぞれの検討および評価を行なった。計算機シミュレーションによる評価、FPGA ボード上での評価、C 言語によるテスト生成フレームワークの構築などを実施し、提案した各手法の有効性を示した。これらの成果は今後のシステム LSI 開発において有効な 1 手法であると考えられる。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2007 年度	1,400,000	0	1,400,000
2008 年度	1,800,000	540,000	2,340,000
年度			
年度			
年度			
総計	3,200,000	540,000	3,740,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：回路設計・CAD

1. 研究開始当初の背景

現在の高度情報化社会において、システム LSI は様々な用途に用いられ、必要不可欠な存在になっている。LSI のプロセス技術・デバイス技術の面から考えると、ムーアの法則に代表されるようにシリコン上のトランジスタ、金属配線などは年々微細化されており、CMOS 回路では 90nm テクノロジーが実用的になり、65nm/45nm テクノロジーも視野に入ってきている。このような極微細テクノロジーでは、トランジスタの動作速度向上に伴い論理ゲートでの遅延時間が小さくなる一方、相対的に配線遅延が大きくなり、結果として演

算回路が数 GHz という高周波数で動作するのに対し、LSI チップ内の機能ブロック間の信号伝送に数クロック～10 クロック程度消費してしまい、性能のボトルネックとなっている。また、消費電力の面でも、従来支配的であったトランジスタ回路における消費電力に対して、システム LSI 上のオンチップ配線あるいはチップ間の配線で消費される電力が相対的に大きくなってきている。さらに、微細テクノロジーにおいては、LSI の動作電圧が小さくなり、ノイズに対する耐性も小さくなってしまふ。

このような状況下で、従来は LSI チップ上

の大域配線は論理的にデータを伝送するのみであったが、今後の微細テクノロジーでは、データ伝送に伴う、遅延時間(追加サイクル数)、消費電力、信頼性低下について系統的に考慮する必要がある。

本研究では、システム LSI 内でのデータ伝送にデータ符号化手法を適用することで、上記の諸問題に対して有効なデータ伝送手法および設計フローの検討・評価を行うが、関連研究として、Stanらによる Bus Invert 符号[1]を始めとして、数多くの低消費電力バス符号化手法が提案されている。一方、近年、Network on Chip (NoC)[2]という概念が提案され、そこでは、チップ上のデータ伝送に対していわゆる通信ネットワークの技術を適用することで、微細テクノロジーでのデータ伝送における消費電力・信頼性などの問題を物理層より上のレベルで解決することを提案している。また、NoC の概念を保持しながら物理設計を考慮した高位設計を行う技術が研究され始め、より現実的な解と考えられる ([3]など)。

[参考文献]

[1] M. R. Stan, et al., "Bus-Invert Coding for Low-Power I/O," IEEE Trans. on VLSI Systems, Vol. 3, No. 1, pp. 49-58, Mar. 1995.

[2] L. Benini, G. DeMicheli, "Networks on chips: a new SoC paradigm," IEEE Computer, Vol. 35, No. 1, pp. 70-78, Jan. 2002.

[3] S. Pasricha, et al., "Floorplan-aware Automated Synthesis of Bus-based Communication Architectures," The 42nd Design Automation Conference, pp. 565-570, 2005.

2. 研究の目的

本研究では、データを伝送する際に、アプリケーションあるいは環境に適応して最適と考えられる符号化手法を動的に選択する符号化・復号化アーキテクチャの構築を目指す。従来、研究代表者は主に LSI 上のバスにおける低消費電力・高信頼符号化手法について研究を行ってきた。得られた成果を大きく

分けると、(1)データバス用低消費電力バス符号化、(2)アドレスバス用非冗長低消費電力バス符号化、(3)バスにおける低消費電力・高信頼符号化、(4)配線遅延を考慮したレイアーキテクチャ向け高位合成技術、である。これらは、単体あるいは複数を組み合わせることで、十分有効な手法ではあるが、いずれもアプリケーションのプロファイリングにより、事前に伝送されるデータの性質および統計情報を利用して、それを元に最適な符号化を行うものである(図 1(a))。したがって、伝送されるデータが事前の予測から大きく異なる場合には、十分な効果が得られない。また、信頼性の観点からは、温度などの環境や実際に発生するエラー率について事前に予測することは困難である。このような背景から、図 1(b)に示すような、アプリケーションや環境に動的に適応した最適なデータ伝送手法が将来のシステム LSI におけるデータ伝送においても必要不可欠と考えられる。

具体的な研究の目的を下記に示す。

(1)アーキテクチャの設定および符号化手法の設定

基本的には、図 1(b)に示すようなアーキテクチャを想定しているが、符号化方式の検討と密接に関係するため、場合によっては修正を行い、より効率的なアーキテクチャを対象として設定する。また、実際にアプリケーション/環境適応型符号化方式に基づいた符号化・復号化回路を構築し、パフォーマンス、消費電力、信頼性、回路オーバーヘッドなどの面から計算機シミュレーションなどで従来手法との比較を行い、提案手法の有効性を示す。

(2)FPGA ボードにおける評価

上記の符号化・復号化回路を FPGA チップに実装・評価を行い、提案手法の有効性を示すデータをより確固としたものとする。

(3)関連要素技術の提案・評価

本研究に関連する要素技術、特に低消費電力符号化・オンチップデータ伝送における信頼性評価手法等について、要素技術の調査、新規提案、評価などを行う。

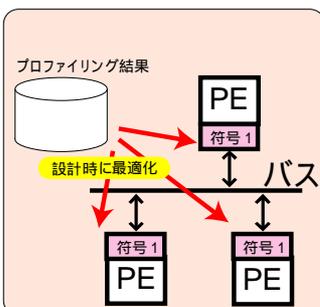


図 1 (a) 従来のバス符号化方式

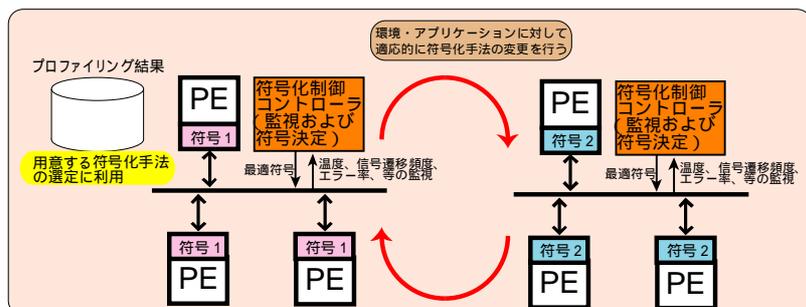


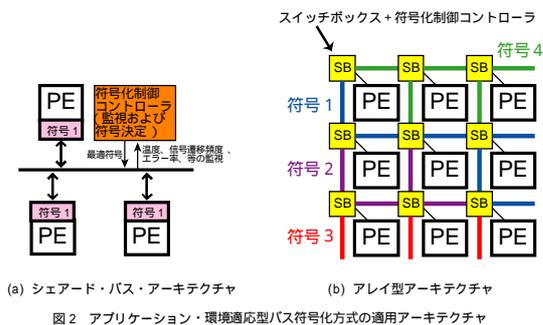
図 1 (b) アプリケーション・環境適応型バス符号化方式

3. 研究の方法

前述の研究の目的に沿ってそれぞれの項目毎に、下記のように研究を実施した。

(1) アーキテクチャの設定および符号化手法の設定

図2に示すような、2種類のアーキテクチャ(シェアード・バス・アーキテクチャおよびアレイ型アーキテクチャ)を対象アーキテクチャとして設定し、それぞれに対して各符号化手法の適用可能性についての検討を行った。その際には、RTL(レジスタ・トランスファ・レベル)での設計記述を用い、RTLシミュレータを利用して評価を行なう。また、対象アーキテクチャの自動合成手法の一手法として、配線遅延を考慮したパイプライン合成手法の検討も行なった。この手法では、従来ソフトウェアにおいて一般的に利用されているコンパイル技術をハードウェア合成に応用することで、より上位のレベルでデータ伝送を考慮したハードウェア最適化を行なうことが可能である。ここでは、各PE(Processing Element)の配置、配線、実行スケジューリングをILP(Integer Linear Programming)によって定式化することを提案し、その評価を行なう。



(2) FPGA ボードにおける評価

図3に示すようなFPGAボードを利用し、提案手法のハードウェア実装の確認、およびアプリケーション実行時のバス伝送データの取得環境の構築を行なう。前者については、短期間でハードウェア実装を行なうことができるという利点がある。後者については、ソフトウェアシミュレーションで実アプリケーションのデータ伝送トレースを行なうことはシミュレーション時間を考慮すると事実上不可能であるため、FPGAに提案アプリケーションを実装して、バス伝送データの取得環境を構築した。

(3) 関連要素技術の提案・評価

本研究では、システムの信頼性向上のために、特にLSIのテストの観点からの検討を行った。効率的なデータ伝送のためには、オンチップでの高速シリアル通信も1つの可能



図3. FPGA ボードを利用した実験環境

な解であるが、そのテストのためにシグネチャ・ベースのテスト手法の検討を行ない、その評価を行なった。また、本提案システムのような環境適応型システムにおいては、テスト自体が困難であることが多いが、リーク電流によってテスト結果を判断するIDDQテストが有効であると考えられる。ここでは、IDDQテスト向けの自動テストパターン生成技術の提案・評価を行なった。

4. 研究成果

前述の研究の目的および研究方法に沿ってそれぞれの項目毎に研究を実施し、下記のような成果を得た。

(1) アーキテクチャの設定および符号化手法の設定

図2に示した2種類のアーキテクチャに対して、各種符号化手法の評価を行なった。計算機シミュレーションによる結果から、研究代表者が従来提案している、高信頼・低消費電力符号化手法を用いることで、より現実的な環境で有効な符号化ができることを確認した。

また、パイプライン合成手法については、配線遅延、演算遅延、のそれぞれを分割して考慮し、ソフトウェアのパイプラインスケジューリングの問題へと定式化し、ILPソルバーを利用して最適解を得た。提案手法では、通常の高位合成手法と比較して約3.4倍、従来のパイプライン合成と比較して約1.5倍の性能向上を得た。また、提案アーキテクチャをハードウェアに実装し、従来手法との比較を行ない、その優位性を示した。

以上の結果より、提案アーキテクチャおよび提案符号化アルゴリズムによって、実際にアプリケーション/環境適応型符号化方式に基づいた符号化・復号化回路を構築することが可能であり、今後のSoC開発において有効な1手法であると考えられる。

(2) FPGA ボードにおける評価

図3に示したFPGAボードを利用し、提案

手法のハードウェア実装の確認をおこなった。また、アプリケーション実行時のバス伝送データの取得環境の構築も行なった。特に、後者については、取得したデータ伝送トレースを前述の各種符号化手法の評価に利用した。バス伝送データの取得環境は本研究のみならず、アプリケーションのハードウェア実装時に必須の環境であり、本研究の成果は様々な応用が可能であると考えられる。

(3) 関連要素技術の提案・評価

シグネチャー・ベースの高速シリアル通信回路のテスト手法をアダプティブ・イコライザ回路を対象として実験を行なった。アダプティブ・イコライザのTap係数の収束過程をシグネチャと定義し、図4のような実験結果を得た。この例では、欠陥あり(赤)と欠陥なし(青)との間に十分な差異が存在し、効率的にテストができることがわかる。また、様々な故障を想定し、半網羅的に実験を行なったところ、提案手法では従来手法で検出することのできなかった欠陥も含めて、ほぼ100%の欠陥検出を行なうことができることを示した。

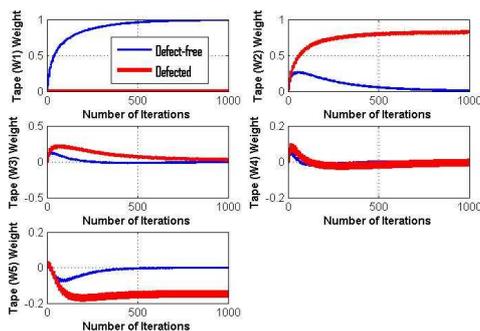


図4. シグネチャー・ベース高速シリアル通信回路のテスト結果(シグネチャ)

IDDQテスト向け自動テストパターン生成については、図5に示すようなフローに基づくATPGフレームワークを構築した。提案したATPGフローを用いることで、各種ベンチマーク回路に対して、100%に近いフォールトカバレッジが達成できることをしめた。

以上の結果より、これらの手法を適用することで、提案する適応型バス符号化アーキテクチャのテストを効率的に支援できると考えられる。また、これらのテスト手法は一般のSoC (System-on-Chip)のテストに応用することも可能であり、様々な応用が期待できる。

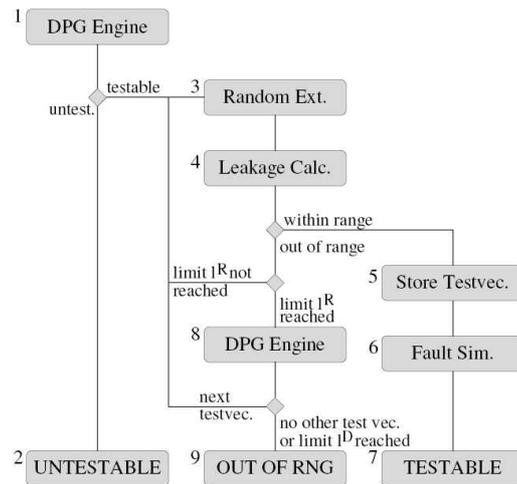


図5. IDDQテスト向け自動テストパターン生成のフロー

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計1件)

[1] S. Gao, H. Yoshida, K. Seto, S. Komatsu, and M. Fujita, "Interconnect-Aware Pipeline Synthesis for Array-Based Architectures," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences* (査読有り), Vol. E92-A, No. 6, pp. 1464-1475, 2009.

〔学会発表〕(計3件)

[1] M. Abbas, K. T. Cheng, Y. Furukawa, S. Komatsu, and K. Asada, "Signature-Based Testing for Digitally-Assisted Adaptive Equalizers in High-Speed Serial Links," 14th IEEE European Test Symposium, May 27th, 2009, Sevilla, Spain.

[2] G. Fey, S. Komatsu, Y. Furukawa, and M. Fujita, "Targeting Leakage Constraints during ATPG," 5th IEEE International Workshop on Silicon Debug and Diagnosis (SDD08), April 30th, 2008, San Diego, United States of America.

[3] 石川 悠司, 小松 聡, 藤田 昌宏, "積グラフ探索を利用した実用的なプロトコル変換器の自動合成と検証," 電子情報通信学会技術研究報告, Vol. 107, No. 507, pp. 49-54, 2008年3月5日, 沖縄.

〔その他〕

なし

6 . 研究組織

(1)研究代表者

小松 聡 (KOMATSU SATOSHI)

東京大学・大規模集積システム設計教育研究
センター・特任准教授

研究者番号：90334325

(2)研究分担者

なし

(3)連携研究者

なし

(4)研究協力者

Goerschwin Fey

ブレーメン大学・計算機科学科・ポスドク研
究員

Mohamed Abbas

東京大学・大規模集積システム設計教育研究
センター・特任研究員