

平成21年 5月29日現在

研究種目：若手研究 (B)  
 研究期間：2007～2008  
 課題番号：19760230  
 研究課題名 (和文) 基板バイアスによるMOSFETのしきい値ばらつき圧縮の検証と素子・回路設計最適化  
 研究課題名 (英文) Study of substrate bias effect on MOSFET variability

## 研究代表者

天川 修平 (AMAKAWA SHUHEI)  
 東京工業大学・統合研究院・特任助教  
 研究者番号：40431994

## 研究成果の概要：

高周波において基板バイアスが MOSFET の特性におよぼす影響を調べるための基礎技術として、4ポートの de-embedding 技術の開発をおこなった。OPEN、SHORT などのダミーパターンを利用した方法だと、誤差が大きいこと知られているので、THRU ダミーパターンだけを使った4ポートデバイス用の方法を考案した。この方法をオンチップ差動伝送線路の評価に用いたところ、有効性を確認できた。

## 交付額

(金額単位：円)

	直接経費	間接経費	合計
2007年度	1,700,000	0	1,700,000
2008年度	1,600,000	480,000	2,080,000
年度			
年度			
年度			
総計	3,300,000	480,000	3,780,000

## 研究分野：集積回路

科研費の分科・細目：電気電子工学 ・ 電子デバイス・電子機器

キーワード：高周波測定

## 1. 研究開始当初の背景

LSI の素子特性にばらつきが発生して、近年大変な問題となっている。その深刻さは、DRAM を例に考えるとよくわかる。DRAM は、1ビットを保持するのに1トランジスタと1キャパシタとを用いており、典型的な故障原因はトランジスタの過大な漏れ電流である。DRAM セルの平均保持時間は数分以上あるにも拘らず、リフレッシュ間隔は通常、数十ミ

リ秒に設定されている。これは、最も保持時間の短いセル (=最も漏れ電流の大きいトランジスタ) を基準にリフレッシュ間隔を決めなくてはならないからである。例えば1ギガビットの DRAM ならば、十億個ものトランジスタが許容漏れ電流の範囲内で動かなければ、そのチップは「不良」とされてしまう。要求されるトランジスタの歩留まりは99.999999%以上という恐るべき数字にな

る。実際には若干の冗長度を持たせることで要求が緩和されるものの、これは超 LSI が生来抱える本質的な問題である。

## 2. 研究の目的

素子特性のばらつきを抑えるために、例えばレイアウトを工夫するとか、基板バイアスを動的に制御してしきい値電圧を調整するとかいった方策がとられている。しかし、デジタル回路の場合、トランジスタを大きくできないので、実はレイアウト工夫の余地があまりない。また、基板バイアス動的制御法では、回路をいくつかのブロックに分割してブロックごとに基板バイアスを変えるので、ブロック内でのばらつきには対応できない。要は、種々のばらつき対策はそれぞれに効能が異なる。ばらつきに対処していくためには、併用可能な様々な手立てを持っているのがよい。そのための1つとしてとして、本研究では、静的基板バイアスによるしきい値電圧ばらつき圧縮の可能性について検討する。基板バイアスによってしきい値電圧が上下することは、初等的な長チャネル MOSFET の理論から理解される。逆基板バイアスを印加すればしきい値は上昇し、逆に、順基板バイアスを印加すればしきい値は低下する。さらに、しきい値にばらつきがあった場合、式の上では、逆バイアスをかければしきい値の分散は大きくなり、順バイアスをかければしきい値の分散は小さくなると予想される。短チャネル効果を考慮しても、理論上は以上の傾向に変化はなく、しきい値の上下に関する限り実際の回路でもすでに実証・応用されている。だが、基板バイアスによってしきい値のばらつき分散を制御する手法の有効性については検討されていない。既存のモデル式では適切に記述されていない効果が見られる可能性もあるので、テスト用チップを試作して、実測して確認する必要がある。トランジスタの特性ばらつきに関する研究自体は、特に直流特性を中心に、かなりひろくおこなわれている。そこで、本研究では高周波特性に重点をおくことにした。そのためには、高周波での評価技術を確認することがまず重要となる。

## 3. 研究の方法

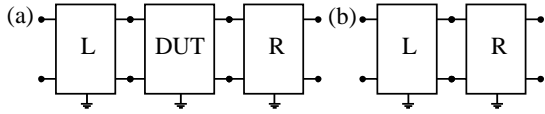
高周波における MOS トランジスタの特性ば

らつきの影響を調べるための基礎技術の開発をおこなう。通常、MOS トランジスタの高周波特性の評価は、ベクトルネットワークアナライザを利用した2ポート測定によりおこなわれている。しかし、基板バイアスの効果を測定するには、4ポートでの測定が必要である。MOS トランジスタの高周波特性の評価は、直流特性の評価と比較して格段に難易度が高い。測定結果には、測定用のパッドや配線の特性が含まれてしまうので、MOS トランジスタの特性を取り出すための de-embedding と呼ばれる操作が必要である。2ポート測定での de-embedding 方法に関しては多くの研究がなされているが、4ポートでいかに de-embed するかについては、これまであまり研究されておらず、基板効果の正確な評価ができていなかった。そこで、まず4ポートでの de-embedding 方法を確立することを目標とする。OPEN、SHORT などのダミーパターンを利用した de-embedding 方法だと、ミリ波領域 (30GHz~) で誤差が大きくなるのが2ポート測定の場合でも知られている。そこで、THRU ダミーパターンだけを使った4ポートデバイス用 de-embedding 法について検討する。

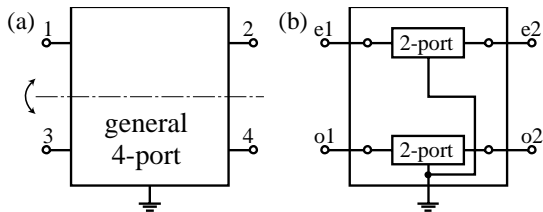
## 4. 研究成果

高周波における MOS トランジスタの特性ばらつきの影響を調べるための基礎技術の開発をおこなった。通常、MOS トランジスタの高周波特性の評価は、ベクトルネットワークアナライザを利用した2ポート測定によりおこなわれている。しかし、基板バイアスの効果を測定するには、4ポートでの測定が必要である。測定結果には、測定用のパッドや配線の特性が含まれてしまうので、MOS トランジスタの特性を取り出すための de-embedding と呼ばれる操作が必要である。2ポート測定での de-embedding 方法に関しては多くの研究がなされているが、4ポートでいかに de-embed するかについては、これまであまり研究されておらず、基板効果の正確な評価ができていなかった。従来標準的とされてきた open-short 法は、周波数がミリ波に近づいてくると、信頼できなくなってくる。そこで、THRU ダミーパターンだけを使った4ポートデバイス用 de-embedding 法を提案した。測定対象 (DUT) は、測定用パッドや

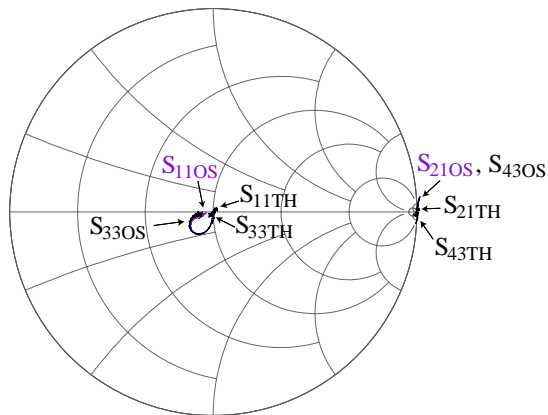
導線などの寄生成分に囲まれている。THRU は DUT がなく、寄生成分のみからなる測定パターンである。



提案した手法は、一種の座標変換の考え方を利用したものであり、これまでにない新しいものである。もし 4 ポートの THRU パターンが even/odd 対称性を備えていれば、これを 2 つの独立な 2 ポートに変換することができる。この変換をほどこせば、4 ポートの問題を 2 つの別々な 2 ポートの問題に還元できる。



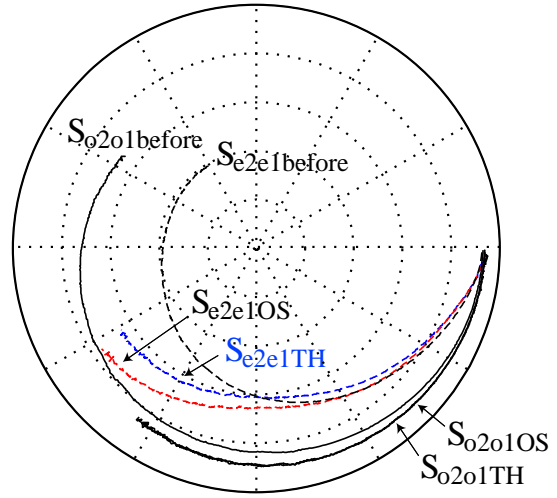
予備的な評価として、この de-embedding 方法をオンチップ差動伝送線路の評価に用いたところ、その有効性を確認することができた。数は THRU パターンの測定結果を de-embed したものである。提案した方法による結果 (TH) とともに、open-short 法を用いた結果も示してある。理想的な結果は、中心と右端に点が出るだけになる。提案した方法のほうが、よりそれに近い結果になっている。



オンチップ差動伝送線路を de-embed した結果を下図に示す。

本手法を MOS トランジスタの高周波特性の評価に利用すれば、デジタルのみならずアナログ・高周波でも正確な実測にもとづいたデバイスモデルを利用して回路設計ができるようになると期待される。この

de-embedding 方法をトランジスタの高周波測定に適用することを予定している。



## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計 5 件)

① A. Mineyama, T. Suzuki, H. Ito, S. Amakawa, N. Ishihara, and K. Masu, "A 20 Gb/s 1:4 DEMUX with near-rail-to-rail logic swing in 90 nm CMOS process," IEEE MTT-S International Microwave Workshop, 2009 年 2 月 20 日, Guadalajara, Mexico.

② Shuhei Amakawa, Hiroyuki Ito, Noboru Ishihara, and Kazuya Masu, "A simple de-embedding method for characterization of on-chip four-port networks," Advanced Metallization Conference, 2008 年 10 月 23 日, Del Mar, California.

③ 天川修平, 益 一哉, 「デバイス限界説」がシステム限界で覆る—集積システム微細化への挑戦と異分野連携への期待」、日本機械学会関東支部第 14 期総会講演会、2008 年 3 月 15 日、東京海洋大学越中島キャンパス。

④ Shuhei Amakawa, Hiroyuki Ito, and Kazuya Masu, "Signal transmission through interconnects with repetitive loads," , Advanced Metallization

Conference, 2007年10月23日, Albany,  
New York.

⑤富万林, 伊藤浩之, 天川修平, 堺淳, 益  
一哉、「異なる減衰特性を有する配線からの  
漏話を考慮した実効減衰量」、電子情報通信  
学会総合大会、2007年9月14日、鳥取大  
学。

#### 6. 研究組織

##### (1) 研究代表者

天川 修平 (AMAKAWA SHUHEI)

東京工業大学・統合研究院・特任助教

研究者番号：40431994

##### (2) 研究分担者

なし

##### (3) 連携研究者

なし