

令和 5 年 6 月 11 日現在

機関番号：12608

研究種目：基盤研究(B)（一般）

研究期間：2019～2022

課題番号：19H02192

研究課題名（和文）選択成長Fin構造による動作形態の異なるGaN系立体チャンネルトランジスタの研究

研究課題名（英文）GaN transistors having 3-dimensional channels with various operation modes using selectively grown Fin structures

研究代表者

筒井 一生 (Tsutsui, Kazuo)

東京工業大学・科学技術創成研究院・教授

研究者番号：60188589

交付決定額（研究期間全体）：（直接経費） 13,000,000円

研究成果の概要（和文）：窒化ガリウム（GaN）系半導体パワーデバイスにおいて、FinFETと呼ばれるチャンネル（電流路）を立体的に立てた横型トランジスタを研究した。デバイスをGaNの選択成長法で形成することを新たに提案して実際に試作して動作実証した。ここでは、特に選択成長のマスク開口のエッチング法を、基板側の損傷低減と選択成長結晶の高品質化の観点で最適化した。一方、シミュレーションにより種々のデバイス形態で期待される性能を比較して将来の方向性を論じ、Fin型チャンネルの側壁に二次元電子ガス層を誘起する形態で、従来型デバイスであるHEMTを凌駕する高性能実現の可能性を示した。

研究成果の学術的意義や社会的意義

世界的な省エネルギー・低炭素社会の推進に向けて、電力制御システムの中核であるパワーデバイスの高性能化とその広い普及が強く求められている。窒化ガリウム（GaN）は従来のシリコンより高性能なパワーデバイス用半導体として研究が進められ、実用化もされてきた。しかし、GaNのデバイス技術においては、まだ発展の余地は大きく、本研究はその領域での一つの新たな可能性を提示するものである。デバイス製作技術の選択肢として結晶の選択成長を利用できることを明らかにし、この技術で可能になる種々のデバイス動作の形態での特性上の利害特質を議論して将来の方向性を示したことに意義がある。

研究成果の概要（英文）：For gallium nitride (GaN) power devices, lateral transistors having vertical wall type channels, so called FinFETs, were investigated. Based on the new proposal of use of a GaN selective growth technique, actual device operations were verified, in which the mask etching process for formation of growth windows were optimized from the viewpoints of low damage to the substrate surfaces and high crystalline quality of selectively grown GaN. On the other hand, a future technical trend has been discussed through the comparison of various channel conduction modes using device simulations, so that a possibility of performances higher than those obtained on conventional devices, HEMTs, has been revealed.

研究分野：半導体デバイス

キーワード：窒化ガリウム GaN パワーデバイス 立体チャンネル FinFET 選択成長

1. 研究開始当初の背景

窒化ガリウム (GaN) 系半導体によるパワーデバイスとしては、AlGaN/GaN のヘテロ構造界面に誘起される高移動度の二次元電子ガス (2DEG) をチャンネルに用いる高電子移動度トランジスタ (high-electron-mobility transistor: HEMT) が実用的に広く用いられている。パワーデバイスの性能評価でよく用いられるオン状態でのデバイス単位面積あたりの内部抵抗 (RonA) とオフ状態での耐電圧 (BV) とのトレードオフ関係 (図 1) においても、GaN 系 HEMT はシリコンのパワーデバイスに比較してより高特性 (同図の右下方向) の領域にある[1]。一方、これらの半導体を持つ物性から理想的な特性を予想算出でき、その理想特性の線も同図に示されている。この理想特性線と実デバイスでの特性を比較すると、シリコンデバイスでは両者がかなり重なっているのに対し、GaN 系デバイスでは両者にかなり開きがある。ここから、シリコンのデバイス技術は材料の特性を使い切る成熟したものであるのに対し、GaN 系ではデバイス技術にまだ改良の余地が大きいことを示している。

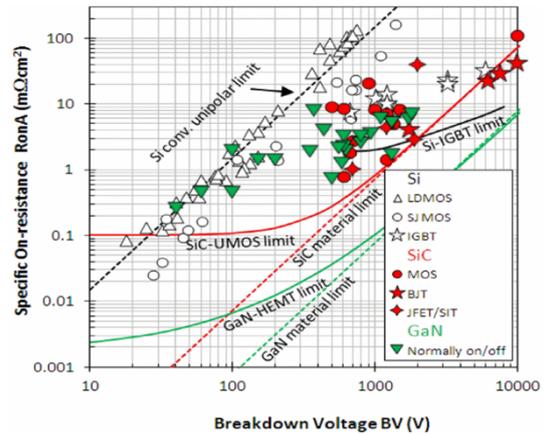


図 1 Si および GaN デバイスのオン抵抗-耐圧特性。実デバイス特性と理想曲線[1]。

この状況のもと、本研究では、トランジスタの電流路であるチャンネルを、HEMT の平面構造から、基板面に垂直に立ち上がった立体形状にし、電流制御 (スイッチとしてはオンとオフの制御) のためのゲート電極で取り囲む立体チャンネル構造のデバイスを研究対象とした (図 2)。この形状のトランジスタは、先端のシリコン集積回路の微細素子では「FinFET」として実用されているが、GaN 系では研究報告はすで

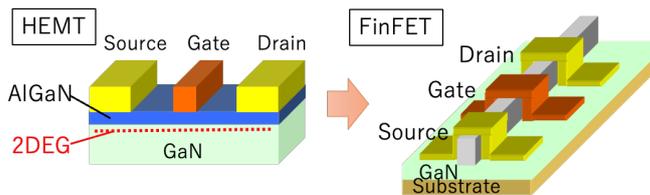


図 2 GaN 系 HEMT と FinFET。

にいくつかあるもの実用の領域には達していなかった。GaN 系でもこのような FinFET 型デバイスを形成することで、上記のトレードオフ特性 (図 1) 上での優位性のほか、RonA やオフ状態での漏れ電流の低減、トランジスタの閾値制御性の向上など多くのメリットが期待できる。

2. 研究の目的

GaN 系の FinFET について、実際にデバイスを試作しながらそのプロセス技術を探ることと、シミュレーションからどのようなデバイスの形態が有用であるかを検討し、その将来性を示すことを目的とした。

ここで、GaN の Fin 型の立体チャンネルを形成する方法として、これまで行われてきたエッチングによって削り出す方法に代わり、GaN 結晶の選択成長を用いることを新たに提案した。これは、エッチング法で問題になり得る GaN 結晶への加工損傷を回避して高いデバイス特性を期待できることと、結晶成長を用いることで、後述のような多様なチャンネルのキャリア伝導形態が可能になるためである。

3. 研究の方法

デバイスの作製プロセスの概略を図 3 に示す。基板上に選択成長のためのマスク層 (SiO₂) を堆積してから選択成長のシードとなる成長窓を開口し、有機気相成長 (MO-CVD) 法で GaN の Fin 構造を成長する。その後、ここにゲート絶縁膜堆積とソース、ゲート、ドレインの電極形成を行ってトランジスタを形成する。

本研究は、東工大のグループと産総研のグループの共同で行ったが、この作製プロセスのうち、まず選択成長窓の形成まで東工大で行い、その後の GaN 選択成長は産総研で行い、最後のデバイス加工は再び東工大で行うという分担で実施した。

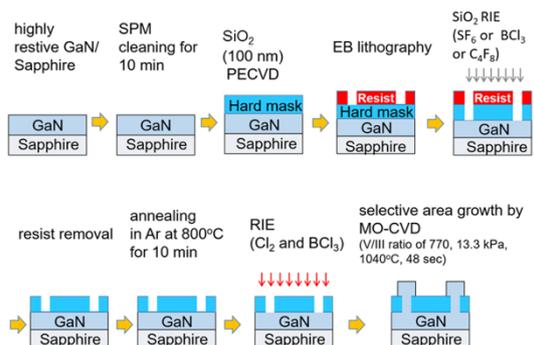


図 3 GaN の選択成長のプロセス概要。

一方、並行して、GaN系FinFETのデバイスシミュレーションを立ち上げ（東工大）、将来予想される種々のデバイス形態について特性を予測し比較議論を進めた。

4. 研究成果

(1) GaNの選択成長

GaNの選択成長の結果の一例を図4に示す。ここでは、選択成長の窓の幅は100nmであるが、ここをシードにGaNは縦方向とともに横方向にも成長する。この際、成長構造の側面が基板面に垂直となり断面形状が矩形になるのが好ましいが、これはストライプの方向を基板面内での $\langle 1\cdot100 \rangle$ 方向に平行としMO-CVD成長時のガス流量条件の最適化でほぼ達成できた。ただし、横方向への成長の十分な制御はまだ課題として残っている。FinFETのオン/オフ動作を正常に行うためには横幅は100~200nm程度にする必要がある。本研究でのデバイス試作においては、後述のように後からの追加加工でこれを行った。一方、横方向成長には利点もある。同図(b)の断面透過電子顕微鏡像で明らかのように、基板側に存在する転位欠陥が選択成長マスクでブロックされ、選択成長領域には伝搬しない。その結果、転位欠陥の少ないGaNチャンネルが形成できる。この効果は当初から期待していたものであるが、これが確かめられた。

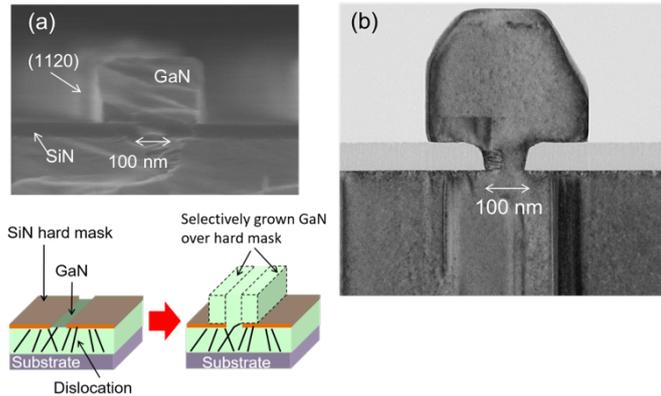


図4 選択成長法で形成したGaN Fin構造。(a)断面SEM像。(b)断面TEM像。

(2) GaNによるFinFETの試作

① Fin構造の追加加工とトランジスタ動作実証

上記のように選択成長後のFin構造では横幅が広すぎるため、本研究では図5に示すような中央部をウェットエッチングで取り除き、両側に狭幅のFin構造を残す加工を行った。このあ

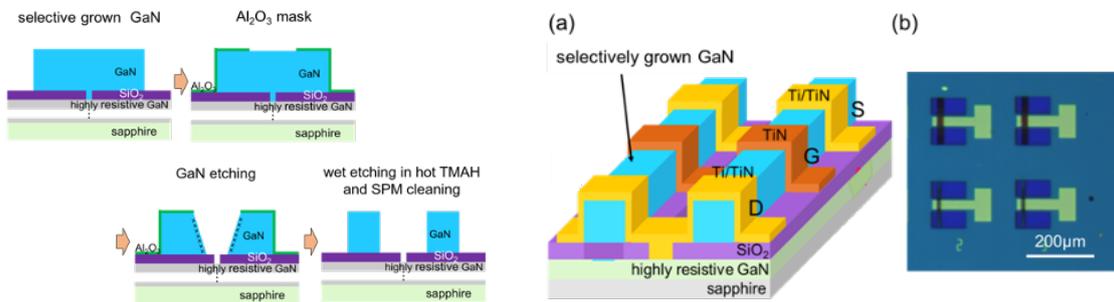


図5 幅広の選択成長Fin構造から2本のFin構造を作製するプロセス。

図6 (a)作製したGaN FinFETの構造外観。(b)トランジスタ全体の顕微鏡写真。(a)の構造を10組並列に接続し、各電極パッドを形成。

と、Ti/TiNによるソース・ドレイン電極、TiN/Al₂O₃(40nm)によるMIS構造ゲートを形成し、図6(a)に示すFinFETを形成した。そして、この2本一組のFinを並列に10組(20本)並列に接続して一つの測定トランジスタを構成した(図6(b))。作製したGaN FinFETのドレイン電圧・ドレイン電流(I_d - V_{ds})特性の一例を図7に示す。このデバイスの寸法は、個々のFinチャンネルの高さ300nm、幅250nm、ゲート長33 μ m、ゲート・ソース間45 μ m(ゲートはソース・ドレイン間の中央に配置)である。この特性からトランジスタ動作は確認できた。しかし、それとともにソース・ドレイン間に大きなリーク電流が重畳している問題が明らかになった。

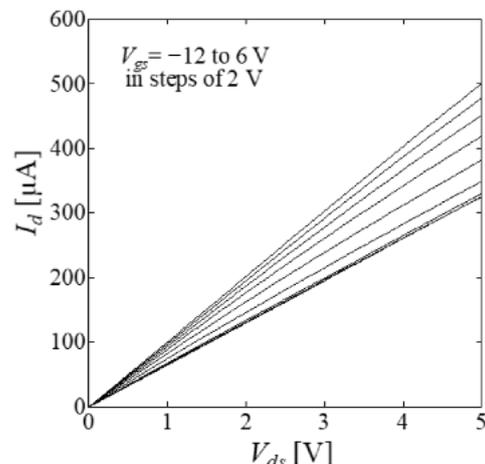


図7 作製したGaN FinFETの I_d - V_{ds} 特性。トランジスタ動作は確認できたがリーク電流が課題。(SF₆エッチング利用)

② 選択成長窓の開ロプロセスの改良とリーク電流抑制

上記のリーク電流の原因を調査したところ、選択成長のシードになる成長窓開口部の直下で、高抵抗 GaN 基板表面付近で局所的にキャリア濃度が 3 桁程度増大した低抵抗領域が形成されたためであることがわかった。(図 6(a)に示すように、Fin チャンネルは成長窓領域とは分離されているが、ソースドレインの電極がこの上を通りここで接触してリーク経路になっている。)そして、この低抵抗化の原因が、成長窓のエッチング開口のプロセスにあることが判明した。当初、このエッチングは、SF₆ ガスによる反応性イオンエッチング (RIE) を用いていた。これを BCl₃ ガスによる RIE に変えたところ、このリーク電流が顕著に低減できた。ところが、このプロセスでは選択成長 GaN が高抵抗化しトランジスタ動作が大きく劣化する問題も明らかになった。その原因探索と他の対策の検討をさらに進めた結果、C₄F₈ ガスを用いた RIE で、リーク電流の抑制と選択成長 GaN の電気的特性の維持の両立が可能であることを見出した。このプロセスを用いて作製した GaN FinFET の特性の例を図 8 に示す。リーク電流が抑制され、かつ充分なドレイン電流を得ることができた。

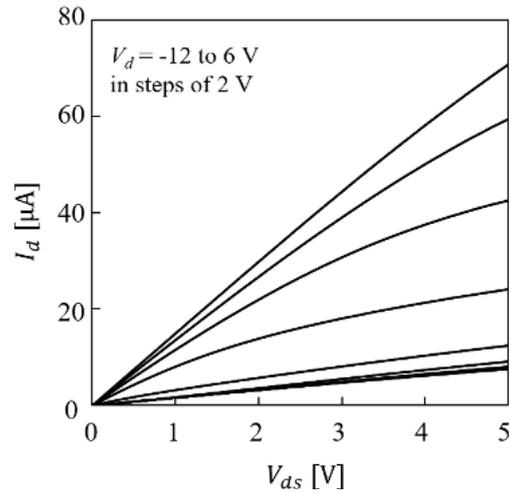


図 8 窓開口エッチングに C₄F₈-RIE を用いて作製した GaN FinFET の Id-Vds 特性。

(3) シミュレーションによる GaN FinFET のチャンネル伝導形態に依存した特性の比較検討

GaN 系の FinFET には、HEMT で使われている 2DEG チャンネルを取り入れるかどうか、また取り入れる場合もその位置の違いで、図 9 に示すようなバリエーションが考えられる。2DEG が無く、Fin 全体が GaN のみの構造を「バルク伝導型」、表面に AlGaIn/GaN ヘテロ構造を形成して 2DEG を誘起させる構造で、2DEG の位置により「上面 2DEG 型」と「側壁 2DEG 型」が考えられる。本研究で試作したのはバルク伝導型のみであった。

これらの伝導形態のデバイスに対して、デバイスシミュレーションにより、図 1 に示していたオン抵抗-耐圧のトレードオフ関係を算出した。ここでは、ゲート長 1.0μm、Fin 幅 100nm は固定のうえ、Fin の高さをアスペクト比として複数設定し

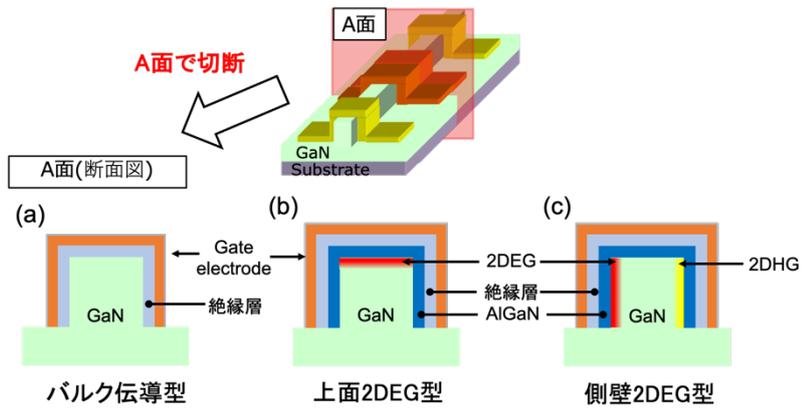


図 9 GaN 系 FinFET で考えられるチャンネル伝導形態。(a)バルク伝導型、(b)上面 2DEG 型、(c)側壁 2DEG 型。

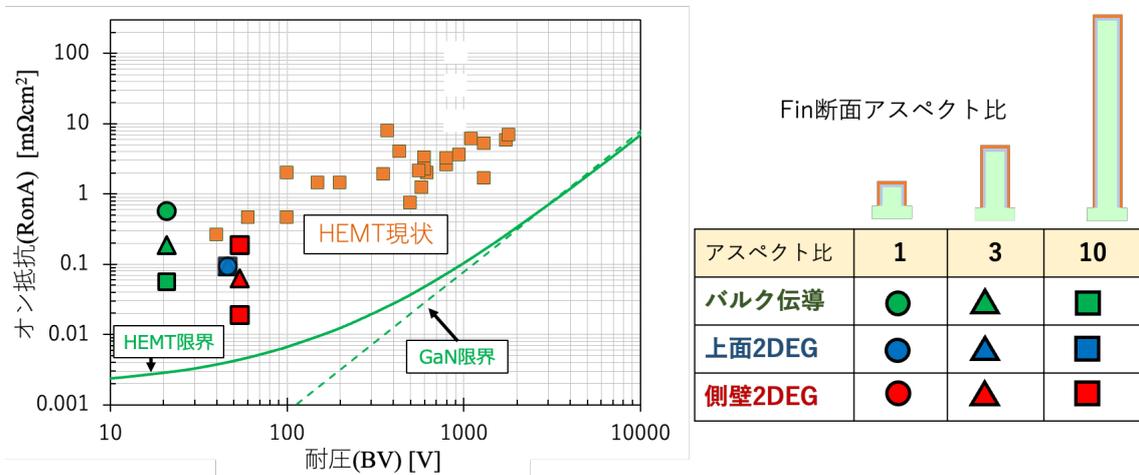


図 10 チャンネル伝導形態および Fin 構造断面のアスペクト比に依存したオン抵抗-耐圧トレードオフ特性。

た。また、バルク伝導型の Fin チャンネル内では $1.4 \times 10^{18} \text{cm}^{-3}$ のドーピング濃度とした。

結果を図 10 に示す。オン抵抗 (RonA) は単位面積あたりで規格化するので、Fin 構造のアスペクト比を大きくすることでこれが低減される効果がわかる。立体型チャンネルの基本的メリットの現れである。ただし、上面 2DEG 型ではこの効果は無い。そして、側壁 2DEG 型で最も RonA の低減が大きく、従来の HEMT を凌駕する特性が期待できることが明らかになった。

参考文献

[1] H. Ohashi, 24th Int. Symp. on Power Semiconductor Devices and ICs., pp.9-12, 2021.

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計9件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 久恒悠介、太田貴士、佐々木満孝、高橋言緒、井手利英、清水三聡、星井拓也、角嶋邦之、若林整、筒井一生
2. 発表標題 選択成長法を用いたGaN FinFETの作製：成長窓形成プロセス改善
3. 学会等名 2022年 第83回応用物理学会秋季学術講演会
4. 発表年 2022年

1. 発表者名 久恒 悠介、星井 拓也、角嶋 邦之、若林 整、筒井 一生
2. 発表標題 GaN FinFETの低オン抵抗・高耐圧化に向けたドリフト領域拡幅の検討
3. 学会等名 第82回応用物理学会秋季学術講演会
4. 発表年 2021年

1. 発表者名 久恒 悠介、星井 拓也、角嶋 邦之、若林 整、筒井 一生
2. 発表標題 横型GaN系FinFETにおける異なるチャネル伝導形態の比較検討
3. 学会等名 第82回応用物理学会秋季学術講演会
4. 発表年 2021年

1. 発表者名 太田 貴士、佐々木 満孝、高山 研、濱田 拓也、高橋 言緒、井出 利英、清水 三聡、星井 拓也、角嶋 邦之、若林 整、筒井 一生
2. 発表標題 選択成長法を用いたGaN FinFETの作製：成長窓形成プロセスの検討
3. 学会等名 第82回応用物理学会秋季学術講演会
4. 発表年 2021年

1. 発表者名 高山 研、太田 貴士、佐々木 満孝、向井 勇人、濱田 拓也、高橋 言雄、井出 利英、清水 三聡、星井 拓也、角嶋 邦之、若林 整、筒井 一生
2. 発表標題 選択成長法を用いたGaN FinFETの作製:リーク電流抑制の改良
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

1. 発表者名 久恒 悠介、金 相佑、星井 拓也、角嶋 邦之、若林 整、筒井 一生
2. 発表標題 横型GaN FinFETの構造最適化についての検討
3. 学会等名 第81回応用物理学会秋季学術講演会
4. 発表年 2020年

1. 発表者名 筒井一生、濱田拓也、高山 研、金 相佑、星井拓也、角嶋邦之、若林 整、高橋言緒、井手利英、清水三聡
2. 発表標題 選択成長法を用いたGaN 系FinFET
3. 学会等名 電気学会電子デバイス研究会
4. 発表年 2021年

1. 発表者名 高山研、向井勇人、濱田拓也、高橋言緒、井手利英、清水三聡、星井拓也、角嶋邦之、若林整、岩井洋、筒井一生
2. 発表標題 GaN Fin構造選択成長における低抵抗領域の発生原因の検討
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 向井勇人、高山研、濱田拓也、高橋言緒、井手利英、清水三聡、星井拓也、角嶋邦之、若林整、岩井洋、筒井一生
2. 発表標題 選択成長法を用いたGaN FinFETの作製
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

<p>東京工業大学 未来産業技術研究所 電子機能システムコア http://www.first.iir.titech.ac.jp/member/core2.html#tsutsui 東京工業大学 未来産業技術研究所 電子機能システムコア http://www.first.iir.titech.ac.jp/member/core2.html#tsutsui</p>

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	清水 三聡 (Shimizu Mitsuaki) (10357212)	国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・ラボ長 (82626)	
研究分担者	星井 拓也 (Hoshii Takuya) (20611049)	東京工業大学・工学院・助教 (12608)	
研究分担者	角嶋 邦之 (Kakushima Kuniyuki) (50401568)	東京工業大学・工学院・准教授 (12608)	

6. 研究組織（つづき）

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	山田 永 (Yamada Hisashi) (60644432)	国立研究開発法人産業技術総合研究所・エレクトロニクス・ 製造領域・主任研究員 (82626)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関