

令和 5 年 5 月 22 日現在

機関番号：12601

研究種目：基盤研究(B) (一般)

研究期間：2019～2021

課題番号：19H04076

研究課題名(和文) 無端子チップの誘導結合通信によって構成される超小型変形可能計算機システムの実現

研究課題名(英文) Ultra-compact deformable computer system composed of inductively-coupled non-contact chips

研究代表者

坂井 修一 (Sakai, Shuichi)

東京大学・大学院情報理工学系研究科・教授

研究者番号：50291290

交付決定額(研究期間全体)：(直接経費) 13,300,000円

研究成果の概要(和文)：提案する超小型変形可能計算機システムの実現に向けた研究開発を行った。チップ間無線通信のための送受信回路の通信特性を実際のテストチップ試作を通して評価した。無線通信回路と汎用プロセッサコアを混載した計算機チップについても試作し、隣接配置した2チップ間での無線通信が可能であること、を実証した。加えて、こうしたチップに対する無線給電方式についても電磁界シミュレーションによる検討を進め、テストチップを試作した。研究開発を通して、提案システムの形状変化ユーザインタフェースへの応用可能性を見出し、基礎検討を行った。

研究成果の学術的意義や社会的意義

無端子チップから構成される超小型変形可能計算機システムによって、従来、複数のパッケージや基板から構成されていた組み込みシステムを低い設計・製造コストで容易に実現することができる。さらに、多様な形状の組み込みシステムを実現できる。加えて本研究期間中に明らかになったように、システム自体の動的な形状変化を活かしたユーザインタフェースといった、革新的な応用領域も存在する。本研究の遂行により、こうしたシステムにおける無線通信特性や、計算機システムとしての基本アーキテクチャの検討が進み、今後の実用化に向けて大きな成果が得られた。

研究成果の概要(英文)：We have conducted research and development toward the realization of a proposed ultra-compact deformable computer system. We evaluated the communication characteristics of the transmitter and receiver circuits for inter-chip wireless communication through the fabrication of actual test chips. We also prototyped computer chips that integrated wireless communication circuits and a general-purpose processor core, demonstrating the feasibility of wireless communication between two adjacent chips. Furthermore, we advanced the study of wireless power supply methods for such chips through electromagnetic field simulations and the fabrication of test chips. Through our research and development, we discovered the potential applicability of the proposed system to shape-changing user interfaces and conducted a basic investigation.

研究分野：コンピュータアーキテクチャ

キーワード：チップレット 誘導結合 無線給電 ウェアラブルシステム SiP コンピュータシステム エッジデバイス

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

微細化や高性能化高効率化によりコンピュータの用途は大きくひろがり続けている。特に最近では、ドローンやマイクロロボット、ウェアラブル機器、スマートダストなど、新しい形態のコンピュータの登場によって、今まで計算力が入り込めなかったような箇所にもコンピュータが浸透し、新しい応用が生まれている。すなわち、コンピュータはその性能・効率だけでなく、形態の自由度の進化にも大きな価値を持っている。しかし、コンピュータシステムの形態について振り返ると、半導体チップの目覚ましい微細化やチップ上へのシステム・オン・チップ(SoC)の急速な浸透に対して、半導体パッケージやシステムボードの大きさはこれに追従する進歩を示しておらず、従来通り固く大きいままである。一方、パッケージ内のさらなる高帯域化を目指した技術として、近年、誘導結合による近接場無線通信技術が提案されている。さらに、誘導結合を鉛直方向ではなく水平方向に行う方式の可能性に着目した研究がなされている。シミュレーション解析の結果、多重化を行わないシンプルな実装でも 1Gbps の無線通信帯域を得られる、という見込みを得た。

2. 研究の目的

本研究では平面誘導結合の物理的特性を明らかにしながら、これを利用して超小型チップを複数連携させ、超小型で形状可変なコンピュータシステムの実現を目指す。本研究課題によって初めて実現される実証アプリケーション例として

- ・ 繊維や服に織り込み可能なコンピュータシステム
- ・ 配管(将来的には例えば消化器内)に流すことのできるコンピュータシステム
- ・ 昆虫サイズのロボットに搭載可能な機械学習システム

などを設定し、用途に合わせた有効な計算が可能であることを確認する。

3. 研究の方法

本研究では以下のように小課題 1~6 を設定し、段階的に超小型変形可能コンピュータの実現技術を明らかにする。

小課題 1. 平面磁界結合通信の物理特性測定

小課題 2. コンピュータシステム設計

小課題 3. 超小型変形可能パッケージの検討

小課題 4. 新たな物理的制約がある場合のアーキテクチャおよびプロトコル開発

小課題 5. 提案システムへの無線給電手法の検討

小課題 6. 実証アプリケーションシステムの開発

4. 研究成果

(1) 平面誘導結合通信の物理特性測定

平面誘導結合通信について、その物理特性をモデル化し、テストチップの実測評価を通して検証した。オンチップコイルの電磁界シミュレーションによって、コイルの相対位置に応じた結合度の変化について調査した。また、回路シミュレーションを通して、複数コイルを配置したバス通信が可能であること、バス上での衝突検知が可能であることを確かめた。バス通信検証のためのテストチップを 180-nm CMOS プロセスを利用して設計試作し、実測評価によって、隣接して配置されたコイル間で 2.0Gbps での高速バス通信が可能であることを示した(図 1)。

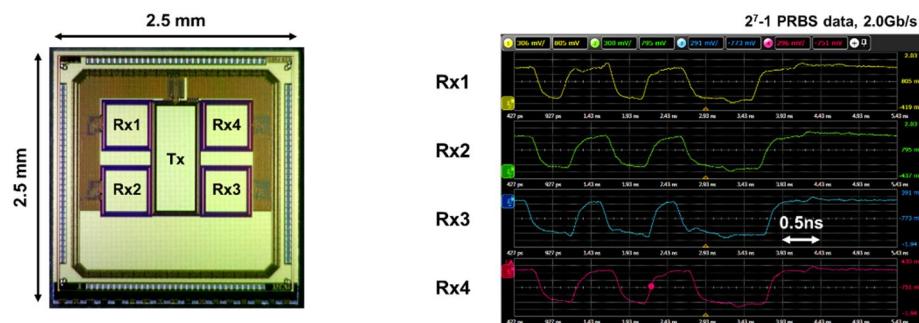


図 1 バス通信テストチップと通信波形

(2) コンピュータシステム設計

プロセッサと無線通信回路を混載したプロセッサチップのアーキテクチャや、そうしたチップが複数連なったシステムのアーキテクチャについて検討した。RISC-V ISA に基づく小型な 32-bit プロセッサコアや、誘導結合無線通信回路とプロセッサコアとの協調のためのインタフェース回路を設計し、180-nm CMOS プロセスでテストチップの試作をおこなった(図2)。このテストチップを分割された複数の基板上に実装することで、チップ間の無線通信特性やその通信距離に応じた変化、また、プロセッサコアの動作が無線通信特性に与える影響について調査をおこなった。実測評価の結果、分割された複数チップ間で 1.6Gbps の高速シリアル通信が達成可能であること、また、プロセッサコア動作に応じたビット誤り率の変化は軽微であることが示された。ネットワークアーキテクチャに関しては、提案システムにおけるチップ間のデータ衝突検知手法、複数チップ間のルーティング経路決定手法を策定しまとめた。

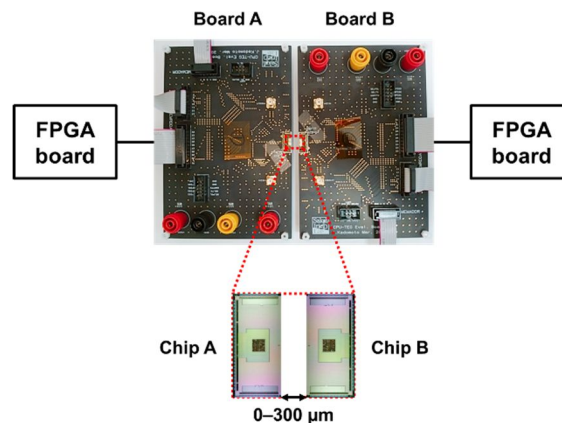


図2 複数テストチップによる無線通信

(3) 超小型変形可能パッケージの検討

変形可能かつ提案する平面誘導結合通信に寄与するパッケージング素材について検討をおこなった。いくつかの磁性材料について調査し、磁性材料の配置に応じて通信特性が変化することを実験的に実証した。また、変形可能なパッケージング材料でシステム全体を包むことによって、変形可能なユーザインタフェースという新たな応用領域が拓かれることを見出した。

(4) 提案システムへの無線給電手法の検討

各チップへの外部からの無線給電手法についても検討を進めた。CMOS プロセスの内部配線を利用したオンチップコイルの特性について電磁界シミュレーションによる評価をおこなった。また、整流回路に関しても回路シミュレーションによってその性能や消費電力を評価し、複数の回路アーキテクチャを比較検討することで適切なものを決定した。加えて、こうした給電システムと誘導結合無線通信回路、プロセッサコアを混載したテストチップを設計し、180-nm CMOS プロセスで試作をおこなった。

(5) 実証アプリケーションシステムの開発

実証アプリケーションシステムのための、オンチップコイル・無線給電回路と無線通信回路やプロセッサコアを混載したテストチップの設計試作を 180-nm CMOS プロセスでおこなった。また、誘導結合無線通信技術や提案する変形可能計算機システムの新たな応用例として、デバイス自体の形状変化や物理的位置情報を積極的に活用したユーザインタフェースやディスプレイを見出した。

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Kadomoto Junichiro, Sasatani Takuya, Narumi Koya, Usami Naoto, Irie Hidetsugu, Sakai Shuichi, Kawahara Yoshihiro	4. 巻 20
2. 論文標題 Toward Wirelessly Cooperated Shape-Changing Computing Particles	5. 発行年 2021年
3. 雑誌名 IEEE Pervasive Computing	6. 最初と最後の頁 9~17
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/MPRV.2021.3086035	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計12件（うち招待講演 2件 / うち国際学会 7件）

1. 発表者名 J. Kadomoto, H. Irie, and S. Sakai
2. 発表標題 Deformable Chiplet-Based Computer Using Inductively Coupled Wireless Communication
3. 学会等名 Asia and South Pacific Design Automation Conference (ASP-DAC) (国際学会)
4. 発表年 2022年

1. 発表者名 門本淳一郎, 入江英嗣, 坂井修一
2. 発表標題 形状自在計算機システムに向けたチップ間ワイヤレスバスインタフェース
3. 学会等名 電子情報通信学会・情報処理学会 情報科学技術フォーラム (招待講演)
4. 発表年 2020年

1. 発表者名 門本淳一郎
2. 発表標題 形状自在計算機システムに向けたRISC-V無線マルチチッププロセッサ
3. 学会等名 d. lab-VDEC デザイナーズフォーラム
4. 発表年 2020年

1. 発表者名 J. Kadomoto
2. 発表標題 Inductive-Coupling Wireless Bus Interface for Shape-Changeable Chiplet-Based Computers
3. 学会等名 International Symposium on Microelectronics (IMAPS) (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 J. Kadomoto, H. Irie, S. Sakai
2. 発表標題 Design of Shape-Changeable Chiplet-Based Computers Using an Inductively Coupled Wireless Bus Interface
3. 学会等名 IEEE International Conference on Computer Design (ICCD) (国際学会)
4. 発表年 2020年

1. 発表者名 J. Kadomoto, H. Irie, S. Sakai
2. 発表標題 A Self-Sensing Technique Using Inductively-Coupled Coils for Deformable User Interfaces
3. 学会等名 Asian CHI Symposium (AsianCHI) (国際学会)
4. 発表年 2020年

1. 発表者名 門本淳一郎, 入江英嗣, 坂井修一
2. 発表標題 形状自在計算機システムのためのRISC-VホストCPUチップの設計
3. 学会等名 情報処理学会 DAシンポジウム
4. 発表年 2019年

1. 発表者名 門本淳一郎, 入江英嗣, 坂井修一
2. 発表標題 オープンソースなマルチポートメモリコンパイラの検討
3. 学会等名 電子情報通信学会・情報処理学会 HotSPA
4. 発表年 2019年

1. 発表者名 門本淳一郎, 浅野凌治, 入江英嗣, 坂井修一
2. 発表標題 形状自在計算機システムのための水平方向チップ間ワイヤレスバス
3. 学会等名 情報処理学会 xSIG
4. 発表年 2019年

1. 発表者名 J. Kadomoto, S. Mitsuno, H. Irie, and S. Sakai
2. 発表標題 An Inductively Coupled Wireless Bus for Chiplet-Based Systems
3. 学会等名 Asia and South Pacific Design Automation Conference (ASP-DAC) (国際学会)
4. 発表年 2020年

1. 発表者名 J. Kadomoto, H. Irie, and S. Sakai
2. 発表標題 WiXI: An Inter-Chip Wireless Bus Interface for Shape-Changeable Chiplet-Based Computers
3. 学会等名 IEEE International Conference on Computer Design (ICCD) (国際学会)
4. 発表年 2019年

1. 発表者名 J. Kadomoto, S. Mitsuno, H. Irie, and S. Sakai
2. 発表標題 An Inductively Coupled Wireless Bus for Inter-Chiplet Communication
3. 学会等名 International Conference on Solid State Devices and Materials (SSDM) (国際学会)
4. 発表年 2019年

〔図書〕 計0件

〔出願〕 計1件

産業財産権の名称 情報処理装置	発明者 入江英嗣，門本淳一 郎，坂井修一	権利者 同左
産業財産権の種類、番号 特許、2019-212966	出願年 2019年	国内・外国の別 国内

〔取得〕 計0件

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分担者	入江 英嗣 (Irie Hidetsugu) (50422407)	東京大学・大学院情報理工学系研究科・教授 (12601)	
研究 分担者	門本 淳一郎 (Kadomoto Junichiro) (10909386)	東京大学・大学院情報理工学系研究科・助教 (12601)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------