

令和 5 年 6 月 29 日現在

機関番号：15301

研究種目：基盤研究(C) (一般)

研究期間：2019～2022

課題番号：19K04351

研究課題名(和文) SiCデバイスのスイッチング動作時に発生する誤動作メカニズムの解明

研究課題名(英文) Elucidation of malfunction mechanisms occurring during switching periods of SiC devices

研究代表者

平木 英治 (Hiraki, Eiji)

岡山大学・環境生命自然科学学域・教授

研究者番号：20284268

交付決定額(研究期間全体)：(直接経費) 3,500,000円

研究成果の概要(和文)：SiCやGaNといった次世代ワイドギャップパワー半導体デバイスは、エネルギー問題に大きく貢献すると期待されているが、当初期待していたほどには社会への浸透が進んでいない。これは、次世代半導体デバイスの持つ「高速スイッチング性能」を最大限に発揮させようとする、自ら発生するノイズによる誤動作を生じることが大きな原因の一つである。これについて、従来から知られている「配線長を極力短くする」という対処法では解決することが出来ないことが多数報告されている。本研究では、配線長を最短にする努力をした上で依然として発生する誤動作対策方法を明らかにした。さらに、実機へ反映させるための回路実装技術を確立した。

研究成果の学術的意義や社会的意義

パワー半導体デバイスの誤動作を電気回路的にモデリングし、誤動作の抑制条件を具体的な回路パラメータの設計条件として示すことで、従来の経験的な視点による対策では対処できなかった問題に対する明確な指針を示すことができた。この成果は、これからのパワーエレクトロニクス分野、ひいては地球規模でのエネルギー問題に大きく貢献することになるであろう。

研究成果の概要(英文)：Next-generation wide-bandgap power semiconductor devices, such as SiC and GaN, are expected to make significant contributions to the energy problem. However, their penetration into society has not progressed as much as initially anticipated. One major reason for this is the occurrence of malfunctions due to self-generated noise when attempting to maximize the "high-speed switching performance" inherent in these next-generation power semiconductor devices. It has been reported that the conventional approach of minimizing wire length, which is known to mitigate this issue, is often ineffective. In this study, we have identified countermeasures against malfunctions that still occur even after making efforts to minimize wire length. Furthermore, we have established circuit implementation techniques to apply these countermeasures to practical devices.

研究分野：電力変換

キーワード：パワーエレクトロニクス ワイドギャップ半導体デバイス 誤動作

1. 研究開始当初の背景

SiC や GaN といったワイドギャップ半導体パワーデバイスは、高速スイッチング動作、高耐圧、低オン抵抗、高温動作可能という特徴を有している。これらの特徴を生かし、系統連携機器、鉄道車両、電気自動車等の電力変換器応用が期待されている。しかしながら、SiC パワーデバイスは、自らの高速スイッチング動作が引き起こすスイッチングノイズにより誤動作が発生しやすいという欠点を有しており、ワイドギャップ半導体パワーデバイスの普及に向けた大きな足枷となっている(図 1)。

これまで、ワイドギャップ半導体パワーデバイスの誤動作の要因として、ゲート駆動回路やパワーデバイスの配線に寄生する配線インダクタンスが指摘されており、従来の SiC パワーデバイスの誤点弧を抑制するアプローチとして、配線インダクタンス低減のために配線長を短くする努力がなされてきた。しかしながら、ワイドギャップ半導体パワーデバイスの適用が期待される分野では、動作電圧および電流が大きく、スイッチングノイズが極端に大きいため、配線長を最短にする努力だけでは誤点弧を十分に回避できないという問題が依然として存在する。

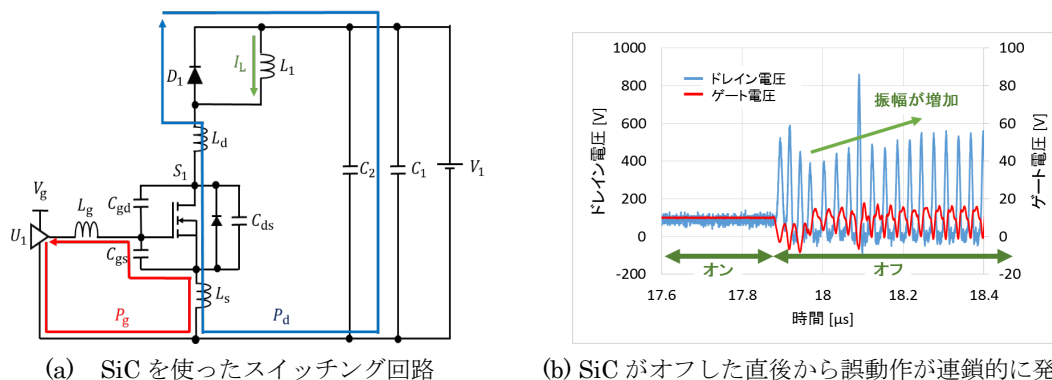


図 1. SiC-MOSFET の誤動作：(a)に示す回路の寄生インダクタンスとデバイスの寄生容量からなる LC 共振によって SiC パワーデバイスのターンオフ時に誤動作が発生している。

2. 研究の目的

本研究は、配線長を最短にする努力をした上で依然として発生する誤動作のメカニズムを分析し、その対策方法を解明する。さらに、実際の電力変換器に本研究で確立した対策方法を搭載可能にするための回路実装技術を確認する。

3. 研究の方法

本研究は、下記三つのステップに分け、研究を推進した。

STEP1 誤動作メカニズムの解明と誤動作抑制回路理論の構築既存の新型パワーデバイスおよび既存のスイッチング回路に発生する誤動作時の回路動作波形を再現・分析し、誤動作を模擬する等価回路モデルを回路シミュレータ上にモデル化する。さらにモデルの分析を通じて誤点弧の発生メカニズムを解明する。解明されたメカニズムを基に、誤動作抑制回路理論を構築する。

STEP2 単一パワーデバイス搭載回路での誤動作抑制理論の効果検証

誤動作抑制理論の実装有無を選択できるように単一のパワーデバイスを用いた実験用回路を設計・試作する。この回路を用いて、誤動作対策の有無で誤動作発生頻度の違い

を定量的に評価する。対策方法が特定のパワーデバイスや特定の配線に依存しないことを確認するため、様々なパワーデバイスや配線の回路基板を試作し、誤動作発生頻度を評価することで立案した誤点弧対策方法の妥当性を確認する。

STEP 3 複数デバイス搭載回路への実装技術確立

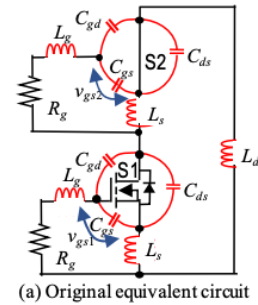
パワーデバイスを二つ搭載したハーフブリッジ回路において、前述の誤動作対策技術を搭載した回路基板を開発する。さらに、開発した基板において誤動作発生頻度を評価し、既存回路との比較により誤点弧抑制効果を定量的に評価する。

4. 研究成果

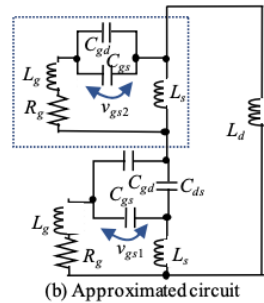
半導体電力変換回路の最もポピュラーな回路構造である上下アームからなるレグ構造(図 2(a)) をとりあげる。現在利用される電力変換回路の多くはこの回路をベースとしているからである。回路の配線インダクタンスやデバイスの寄生容量を落ち込んだ上で等価回路変換を施し、(c)の等価回路を得た。この等価回路を元に、半導体パワーデバイスのターンオフ直後にゲート電圧に出現するサージ電圧振幅を導出した結果、(1)式を得た。

$$\begin{aligned}
 V_{gs1} &\approx \frac{I_{res}}{C_{gs}} \sqrt{\frac{L_g^2}{R_g^2} \left(\frac{L_s}{L_g} - \frac{C_{gd}}{C_{ds}} \right)^2 + \frac{L_d}{C_{ds}} C_{gd}^2} \\
 &= I_{res} \sqrt{R_g^2 Q_g^4 \left(\frac{L_s}{L_g} - \frac{C_{gd}}{C_{ds}} \right)^2 + \frac{L_d}{C_{ds}} \frac{C_{gd}^2}{C_{gs}^2}}, \tag{1}
 \end{aligned}$$

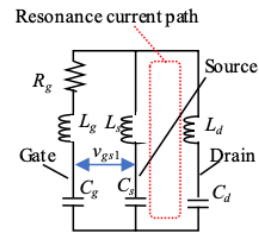
この式が示すことは、ゲート回路インダクタンス L_g とコモンソースインダクタンス L_s の比を、パワーデバイスの持つドレイン-ゲート端子間容量 C_{gd} とドレイン-ソース端子容量 C_{ds} の比に近づけることで、ゲート端子に表れる電圧サージ V_{gs1} を最小化でき、パワーデバイスの誤動作



(a) Original equivalent circuit

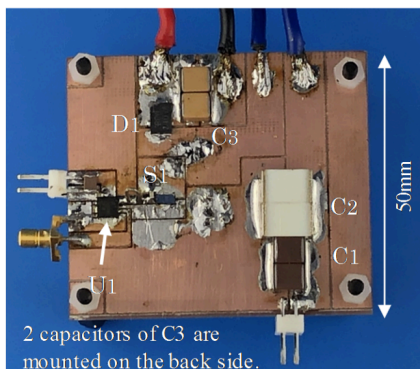


(b) Approximated circuit

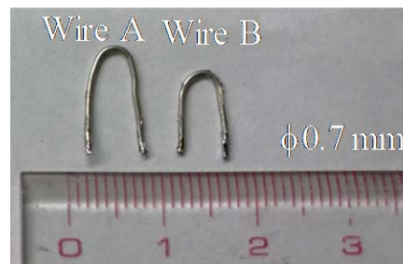


(c) Final equivalent circuit

図 2 ゲート端子に現れる電圧サージ推定用等価回路変換



(a) ハーフブリッジ回路全容



(b) 回路インダクタンス調整用 U 字ワイヤー

図 3 ターンオフ直後にゲート端子に現れる電圧サージ観測回路

を抑制できる可能性がある、ということである。

この概念を実験により検証した。図3に示す実験回路を構築し、パワーデバイスの寄生容量比を各端子にキャパシタを外付けして数水準設けた。また、回路の寄生インダクタンス比はU字ワ

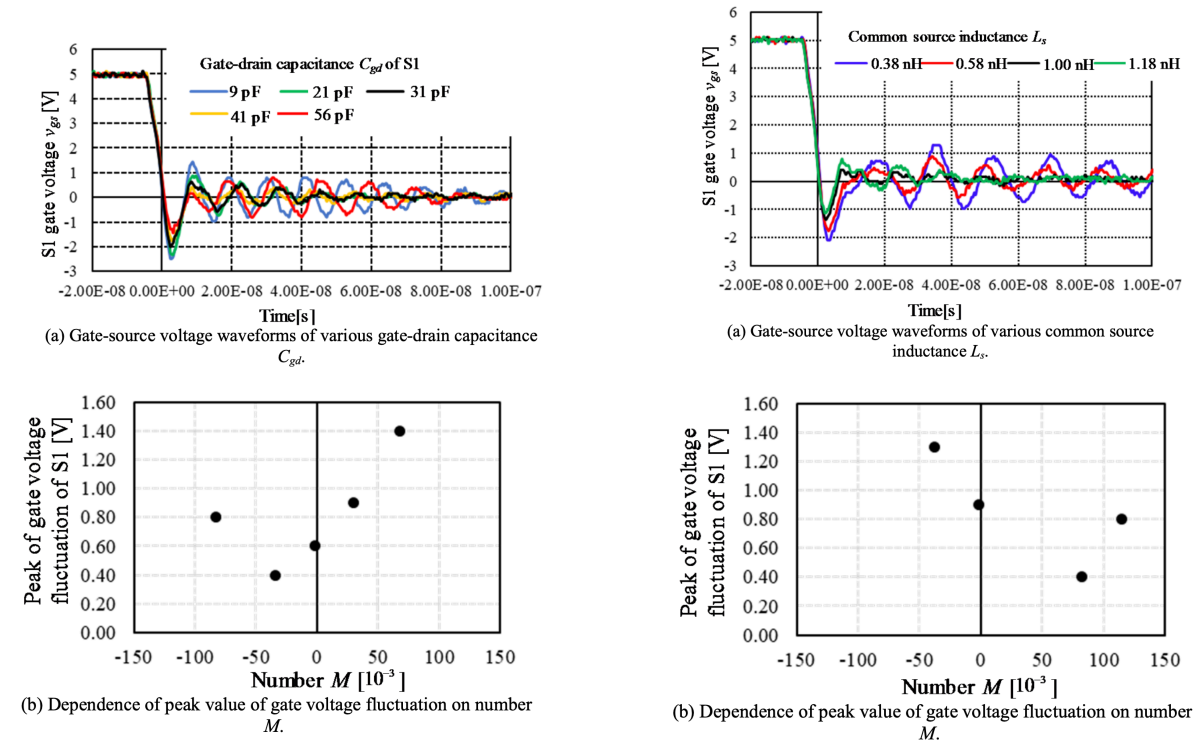


図4 検証実験結果

イヤーによるジャンパ線を付加することで数水準設けた。結果は図4に示すように、多少理論からはズレるが、ほぼ、横軸(Number $M = L_s/L_g - C_{gd}/C_{ds}$)がゼロ近辺になるよう回路パラメータを設定するとゲート端子に現れる電圧サージのピークが最小となることが確認できた。

この結果を受け、モビリティEVを想定したT0220パッケージSiC-MOSFETベースの10kVA級三相インバータを構築して、スイッチング評価試験を行った(図5)。その結果、ほぼパワーデバイスの定格電流値で駆動しても、誤動作無くスイッチング動作を行う事が確認できた。さらに、表面実装型 GaN-FET ベースの三相インバータを試作し、同様のゲート電圧サージ抑制効果が期待できることを確認することができた。

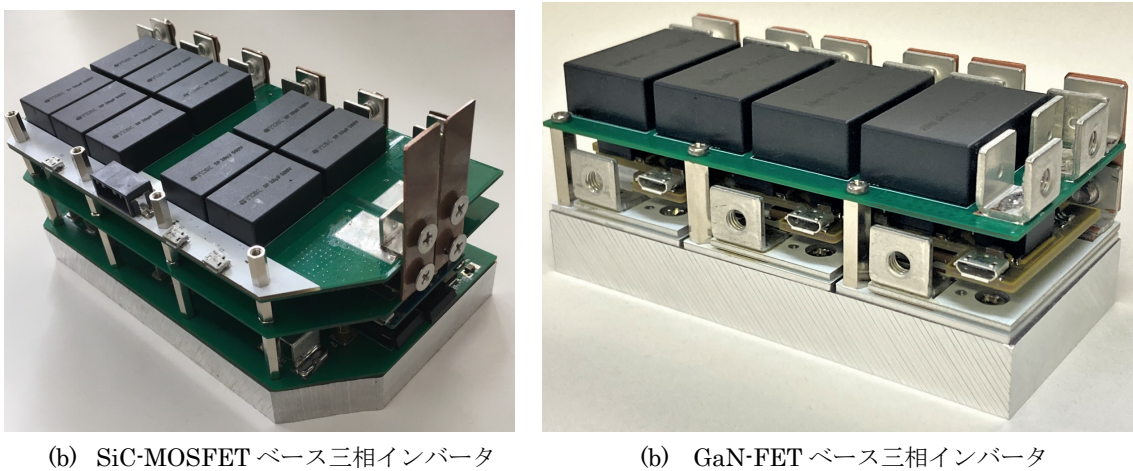


図5 試作した10kVA級三相インバータ回路

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計5件（うち招待講演 0件 / うち国際学会 3件）

1. 発表者名 Koki Abe, Masataka Ishihara, Yusuke Hatakenaka, Kazuhiro Umetani, Eiji Hiraki,
2. 発表標題 Feasibility of Parasitic Drain Inductance Design for Minimizing Switching Loss in Bridge Circuits Using GaN-FETs
3. 学会等名 IEEE 2021 30th International Symposium on Industrial Electronics (ISIE2021) (国際学会)
4. 発表年 2021年

1. 発表者名 Yusuke Hatakenaka, Kazuhiro Umetani, Masataka Ishihara, Eiji Hiraki, Hiroshi Tadano
2. 発表標題 Parasitic Inductance Design for Preventing Oscillatory False Triggering of Parallel-Connected GaN-FETs
3. 学会等名 IEEE 2021 47th Annual Conference of the IEEE Industrial Electronics Society (IECON2021) (国際学会)
4. 発表年 2021年

1. 発表者名 Yusuke Hatakenaka, Kazuhiro Umetani, Masataka Ishihara, Eiji Hiraki
2. 発表標題 Optimization of Common Source Inductance and Gate-Drain Capacitance for Reducing Gate Voltage Fluctuation after Turn-off Transition
3. 学会等名 EEE Energy Conversion Conf. Expo. (ECCE2020), Oct. 2020 (国際学会)
4. 発表年 2020年

1. 発表者名 秋間雅宏, 小西晃央, 梅谷和弘, 平木英治
2. 発表標題 アルミコア基板を用いた三相PWMインバータの熱設計
3. 学会等名 パワーエレクトロニクス学会
4. 発表年 2020年

1. 発表者名 竹原 佑, 石原將貴, 梅谷和弘, 平木英治
2. 発表標題 小型EV向け高電力密度インバータ実現に向けて低寄生インダクタンス・高放熱性能を両立するためのアルミ基板を用いたGaN-HEMT実装方法の提案
3. 学会等名 電気学会 D部門 半導体電力変換/モータドライブ合同研究会
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分担者	梅谷 和弘 (Umetani Kazuhiro) (60749323)	岡山大学・環境生命自然科学研究科・准教授 (15301)	

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 協力者	石原 將貴 (Ishihara Masataka)	岡山大学・環境生命自然科学研究科・准教授 (15301)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------