

令和 4 年 6 月 23 日現在

機関番号：31103

研究種目：基盤研究(C) (一般)

研究期間：2019～2021

課題番号：19K04516

研究課題名(和文)原子・ナノ積層構造制御による超高輝度な面放射型ホットエレクトロン放出デバイス

研究課題名(英文) Planar-type electron emission device with high emission efficiency and high energy emission based on atomic layer and nanocrystalline materials

研究代表者

嶋脇 秀隆 (Hidetaka, Shimawaki)

八戸工業大学・大学院工学研究科・教授

研究者番号：80241587

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：電子放出効率が著しく低いという欠点を除けば、ほぼ理想的な微小電子源である金属/酸化膜/半導体積層構造の平面型電子放出素子の欠点を克服するため、電子散乱の少ないグラフェンと極薄酸化被覆されたナノ結晶シリコンを用いたグラフェン/ナノ結晶シリコン/シリコン構造の電子放出素子を開発した。動作実験の結果、上部電極にグラフェンを用いることでこれまでに電子放出効率4%、放出電流密度6 A/cm<sup>2</sup>以上と大幅な特性向上を達成した。更に、10 kPa程度の低真空環境下でも安定して動作可能であることを明らかにした。

研究成果の学術的意義や社会的意義

電子透過性に優れたグラフェンとナノ結晶シリコンを用いた面放射型電子放出素子を提案し、従来型のMOS構造電子源の性能を向上させるとともに、低真空環境下においても安定して動作可能であることを実証した。この機能を活用した、真空以外の環境や真空が苦手な素材を扱う分野における電子ビームの新たな利用への展開が期待される。

研究成果の概要(英文)：We investigated the electron emission properties of a planar-type electron emission device based on a graphene/oxidized nanocrystalline silicon/silicon structure. The planar-type electron emission device exhibits electron emission characteristics with an electron emission efficiency of 4% and an emission current density of 6 A/cm<sup>2</sup>. In addition, the device shows stable electron emission under a rough vacuum of up to 10 kPa.

研究分野：電子ビームデバイス

キーワード：電子放出 ナノ結晶シリコン グラフェン

### 1. 研究開始当初の背景

MOS 構造平面型電子放出素子 (図 1)は、量子力学的トンネル現象に基づいて発生したホットエレクトロンを上部電極表面から放出させる素子である。従来の針状構造の電界放射型電子源と比べて、動作電圧が低い、構造がシンプルで製作が容易、面放射型であるためビーム指向性がよいなど優れた特長を有し、高精細ディスプレイ (FED) や高感度撮像素子、超小型 SEM/EB などの応用デバイスが提案されている。また、低真空でも動作可能なことから、近年、真空が苦手な分野での利用が注目されている。しかしながら、電子放出効率 (電子取り出し効率) が極めて小さい (0.1%以下) という欠点であり、実用化の妨げとなっている。この点を払拭できれば、FED などの応用デバイスのみならず、ホットエレクトロンの特長を活かした殺菌・滅菌や改質、溶液分解など新たな電子ビーム利用の展開が期待される。

MOS 型電子放出素子では、基板半導体の伝導帯から酸化膜の三角ポテンシャルをトンネルして酸化膜伝導帯を走行した電子のうち、上部金属電極を透過した電子は真空中に放出されるが、大部分の電子は、酸化膜と金属電極の伝導帯を走行する際に非弾性散乱を受けて電極材料の仕事関数以下までエネルギーを失い、電極表面の真空障壁を超えられずにダイオード電流として回収される。従って、MOS 型電子放出素子の電子放出効率を著しく改善するためには、絶縁膜および上部金属電極内での電子のエネルギー減衰問題を如何に克服するかが鍵となる。これまでの研究に基づけば、絶縁膜中でのエネルギー減衰の抑制には、酸化膜に代わってナノ結晶シリコン膜の利用が有効である。一方、金属電極での電子散乱を抑制するためには、電極を薄膜化しなければならない。しかしながら、膜厚 2nm 以下にすると低抵抗な連続膜を成膜することが難しいため、更なる薄膜化は困難であった。グラフェンは、原子 1 層 (0.35nm) の炭素原子が六角形の網目状に結合した 2 次元の導電体で、金属よりも電子の散乱断面積が小さいため、電子の散乱をほぼ無視することができ、電子放出効率の著しい向上が期待できる。従って、両者を組み合わせることで電子のエネルギー減衰問題は克服され、これまでに類を見ない高効率な平面型ホットエレクトロン放出素子の実現が期待される。

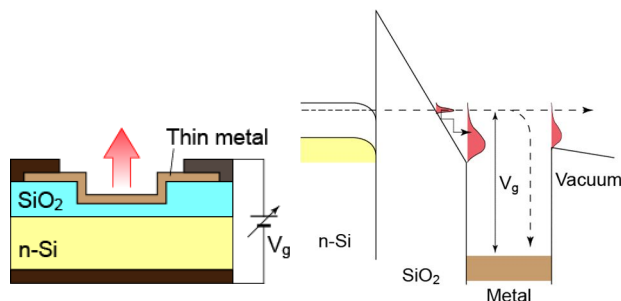


図 1 MOS 型電子放出素子の構造とバンド図

### 2. 研究の目的

MOS 型電子放出素子は、電子放出効率が低いことを除けば、ほぼ理想的な微小電子源といえる。本研究では、MOS 型電子放出素子における電子のエネルギー減衰を克服して高効率なホットエレクトロン放出素子を実現することを目的として、グラフェンと極薄酸化被覆されたナノ結晶シリコン層の積層構造からなるグラフェン/極薄酸化ナノ結晶シリコン/シリコン構造ホットエレクトロン放出素子 (図 2) を開発し、動作検証を行う。また、ナノ結晶系の電子放出機構について調査することも目的としている。

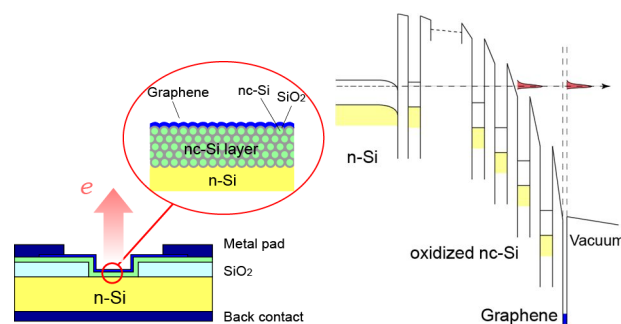


図 2 本研究で開発するホットエレクトロン放出素子の構造とバンド図

### 3. 研究の方法

#### (1) グラフェン/極薄酸化ナノ結晶シリコン/シリコン構造ホットエレクトロン放出素子の開発

図 3 に、グラフェン/極薄酸化ナノ結晶シリコン/シリコン積層構造ホットエレクトロン放出素子の製作プロセスを示す。酸化膜付き n 型 Si 基板 (a) に、フォトリソグラフィとウェットエッチングにより、電子放出部 ( $\phi 10\mu\text{m} \times 19$  アレイ、 $\phi 20\mu\text{m} \times 19$  アレイ、 $\phi 100\mu\text{m}$ 、 $\phi 200\mu\text{m}$ ) の酸化膜を開口し (b)、Nd:YAG レーザ (4 倍波: 266nm) を用いたパルスレーザーアブレーション (PLA) 法により nc-Si を堆積しながら、同時に、酸素ラジカルビーム照射による表面酸化を行う (c)。プロセス中、基板は、450 に加熱保持されている。その後、ゲート電極用多層グラフェン膜 (~2nm) を化学気相成長 (CVD) 法により 700~800 で基板全面に成膜し、フォトリソグラフィと酸素プラズマ処理によりパターンニングして素子分離し (d) 最後に、コンタクト用 Ni/Ti 電極を電子ビーム蒸着とリフトオフプロセスにより形成する (e)。ナノ結晶シリコン表面に形成された極薄酸化膜は、電子がナノ結晶シリコン膜中を走行する際のトンネル障壁となる。

## (2) 電子放出特性の測定系

電子放出特性の評価は、超高真空チャンバー内（真空度  $10^{-6}$  Pa）で行った。図 4 に、電子放出特性の測定系を示す。素子と対向して、素子上、約 5 mm の位置に素子から放出された電子を検出するためのアノード電極を設置した。ソース・メジャー・ユニット（SMU）を用いて、基板、ゲート電極、アノード電極に独立に電圧を印加し、各電極に流れる電流（基板電流  $I_s$ 、ゲート電流  $I_g$ 、アノード電流  $I_a$ ）を測定した。電子放出効率  $\eta$  は、次式で定義した。

$$\eta = \frac{I_a}{I_s} \times 100 \quad (\%)$$

放出電子のエネルギーは、アノード電極に代わり、2 枚の Cu メッシュ（#2000、透過率 50%）と Al コレクタからなる平行メッシュ型エネルギー分析器を用いて分析した。

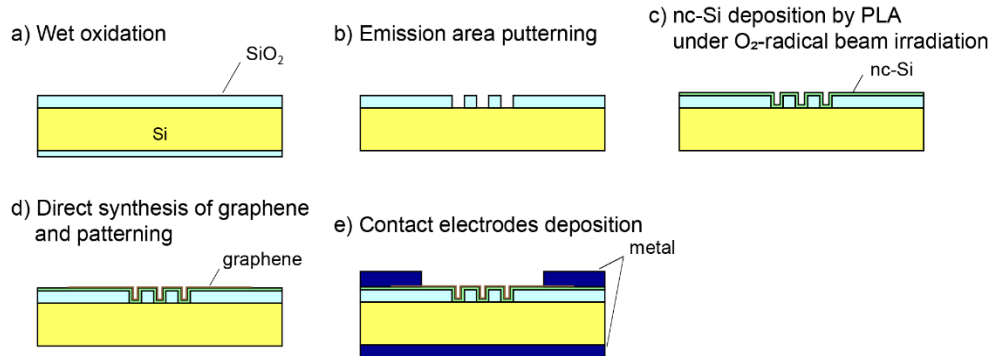


図 3 グラフェン/nc-Si/Si 構造ホットエレクトロン放出素子の製作プロセス

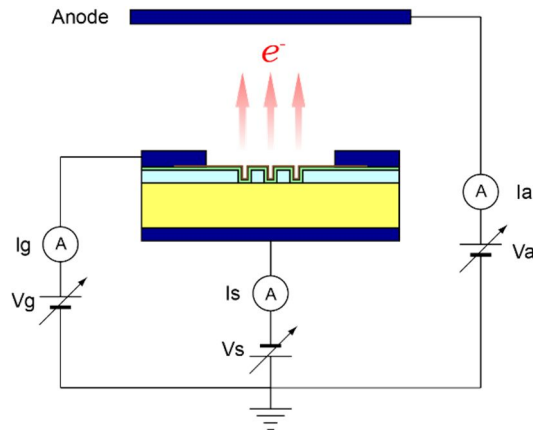


図 4 電子放出特性の測定系

## 4. 研究成果

図 5 に、作製したグラフェン/nc-Si/Si 構造電子放出素子の電子放出特性を示す。特性評価は、真空度  $10^{-6}$  Pa、アノードと素子の間隔 5 mm、アノード印加電圧 1 kV の下で行った。nc-Si 層が薄い（ $\sim 40$  nm）素子、厚い（ $\sim 90$  nm）素子、いずれもゲート電圧 10 V 程度からアノード電流が立ち上がり、電子放出が確認された。高電圧側では、グラフェンの抵抗が 200 k $\Omega$  程度と高かったため、電圧降下により飽和傾向にあるものの、アノード電流の最大値は 1  $\mu$ A を超える値となっている。これはエミッションエリアの面積（ $\phi 20 \mu\text{m} \times 19$  アレイ）から算出した電流密度に換算して 6.0 A/cm $^2$  を達成した。一方で、ゲートへのリーク電流が大きく、電子放出効率は、それぞれ、最大で 0.02%、1% と厚膜の方が高いものの、低い値に止まっている。主な要因として、グラフェンを直接合成する際に nc-Si 表面酸化膜の炭素による還元および水素によるエッチングに起因してリークパスの発生や絶縁耐性の劣化が挙げられる。

図 6 に、放出電子のエネルギースペクトルを示す。横軸の 0 eV は、グラフェンの仕事関数を 4.5 eV と仮定したときの真空準位に相当する。薄膜素子の場合、印加電圧の増加に伴い、低エネルギー側のしきい値、ピーク値ともに高電圧側に移動していくが、スペクトル形状はほぼ変わらない。一方、厚膜素子では、印加電圧が増加してもエネルギーのしきい値、ピーク値ともにシフ

トしておらず、形状はわずかに広がる。このことは、nc-Si層が薄い場合は、nc-Si層を伝導した電子はグラフェンの仕事関数より高いエネルギーを保持したまま電極に到達しており、nc-Si層が厚い場合は、電子はグラフェンの仕事関数近傍までエネルギーを失っていることを示唆している。

グラフェン/酸化ナノ結晶シリコン/シリコン構造における電子の伝導機構を検討するため、エミッション電流 - ゲート電圧特性を指数パラメータ  $\alpha = d(\ln I)/d(\ln V)$  により評価した。図7に、図5の電子放出特性から求めた  $\alpha - V$  プロットを示す。Fowler - Nordheim プロットおよび Poole - Frenkel プロットの切片と傾きを用いて FN トンネリングエミッションと PF エミッションを仮定し、フィッティングをかけた。その結果、nc-Si層が薄い場合は PF 伝導由来のエミッションがメイン、厚い場合は FN トンネリング由来のエミッションがメインとなっていることが分かった。

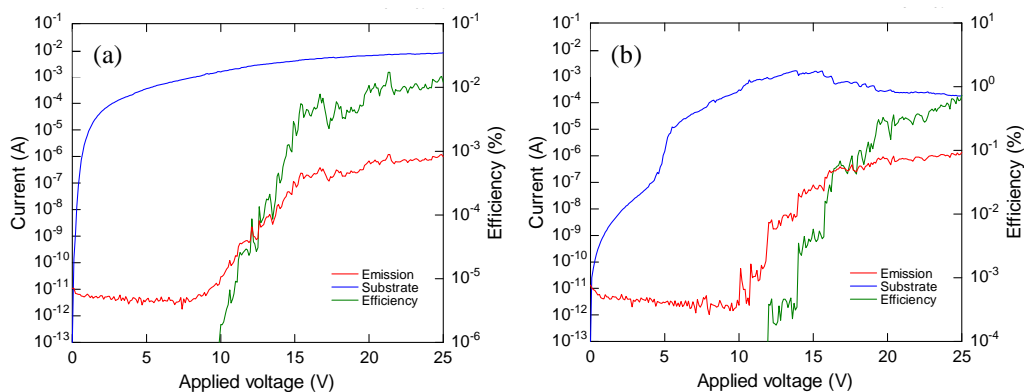


図5 グラフェン/nc-Si/Si 構造電子放出素子の電子放出特性：nc-Si 膜 (a) ~ 40nm、(b) ~ 90nm

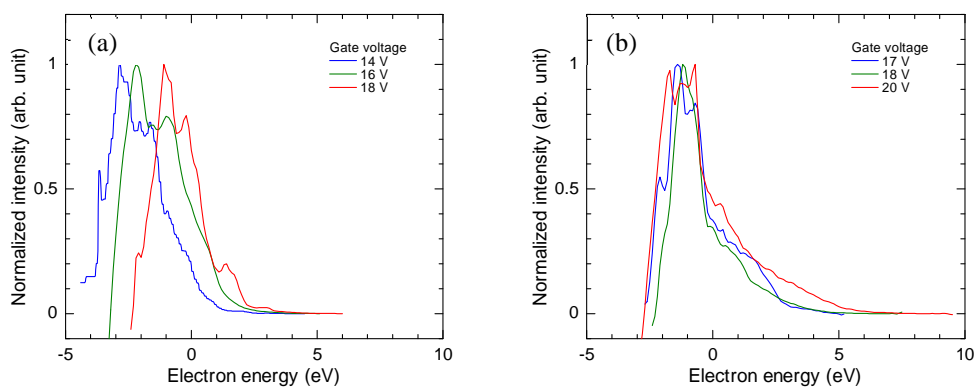


図6 放出電子のエネルギー分布：nc-Si 膜 (a) ~ 40nm、(b) ~ 90nm

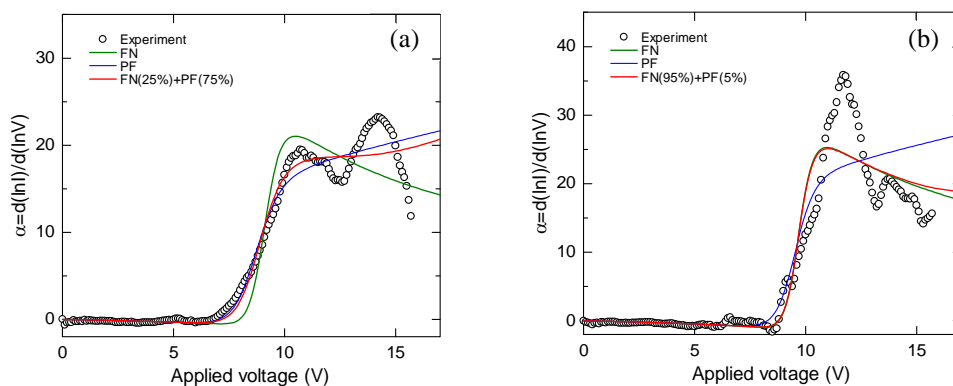


図7 電子放出特性の  $\alpha - V$  プロット：nc-Si 膜 (a) ~ 40nm、(b) ~ 90nm

グラフェン/nc-Si/Si 構造電子放出素子が真空環境以外でも動作することを確認するため、 $10^{-8}$  Pa の超高真空中で動作させた状態で、真空チャンバーに大気を導入しながら特性評価を行った。図 8 に、放出電流の真空度依存性を示す。放出電流は、 $10^{-8}$  ~  $10^3$  Pa までの真空度においてほぼ一定の値を示しており、低真空環境下においても正常に動作することが明らかとなった。これは、電子源の動作環境として真空を必要としないことを示しており、従来の電子源にはない平面型電子放出素子の極めて優れた特徴である。

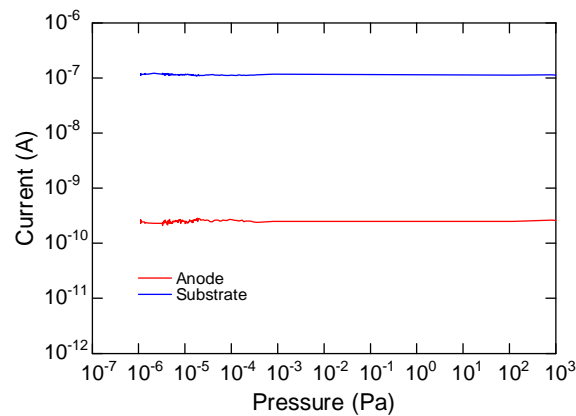


図 8 放出電流の真空度依存性

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 0件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 Shimawaki H., Murakami K., Nagao M., Mimura H.	4. 巻 1
2. 論文標題 Electron emission properties of planar-type electron emission sources based on nanocrystalline silicon	5. 発行年 2020年
3. 雑誌名 Technical Digest of the 33rd International Vacuum Nanoelectronics Conference	6. 最初と最後の頁 82, 83
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/IVNC49440.2020.9203289	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Shimawaki Hidetaka, Mimura Hidenori, Murakami Katsuhisa, Nagao Masayoshi	4. 巻 92
2. 論文標題 Electron Emission Study of Planar-Type Electron Emission Devices Based on Nanocrystalline Silicon	5. 発行年 2019年
3. 雑誌名 ECS Transactions	6. 最初と最後の頁 223 ~ 229
掲載論文のDOI（デジタルオブジェクト識別子） 10.1149/09204.0223ecst	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計4件（うち招待講演 1件／うち国際学会 2件）

1. 発表者名 嶋脇秀隆、村上勝久、長尾昌善、三村秀典
2. 発表標題 ナノ結晶シリコンを用いた平面型電子放出素子からの電子放出 ( )
3. 学会等名 第82回応用物理学会秋季学術講演会
4. 発表年 2021年

1. 発表者名 H. Shimawaki, K. Murakami, M. Nagao, H. Mimura
2. 発表標題 Electron emission properties of planar-type electron emission sources based on nanocrystalline silicon
3. 学会等名 33rd International Vacuum Nanoelectronics Conference (国際学会)
4. 発表年 2020年

1. 発表者名 H. Shimawaki、H. Mimura、K. Murakami、M. Nagao
2. 発表標題 Electron emission study of planar-type electron emission devices based on nanocrystalline silicon
3. 学会等名 236th Electrochemical Society Meeting (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 嶋脇秀隆、村上勝久、長尾昌善、根尾陽一郎、三村秀典
2. 発表標題 微結晶シリコンを用いた平面型電子源からの電子放射 ( )
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	村上 勝久  (Murakami Katsuhisa)  (20403123)	国立研究開発法人産業技術総合研究所・エレクトロニクス・ 製造領域・主任研究員   (82626)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------