

令和 4 年 6 月 17 日現在

機関番号：11301

研究種目：基盤研究(C) (一般)

研究期間：2019～2021

課題番号：19K04526

研究課題名(和文)p-MTJに基づく超低電力不揮発ニューロモーフィックアーキテクチャの確立

研究課題名(英文) Reseach on p-MTJ-Based Ultra-Low-Power Nonvolatile Neuromorphic Circuit Architecture

研究代表者

馬 奕涛 (MA, YITAO)

東北大学・電気通信研究所・助教

研究者番号：30622667

交付決定額(研究期間全体)：(直接経費) 2,800,000円

研究成果の概要(和文)：本研究は、スパイクニューラルネットワーク(SNN)専用回路アーキテクチャを実現するニューロモーフィックチップ(NC)システムの提案・設計・検証・評価を一貫に行い、STT-MRAMに基づく高速・低消費電力のメモリアイブ不揮発NC回路アーキテクチャを確立した。3年間に渡って独創的な不揮発NC回路を提案し、55nm-CMOS/56nm-MTJ混載技術に基づき、4Kシナプス/64ニューロンのNCコアを8個備えた深層SNN不揮発NC回路の設計検証に成功し、20nsスパイクの学習認識/自律電源管理の高速動作速度と $\mu$ Wレベルの低消費電力を達成し、国内外特許出願8件、学術論文7件と国際学会論文4件を出した。

研究成果の学術的意義や社会的意義

本研究は、STT-MRAMに基づいた高速・低消費電力の不揮発NC回路アーキテクチャを確立した。提案技術は、STT-MRAMの中核である垂直磁化型磁気トンネル接合(pMTJ)デバイスの優れた不揮発性および高速性、高書換耐性を活かすことにより、SNN処理のスパイク信号を電源駆動信号として用いる高速な自律電源管理を可能にし、デバイス、脳型情報処理と集積回路技術のフロンティアから脳型情報処理システムの電池駆動エッジデバイスへの応用に向けた基盤技術を創出した。その上に、本技術は生体脳のように素子ばらつきを許容して知能処理を行う脳型計算機構の解明等、脳科学や集積回路工学における新学理の発見にも貢献できる。

研究成果の概要(英文)：In this research, a high-speed and low-power memory-type nonvolatile neuromorphic-chip (NC) architecture is successfully established for realizing the spiking-neural-network (SNN) by coherently completing the circuit design, operation verification and performance evaluation of the NC system with the original proposed architecture. During the 3-year research, we firstly proposed the original nonvolatile NC circuit architecture consisting of MTJ-based multi-valued synapses and current-mode/voltage-mode neurons. Then, we completed the circuit design of the nonvolatile NC core for single SNN layer and the entire nonvolatile NC system with eight 4K-synapse/64-neuron NC cores for 8-layer deep SNNs under 55nm-CMOS/56nm-MTJ hybrid technology, and successfully verified the high operation speed of 20ns-spike learning/recognition and  $\mu$ W-level low power consumption. Based on these results, 8 domestic/international patents, 7 journal papers and 4 international conference papers are accomplished.

研究分野：集積回路システム

キーワード：高速・超低電力不揮発ニューロモーフィックシステム メモリアイブニューロモーフィックアーキテクチャ STT-MRAM スパイク・ニューラルネットワーク 全畳込み・ニューラルネットワーク 物体認識/パターン認識システム 多値の不揮発シナプス 電圧/電流モードニューロン

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

## 1. 研究開始当初の背景

将来の社会基盤になるスマートフォンやセンサーネットワーク、自動監視システム等の Internet-of-Things (IoT) 応用領域において、脳のような柔軟な知的情報処理システムが高く期待されている。人工知能ソフトウェアの高度化と CMOS デバイスの微細化に伴うハードウェアの高性能化により、従来は難しかった柔軟な認識や判断といった高度な情報処理を集積回路システムで実現することが可能となってきた。特に、脳の計算メカニズムを真似るスパイクング・ニューラルネットワーク (SNN: Spiking-Neural-Network) を専用回路アーキテクチャで実現したニューロモーフィックチップ (NC: Neuromorphic Chip) システムは、画像認識等の応用において驚異的な高性能の実現だけではなく、伝統的なディープラーニングに基づく GPU 計算機システムに比べて大幅な消費電力の削減も同時に達成でき、最近の人工知能ハードウェアの発展を強力にリードする存在となっている。

しかし、CMOS 集積回路技術だけに立脚した揮発の NC システムは、スパイクといった時系列信号を処理するために計算プロセスが冗長になり、ネットワークノード (ニューロン) 間の膨大な信号伝達を実現するために回路アーキテクチャが複雑になり、揮発メモリデバイスで認識と学習の情報を記憶するためにスタティック消費電力が支配的になる。これらの課題を解決するために、Phase-Change Memory (PCM) や Resistive Random Access Memory (ReRAM) などの不揮発メモリを用いた NC システムの開発が盛んに進められている。しかし、PCM や ReRAM のメモリ素子の比較的大きい書き換え電流と、低いアクセス速度、及び低い書き換え耐性の課題は、従来の不揮発 NC システムの更なる性能向上のボトルネックとなり、電池駆動型 IoT エッジデバイスへの実用化を妨げる大きな壁となる。このような壁を乗り越えるためには、高速化とコンパクト化、そして低電力化が達成できる不揮発 NC システムの開発が不可欠である。

## 2. 研究の目的

本申請は、申請者の所属する研究グループが開発した最先端スピントロニクス素子である垂直磁化型磁気トンネル接合 (p-MTJ: perpendicular Magnetic Tunnel Junction) 素子を用いて、その世界的な優位性を持っている省電力性および高速性、無限回の書き換え耐性等の特徴を活かし、ニューロモーフィック処理の記憶と演算機能をメモリセルに仕込むことにより、革新的なスピン注入メモリ (STT-MRAM: Spin-Transfer-Torque Magnetoresistive Random Access Memory) に基づく高速・低電力の不揮発 NC 回路アーキテクチャの確立を目的にしている。

## 3. 研究の方法

本研究は、申請者が勤めている東北大学国際集積エレクトロニクス研究開発センター (CIES) の設計環境と評価分析環境を活用し、p-MTJ に基づく不揮発 NC のモデルの確立から、実際の回路設計までの数領域を横断する手法を用いて研究を進め、将来の NC システム応用を大幅に広げられる、高速・コンパクト・低消費電力のメモリタイプ不揮発 NC 回路アーキテクチャを確立する。具体的には、3年間に渡って研究を展開して、p-MTJ 不揮発 NC アーキテクチャを提案・検証することにより、その性能優位性、及び、電池駆動 IoT デバイスへの実用化に向けた本技術の有用性を検証するのみならず、関連分野における新しい学理の発見も目指している。

2019 年度から、STT-MRAM セル回路に基づくシナプスとの CMOS ロジアナ混載回路に基づくニューロン体からなる不揮発ニューロンユニットのモデルを確立する。その中では、ニューロンユニットの中核コンポーネントであるシナプスに注目し、2 値または多値のデータが保持される場合を分けて、2 種のニューロンモデルを提案しパターン学習認識等の応用においてソフトウェア検証を行う。そして、p-MTJ をベースにして、2 値/多値のシナプスを実現するための 2 種類のシナプス回路構造を提案し、SPICE 回路シミュレーションでそれぞれのシナプス回路性能の検証と解析をする。それから、p-MTJ 素子を用いた高速な自律パワーゲーティング技術等を含む各種要素技術の開発も並行的に展開する。2020 年度では、提案したニューロンユニットモデルをベースに、電流モード/電圧モードの 2 種のニューロン単体回路のアーキテクチャを提案し、SPICE 回路シミュレーションによる動作検証を行う。検証比較の結果に基づいて、最適なシナプスとニューロン体の組み合わせ構成を用いた、シングルレイア SNN を実現する不揮発 NC コアの設計と回路シミュレーション検証を完成する。2021 年度では、設計した不揮発 NC コアアーキテクチャをベースにして、画像認識等の IoT 応用に向けて多層の Deep-SNN を実現する不揮発 NC システムを CIES の CMOS/MTJ 混載技術に基づく設計環境を用いて設計し、処理速度と消費電力性能を評価し、その性能優位性を検証する。更に、Monte Carlo SPICE シミュレーションにより、p-MTJ 特性バラツキに伴うシナプスとニューロン単体回路の動作変動を解析する。物体検出等の応用におけるデモシステムを組み立て、FPGA デモ実装も試みる。

#### 4. 研究成果

本研究は、深層 SNN 向けの専用回路アーキテクチャを実現する NC システムの提案・設計・検証・評価を一貫に行い、STT-MRAM に基づく高速・低消費電力のメモリタイプ不揮発 NC 回路アーキテクチャを確立し、その動作速度と消費電力性能について大きな優位性を示した。

具体的に、初年度では、当初計画通りに、2 値シナプスと 8 値シナプスの STT-MRAM に基づく回路モデルを提案し、加えて、電圧モード/電流モードニューロンの 2 種類の Floating-Gate トランジスタに基づく回路モデルを提案しました。CIES の実測評価データから生成した MTJ デバイス特性をベースに高精度の SPICE 回路モデルを作成し、CIES 設計プラットフォームを活用して SPICE 回路シミュレーション検証を行い、シナプスとニューロン体の回路動作を確認した。SNN 処理の精度、速度と消費電力を比較する結果、多値シナプス及び電圧モードニューロンから構成される NC の方は高速と低消費電力性能が両立できると判明し、その「ニューロン回路」と「シナプス駆動方式」の成果をベースに特許を 1 件出願した。提案シナプス回路のシミュレーション動作検証結果、及び、CIES 先行の STT-MRAM ベース画像連想メモリチップの測定評価結果をもとに、1T-1MTJ 構成の記憶素子より、差動対型の 2T-2MTJ 素子また 4T-2MTJ の方が本研究の NC アーキテクチャに適していると判明した。この成果内容をベースに、国際学会論文 1 件と学術論文 1 件を発表した。

次年度から、提案した多値のシナプス回路と、電圧モードニューロン体回路を用いて、1K シナプスと 1 個のニューロン体から構成されるニューロンユニット回路アーキテクチャを設計し、SPICE シミュレーションを用いて、10ns 高速スパイク入力に対するスパイクタイミング依存可塑性(STDP)学習と SNN 認識の回路動作を検証できた。設計したニューロンユニット回路を用いて、単レイア SNN を実現する 1M シナプス・1K ニューロンの不揮発 NC コアの設計検証を完成した。SPICE 検証結果から、提案不揮発 NC コアは、SNN 処理のための高速スパイク入力によって、同時にシナプス演算動作制御とシナプスの自律パワーマネジメント制御を行うことで、設計した不揮発 NC システムにおける大幅な消費電力削減効果を示した。シナプス演算動作制御をベースに国内外特許 3 件を出願した。更に、本提案の STDP 学習の比較対象とする、クラスタリング教師無学習 TEG 回路の実測と性能評価を行い、本提案の SNN 認識の比較対象とする全畳込みニューラルネットワーク (FCNN: Fully Convolutional Neural Network) 認識の量子化技術を提案し同じく性能評価を行い、その研究成果で学会論文 2 件と学術論文 4 件を発表した。

最終年度には、これまでの結果に基づき、CIES の 55nm-CMOS/56nm-MTJ 混載技術の設計環境を活用して、4K シナプス/64 ニューロンの NC コアを 8 個備えた不揮発 NC システムの全体設計を完成した。設計した不揮発 NC システムは、20ns スパイクに基づく 8 レイア深層 SNN の高速画像学習認識演算処理と高速自律パワーゲーティング制御が同時に実現でき、1V 電源電圧の下で、 $\mu\text{W}$  レベルの超低消費電力性能を達成し、応答速度と消費電力における大きな性能優位性を示した。上記成果に基づいて、4 件の国内外特許出願に加え、提案不揮発 NC システムに適する STT-MRAM 構成や高速パワーゲーティング等の要素技術の検討、及び、不揮発 NC システムの学習と認識における性能比較のための K-means 学習回路や CNN 認識回路等の検討も含めて、学術論文 2 件と国際学会論文 1 件を発表した。

本提案技術は、STT-MRAM の中核である pMTJ デバイスの優れた不揮発性および高速性、高書換え耐性を活かすことにより、深層 SNN 処理のスパイク信号を電源駆動信号として用いる高速な自律電源管理を可能にし、デバイス、脳型情報処理と集積回路技術のフロンティアから脳型情報処理システムの消費電力課題の強力な技術解決策を確立し、電池駆動エッジデバイスへの応用に向けた基盤技術を創出につながると期待できる。

## 5. 主な発表論文等

〔雑誌論文〕 計7件（うち査読付論文 7件/うち国際共著 0件/うちオープンアクセス 0件）

1. 著者名 Hui Shen, Yitao Ma, Tetsuo Endoh	4. 巻 60
2. 論文標題 High Accurate and Efficient Cluster Validation Index Engine using Global Separation and Local Dispersion Architecture for Adaptive Image Clustering Systems	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SBBL02(1-14)
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1347-4065/abdad2	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Tao Li, Yitao Ma, Tetsuo Endoh	4. 巻 8
2. 論文標題 Systematic Study of Tiny YOLO3 Inference: Toward Compact Brainware Processor with Less Memory and Logic Gate	5. 発行年 2020年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 142931-142955
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ACCESS.2020.3013934	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Tao Li, Yitao Ma, Hui Shen, Tetsuo Endoh	4. 巻 69
2. 論文標題 FPGA Implementation of Real-time Pedestrian Detection Using Normalization-based Validation of Adaptive Features Clustering	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Vehicular Technology	6. 最初と最後の頁 9330 - 9341
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TVT.2020.2976958	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Tao Li, Yitao Ma, Tetsuo Endoh	4. 巻 8
2. 論文標題 Normalization-Based Validity Index of Adaptive K-Means Clustering for Multi-Solution Application	5. 発行年 2020年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 9403-9419
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ACCESS.2020.2964763	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yitao Ma, Sadahiko Miura, Hiroaki Honjo, Shoji Ikeda and Tetsuo Endoh	4. 巻 59
2. 論文標題 A free-extendible and ultralow-power nonvolatile multi-core associative coprocessor based on MRAM with inter-core pipeline scheme for large-scale full-adaptive nearest pattern searching	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics (JJAP)	6. 最初と最後の頁 SGGB18(1-11)
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/ab72d0	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tao Li; Yitao Ma; Ko Yoshikawa; Osamu Nomura; Tetsuo Endoh	4. 巻 18
2. 論文標題 Energy-Efficient Convolution Module With Flexible Bit-Adjustment Method and ADC Multiplier Architecture for Industrial IoT	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Industrial Informatics	6. 最初と最後の頁 3055-3065
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TII.2021.3106242	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Li Zhang; Yitao Ma; Tetsuo Endoh	4. 巻 Early Access
2. 論文標題 Efficient BCH Code Encoding and Decoding Algorithm with Divisor-Distance-Based Polynomial Division for STT-MRAM	5. 発行年 2022年
3. 雑誌名 IEEE Transactions on Magnetics	6. 最初と最後の頁 1-1
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TMAG.2022.3142917	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計4件(うち招待講演 0件/うち国際学会 4件)

1. 発表者名 Hui Shen, Yitao Ma, Tetsuo Endoh
2. 発表標題 A High Accuracy Cluster Validation Index Processor using Novel Global Separation and Local Dispersion based Architecture for High Efficiency Machine Learning
3. 学会等名 2020 International Conference on Solid State Devices and Materials (国際学会)
4. 発表年 2020年

1. 発表者名 Hui Shen, Yitao Ma, Tetsuo Endoh
2. 発表標題 A High Accuracy Cluster Validation Index Processor using Novel Global Separation and Local Dispersion based Architecture for Low-Power MTJ/CMOS Hybrid Machine Learning System
3. 学会等名 The 4th Symposium for The Core Research Clusters for Spintronics (国際学会)
4. 発表年 2020年

1. 発表者名 Yitao Ma, Sadahiko Miura, Hiroaki Honjo, Shoji Ikeda and Tetsuo Endoh
2. 発表標題 An Ultra-Low-Power STT-MRAM-Based Multi-Core Associative Coprocessor with Inter-Core Pipeline Scheme for Large-Scale Full-Adaptive Nearest Pattern Search
3. 学会等名 2019 International Conference on Solid State Devices and Materials (SSDM2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Yitao Ma, Tao Li, and Tetsuo Endoh,
2. 発表標題 High-accuracy and High-power-efficiency Intelligent Processing Circuit Engines for Adaptive Learning and Recognition on AI Processor Systems
3. 学会等名 The 5th Symposium for The Core Research Clusters for Materials Science and Spintronics (国際学会)
4. 発表年 2021年

〔図書〕 計0件

〔出願〕 計8件

産業財産権の名称 シナプス回路の駆動方法	発明者 馬奕涛、遠藤哲郎	権利者 東北大学
産業財産権の種類、番号 特許、PCT/JP2020/037440	出願年 2020年	国内・外国の別 外国

産業財産権の名称 半導体回路装置	発明者 馬奕涛、遠藤哲郎、沈暉	権利者 東北大学
産業財産権の種類、番号 特許、2021-062302	出願年 2020年	国内・外国の別 国内

産業財産権の名称 シナプス回路の駆動方法	発明者 馬奕涛、遠藤哲郎	権利者 東北大学
産業財産権の種類、番号 特許、2019-182549	出願年 2019年	国内・外国の別 国内

産業財産権の名称 半導体回路装置	発明者 馬奕涛、遠藤哲郎、 沈暉	権利者 東北大学
産業財産権の種類、番号 特許、PCT/JP2022/016880	出願年 2022年	国内・外国の別 外国

産業財産権の名称 半導体回路装置及び論理回路設計支援装置	発明者 吉川浩、馬奕涛、遠 藤哲郎、野村修、L I T A O	権利者 東北大学
産業財産権の種類、番号 特許、2021-148212	出願年 2021年	国内・外国の別 国内

産業財産権の名称 演算処理装置	発明者 野村修、遠藤哲郎、馬 奕涛、吉川浩	権利者 東北大学
産業財産権の種類、番号 特許、2021-101996	出願年 2021年	国内・外国の別 国内

産業財産権の名称 シナプス回路の駆動方法	発明者 馬奕涛、遠藤哲郎	権利者 東北大学
産業財産権の種類、番号 特許、2021-551453	出願年 2020年	国内・外国の別 国内

産業財産権の名称 シナプス回路の駆動方法	発明者 馬奕涛、遠藤哲郎	権利者 東北大学
産業財産権の種類、番号 特許、17/765,721	出願年 2020年	国内・外国の別 外国

〔取得〕 計0件

〔その他〕

<p>Tohoku University Research News of Engineering  <a href="http://tune.eng.tohoku.ac.jp/vol103/column/01.html">http://tune.eng.tohoku.ac.jp/vol103/column/01.html</a>          上記WEBページのように、研究紹介記事が掲載されたことがあります。</p>
---

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件



8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------