

令和 6 年 4 月 2 日現在

機関番号：13302

研究種目：基盤研究(C)（一般）

研究期間：2019～2023

課題番号：19K11873

研究課題名（和文）IoTデバイスのための組込みアプリケーションへの自動適応化技術

研究課題名（英文）Automatic System-Adaptation Techniques for Embedded Applications in IoT Devices

研究代表者

田中 清史（Tanaka, Kiyofumi）

北陸先端科学技術大学院大学・先端科学技術研究科・教授

研究者番号：20333445

交付決定額（研究期間全体）：（直接経費） 3,400,000円

研究成果の概要（和文）：組込みアプリケーションの要求にしたがって、必要最小構成のCPUとOSを自動生成する技術を研究し、IoT時代における機器開発の効率化、コスト削減、および性能向上を支援すること、およびアプリケーションに最適なタスクスケジューリングによるリアルタイム性の向上を目的とした。研究期間を通して、CPUの適応化手法の提案とツールの実装、組込みOSの適応化手法の提案とツールの実装、各種適応型リアルタイムスケジューラの実装、および適応化によるシステム規模と性能の評価について研究を行った。評価において、CPU、OS、スケジューラの適応化により、コンパクト化、高速化、リアルタイム性の向上が可能であることが示された。

研究成果の学術的意義や社会的意義

個々の機器にとっての最適性を目指すために、従来の汎用CPUおよびOSを見直し、機器に適応して必要最小限の機能と適切なスケジューリング機構を自動的に提供する手法とツールを開発した。これにより、機器の開発期間を延長することなく電力およびコストの削減、実行効率向上を達成することで、機器設計・開発の在り方を示した。従来の組込みシステムでは、自動車やロボット制御に代表されるように、リアルタイム性が要求されるアプリケーションが多数存在する。今後のIoT機器においてもリアルタイム性を重視する機器の多岐化が予想されることから、本研究によるコストとリアルタイム性の両面を向上する手法は意義が大きい。

研究成果の概要（英文）：We have researched a technology to automatically generate the minimum required CPU and OS configuration for embedded applications, aiming to improve the efficiency, reduce costs, and enhance performance in equipment development in the IoT era. We also aim to improve real-time performance through optimal task scheduling for applications. Throughout the research period, we proposed adaptive methods for CPU, embedded OS, and task schedulers, and implemented the corresponding tools. The evaluation of the proposed methods showed that compactness, speed, and real-time performance can be improved by optimizing the CPU, OS, and scheduler.

研究分野：組込みシステム

キーワード：リアルタイムシステム 命令セット 適応化 FPGA リアルタイムスケジューリング

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

計算機はかつて目的を限定した専用機として誕生したが、フォンノイマン型コンピュータの登場によって、メモリ内のプログラムを交換することにより同一ハードウェアで様々なアプリケーションが実行可能となった。現在主流の汎用コンピュータは、あらゆるアプリケーションの機能/性能要求を満たすために豊富な命令群と機能を提供している。

組込み分野において各々の機器はアプリケーションが限定されるが、共通コンポーネントである CPU は広範囲の組込み分野に対応するために、汎用コンピュータと同様、多数の機能/命令を提供するものが使用される。したがって、各組込みシステムにとってはそのアプリケーションで使用されない機能とそのハードウェア要素は冗長であり、ハードウェア規模、コスト、および電力の観点から悪影響を及ぼす要因である。リソース制約の厳しい組込み/IoT 機器において、このような汎用的な CPU を使用することは疑問が残る。個々のアプリケーションに最適な CPU を従来の設計開発工程により個別に開発することは、今後の IoT 機器の多様化と個別開発に要する期間およびコストを考慮すると現実的ではない。したがって、コストと開発負担を軽減しつつ、システムの適応化/最適化を実現する設計開発手法が望まれる。

もう一つの共通コンポーネントである組込み OS は、ITRON や OSEK に代表されるように、単機能のシステムコールの集合として定義される。その集合のうち、アプリケーションが使用するシステムコールのみが製品に搭載されるため、使用されないシステムコールの存在がリソース制約の厳しい機器のメモリを圧迫することはない。しかし、各システムコールのコード内部では、アプリケーションが指定する「属性(当該システムコールの使用法)」により振舞いが場合分けされている箇所が多数存在し、指定されない属性に対応するコード断片は無駄であり、メモリ使用量を増大させることになる。また、各システムコールは起こりうるエラーのチェックを多数行うが、アプリケーションの構成によっては発生し得ないエラーが存在する。そのような発生しないエラーに対するチェックコードはメモリ使用量のみでなく、実行効率にも悪影響を及ぼすことになる。個々のアプリケーションに最適なシステムを構築するためには、このような無駄なコード断片をできる限り削除することが望ましい。

従来の組込みシステムでは、自動車やロボット制御に代表されるように、リアルタイム性が要求されるアプリケーションが多数存在する。今後の IoT 機器においてもリアルタイム性を重視する機器が多岐にわたることが予想される。リアルタイム性を左右する最も重要な要素は OS によるタスクスケジューリングである。従来から様々なスケジューリングアルゴリズムが研究され、それらはスケジュール可能性の確保、タスクの応答時間の短縮、あるいはジッタの削減などを目的としてきた。これらのスケジューリングアルゴリズムはそれぞれ目的が異なるため、アプリケーションの要求によって最適なアルゴリズムが異なる。一方、組込み OS が提供するスケジューリングアルゴリズムは固定されており、汎用性の確保のためにアプリケーションにとっての最適性が犠牲にされている。アプリケーションの要求の多様化が進む今後において、OS のスケジューリングアルゴリズムがアプリケーションに適応可能であることが望まれる。

2. 研究の目的

個々の機器にとっての最適性を目指すために、汎用的な従来の CPU および OS を見直し、機器に適応して必要最小限の機能と適切なスケジューリング機構を自動的に提供する。開発期間を延長することなく電力およびコストの削減、実行効率向上を達成することで、今後の IoT 時代における機器設計・開発の在り方を示すことが本研究の目的である。

本研究の成果となる設計開発技術は組込み機器専用の ASIC チップ製造に適用可能であるが、本

研究では特にハードウェア論理を変更可能な FPGA (Field Programmable Gate Array) デバイスを対象とする。近年注目されている FPGA は、その用途の広さから、これまで主流であった ASIC と比較して大量生産による低コスト化が期待でき、またアプリケーション適応化技術によるハードウェア構成の変更に対して即時対応可能な点で最適なデバイスである。FPGA を対象とした CPU と OS の一体化された適応化技術が本研究の特色の一つである。

本研究における CPU の適応化は、汎用性を目指してきた従来の CPU アーキテクチャと異なり、アプリケーションの要求にしたがってアプリケーションに特化する CPU を実現することに特長があるが、同様に命令レベルでアプリケーション適応化を行うプロセッサとして ASIP (Application-Specific Instruction set Processor) がある。開発者による明示的な命令取捨選択に依存する従来の ASIP に対し、本研究の適応化はアプリケーションコードを自動解析することにより開発者の負担を軽減しつつ、かつ命令レベルのみでなく、実行パイプライン構成からマルチコア構成に至るまで、細粒度のマイクロアーキテクチャレベルでアプリケーション適応化を実現することに独自性がある。これにより、共通ハードウェア要素で様々なアプリケーションを実行可能であるプログラム格納型コンピュータの利点を活かしつつ、アプリケーションに特化した構成を効率よく抽出することで性能、電力、コスト削減を実現する。

OS の適応化は CPU 適応化と同様、対象アプリケーションのコード解析に基づく最適化技術の提案である。理論的な最適化技術を提案しつつ、ITRON などの実際に広く採用されている OS 仕様のインタフェースを対象とすることで、実用的な手法を提供する。従来は固定されていたスケジューリングアルゴリズムをアプリケーションに適応して変更可能とすることで、IoT 機器のリアルタイム性要求に対して最適な OS を提供する。

3. 研究の方法

本研究では、今後益々利用が増大していくことが予想される FPGA デバイスを対象として、提案する CPU のアプリケーションへの適応化技術によって CPU 規模と回路の複雑さを削減することで、より小容量(低コスト)の FPGA デバイスでシステム構築が可能となること、および動作速度の向上と消費電力の削減が可能となることを示す。併せて、OS の適応化によって実行効率が向上すること、およびメモリ使用量の削減によりシステムに課されるメモリ制約に対して有利になることを示す。さらに、スケジューリングアルゴリズムの適応化により、要求されるリアルタイム性を向上(応答時間やジッタを削減)できることを示す。

本研究が予定した研究項目は、(1)CPU 適応化の方針検討、(2)CPU 適応化の詳細設計、(3)OS 適応化の方針検討、(4)OS 適応化の詳細設計、および(5)各種リアルタイムスケジューリングアルゴリズムの実装、(6)適応化用 CPU の詳細設計・開発、(7)CPU 適応化ツールの実装、(8)適応化用 OS の詳細設計・開発、(9)OS 適応化ツールの実装、(10)適応化 CPU・OS の評価、(11)適応化スケジューラの実装、および(12)適応化スケジューラのリアルタイム性評価である。初年度は主に(1)～(5)について研究を進め、本研究で目的とする自動適応化技術の準備が整った。2020 年度以降は(6)～(12)について研究を進め、評価において提案手法の有効性が示された。

4. 研究成果

初年度は、(1)において、組込みシステムで使用実績のある MIPS 命令セット、および現在新たな命令セットとして注目されている RISC-V 命令セットを対象とし、コスト/消費電力削減を目的とし、機器上で実行されるアプリケーションにおいて必要な命令のみを実行するプロセッサを生成する技術の基本方針を検討・策定した。この基本方針に基づき、(2)において、アプリケーションプログラムのバイナリコードを解析し、必要な命令のみを抽出し、それらの命令を実行するために必要なデータパス/制御論理のみ

を持つマイクロアーキテクチャを自動生成する開発環境の基本設計を行った。(3)および(4)では、対象アプリケーションが使用するシステムコールに対して、使用する機能のコードのみを残し、その他のコード断片を削除する方式を考案し、これを自動的に行うツールの基本設計を行い、実行コードの削減量と実行時間の短縮量についての予備評価を行った。(5)においては、マルチプロセッサ上での従来の最適なリアルタイムスケジューリングと比較し、マイグレーション回数とスケジューラ起動回数を削減するアルゴリズムを提案し、研究代表者が過去に研究開発した組み込みオペレーティングシステムにこの提案アルゴリズムを実装し、FPGA を搭載する評価基盤上で評価を行った。以上の研究成果について国内研究会および国際会議で発表を行った。

2020年以降は、上記項目(6)について、組み込みシステムで使用実績のあるMIPS命令セット、および現在新たな命令セットとして注目されているRISC-V命令セットを対象とし、コスト/消費電力削減を目的とし、機器上で実行されるアプリケーションにおいて必要な命令を実行するためのハードウェア資源のみを持つ最適化されたプロセッサを生成する技術について、初年度に策定した基本方針および詳細設計に基づき、実際に設計を行った。設計したCPUはFPGAを対象として正しく動作することが確認された。これと並行して、項目(8)において、初年度に実施した適応化OSの方針検討および詳細設計に基づき、適応化対象となる組み込みOSを設計し、上記のCPUと組み合わせでFPGA上で正しく動作することが確認された。項目(11)において、適応化スケジューラの実装を行った。対象タスクスケジューリング方式は本研究で提案・評価してきた方式である。以上の研究成果について国際会議で発表を行い、またその一部はジャーナル論文として掲載された。

5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件/うち国際共著 0件/うちオープンアクセス 3件）

1. 著者名 Takaharu Suzuki, Kiyofumi Tanaka	4. 巻 31
2. 論文標題 Real-time Scheduling Algorithm with Execution Right Delegation for Multiprocessor	5. 発行年 2023年
3. 雑誌名 Journal of Information Processing	6. 最初と最後の頁 67-77
掲載論文のDOI（デジタルオブジェクト識別子） 10.2197/ipsjjip.31.67	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Tetsuo Miyauchi, Kiyofumi Tanaka	4. 巻 28
2. 論文標題 Building Fine-Grained Configurable ITRON Based RTOS	5. 発行年 2020年
3. 雑誌名 Journal of Information Processing	6. 最初と最後の頁 395-405
掲載論文のDOI（デジタルオブジェクト識別子） 10.2197/ipsjjip.28.395	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Tetsuo Miyauchi, Kiyofumi Tanaka	4. 巻 28
2. 論文標題 Solving Slitherlink with FPGA and SMT Solver	5. 発行年 2020年
3. 雑誌名 Journal of Information Processing	6. 最初と最後の頁 959-969
掲載論文のDOI（デジタルオブジェクト識別子） 10.2197/ipsjjip.28.959	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Takaharu Suzuki, Kiyofumi Tanaka	4. 巻 16
2. 論文標題 A New Scheduling Algorithm for Shortening Response Time of Static Priority Task	5. 発行年 2022年
3. 雑誌名 ECTI Transactions on Computer and Information Technology (ECTI-CIT)	6. 最初と最後の頁 208-221
掲載論文のDOI（デジタルオブジェクト識別子） 10.37936/ecti-cit.2022162.245352	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕 計7件（うち招待講演 0件 / うち国際学会 6件）

1. 発表者名 Takaharu Suzuki, Kiyofumi Tanaka
2. 発表標題 Implimentation of ERD-light Scheduling Algorithm on FreeRTOS without Kernel Modification
3. 学会等名 Asia Pacific Conference on Robot IoT System Development and Platform (APRIS) (国際学会)
4. 発表年 2021年

1. 発表者名 Aye Myat Mon, Kiyofumi Tanaka
2. 発表標題 A New Memory Consistency Model for Real-Time Multicore Processors
3. 学会等名 IEEE TENCON (国際学会)
4. 発表年 2021年

1. 発表者名 Takaharu Suzuki, Kiyofumi Tanaka
2. 発表標題 Execution Right Delegation Scheduling Algorithm for Multiprocessor
3. 学会等名 IEEE 14th International Symposium on Embedded Multicore/Many-core Systems-On-Chip (MCSoc) (国際学会)
4. 発表年 2021年

1. 発表者名 Takaharu Suzuki, Kiyofumi Tanaka
2. 発表標題 Response Time Analysis of Execution Right Delegation Scheduling
3. 学会等名 Asia Pacific Conference on Robot IoT System Development and Platform (APRIS) (国際学会)
4. 発表年 2020年

1. 発表者名 Duy Doan, Kiyofumi Tanaka
2. 発表標題 Adaptive Local Assignment Algorithm for Scheduling Soft-Aperiodic Tasks on Multiprocessors
3. 学会等名 IEEE International Conference on Embedded and Real-Time Computing Systems and Applications (RTCSA) (国際学会)
4. 発表年 2019年

1. 発表者名 Tetsuo Miyauchi, Kiyofumi Tanaka
2. 発表標題 A Proposal of Application Specific Approach with RISC-V Processor on FPGA
3. 学会等名 22nd Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI) (国際学会)
4. 発表年 2019年

1. 発表者名 Aye Myat Mon, Thiem Van Chu, Kiyofumi Tanaka
2. 発表標題 A Study of Real-Time Extension for RISC-V Processors
3. 学会等名 IPSJ SIG Technical Reports
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------