

令和 6 年 6 月 24 日現在

機関番号：32665

研究種目：基盤研究(C)（一般）

研究期間：2019～2023

課題番号：19K11884

研究課題名（和文）マルチモデルサンプリングに基づくSoCの欠陥レベル見積り及び削減法

研究課題名（英文）SoC Defect Level Estimation and Reduction by Multi-Model Sampling

研究代表者

新井 雅之（ARAI, Masayuki）

日本大学・生産工学部・教授

研究者番号：10336521

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本研究では主に(A)AIを用いた欠陥位置およびパターン推定法の開発およびその高精度化、および(B)欠陥動作の解析結果に基づくテストパターン生成法、にテーマを絞り開発を進めた。(A)に関しては、LSIデバイスおよびレイアウトの両方に着目し、少数の欠陥情報に基づいて欠陥位置およびパターンを高精度に推定する手法を開発した。(B)に関しては、消費電力量制約下における欠陥動作を考慮したテストパターン生成法を開発した。これらを組み合わせることによって、大規模半導体デバイスの欠陥レベルの高精度な見積りおよび削減が可能になると期待される。

研究成果の学術的意義や社会的意義

近年、半導体産業の構造が世界的に変化し、日本においては国内での最先端プロセスでの製造（ファブ）が一旦ほぼ断絶した後に回帰しつつある。本研究開発した要素技術の組合せによって、製造されたLSIの信頼性向上、および製造コスト削減が可能となると期待され、学術的意義および産業界に対する貢献は大きいと考えられる。

研究成果の概要（英文）：In this study, we mainly focused on (A) development and improvement of AI-based defect location and pattern estimation methods, and (B) test pattern generation methods based on the results of defect behavior analysis. For (A), we developed a method to estimate defect locations and patterns with high accuracy based on a small amount of defect information, focusing on both LSI devices and layouts. For (B), we developed a test pattern generation method that takes into account defect behavior under power consumption constraints. The combination of these methods is expected to enable accurate estimation and reduction of defect levels in large-scale semiconductor devices.

研究分野：ディペンダブルコンピューティング

キーワード：マルチモデルサンプリング 欠陥レベル ウェハマップ欠陥パターン

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

半導体デバイスの製造工程において、量産テストで全ての製造欠陥の検出を保証することは困難である。微細化・高速化に伴い、微小で検出困難な欠陥の発生率が増加する一方、高信頼デバイスにおいては、非常に低い市場不良率を達成することが要求される。市場不良率は欠陥レベルとも呼ばれ、出荷されたデバイス 100 万個あたりの欠陥パーツ数(DPPM)を尺度として評価される。例えば車載用デバイスでは、従来と同程度のテストコストで 1dppm 未満 (Zero DPPM)の達成が要求される。従来手法として広く行われている量産テスト用パターン生成では、欠陥を論理的な故障モデルとして扱い、各故障を検出可能なテストパターンを生成する。量産テスト品質は、通常、モデル化された全故障数に対する検出故障数の割合(故障カバレッジ)として表わされ、欠陥の発生確率や抵抗性微小遅延の検出困難度を考慮しない。すなわち、故障カバレッジ向上によってテスト品質は定性的には向上するものの、欠陥レベルを定量的かつ高精度に見積もることは困難であった。

申請者は、市場不良率の高精度見積りを目的として、信号線間クリティカルエリアのサイズがブリッジ故障の発生確率に比例するとの仮定の下で重み付き故障カバレッジを算出する手法について研究を進めてきた。しかし、これまでの研究では固定故障のみを扱っており、抵抗性ブリッジ・オープン欠陥により生起する遅延性故障を対象としていなかった。評価実験の結果、遅延性故障の発生を想定した状況において、依然として見積値と実際の欠陥レベルの間に 1 桁以上の乖離が存在することが明らかとなった。

2. 研究の目的

本研究の最終的な目標は、車載用デバイス等の高信頼デバイスにおける欠陥レベル要求を、デバイス製造前のテストパターン生成の段階で確実に達成することである。見積りが高精度であれば、与えられた欠陥レベル要求に対して、コストをより削減したテストが可能となる。しかし見積りをより高精度に行うためには、多数かつ複雑な種々のモデルおよび確率分布を考慮しなければならない。

上記で述べた最終目標へのアプローチとして、(1)遅延性ブリッジ故障を含む、未知の欠陥動作を考慮した高精度な欠陥レベルの見積り手法について検討する。また、テスト時消費電力等の制約下において市場不良率要求を可能な限り少ないパターン数で達成可能となるような(2)テストパターン生成法についても提案する。

3. 研究の方法

初年度である 2019 年度にはまず、主に個別故障に着目した欠陥動作の解析、欠陥箇所の推定と、制約のある環境下でのテストパターン生成法について基礎的な検討を進めた。欠陥動作解析、テストパターン生成法に関しては、テスト時の消費電力増大の問題を抑制するために低消費電力テストの制約を導入し、固定故障動作および遅延故障動作の解析、およびこれらを少ないパターン数で検出可能なテストパターン生成法について検討した。

初年度の成果より、モデル化困難な欠陥の位置を推定し、これらの振舞いを解析してテストパターンを生成することが DPPM 削減に効果的であることが明らかとなった。そこで、2020 年度から 2023 年度まで、(1)LSI の製造データおよびテスト結果に基づく欠陥位置推定法およびカテゴリ分類法の検討および評価、(2)電力制約を考慮したゲート網羅テストのためのテストパターン生成法、の 2 点に注力して研究を進めた。

(1)に関しては、LSI レイアウトデータを画像クリップとして切り出し、(1-1)少数の既知実欠陥位置情報に基づいて、各画像クリップの欠陥リスクの有無を判定する手法についてまず検討した。実欠陥位置に対応する、および対応しない画像をそれぞれ教師画像として画像分類 AI を学習させ、未知欠陥位置の推定を行う手法の開発を行った。評価の結果、実欠陥数の不足により学習精度が向上しないという問題が明らかとなったため、画像生成 AI (Generative Adversarial Network: GAN)による欠陥画像拡張手法を導入した。当初 DCGAN (Deep Convolutional GAN)を用いた評価を行い、その後 LWGAN (Light-Weight GAN)、FSGAN (Few-Shot GAN adaptation)についても検討を行った。

また、LSI 製造の際にウェハ全域に渡るシステムチック欠陥が発生した際、ウェハマップ画像上で欠陥に対応する特徴的な欠陥パターンが描かれることに着目し、(1-2)ウェハマップ欠陥パターン分類手法の開発および高精度化について検討した。ウェハマップはウェハを模した円形の画像であり、円内の欠陥パターンの位置は多様である。このため、アフィン変換に対して高い変換等価性を持つとされる CapsNet を導入し、分類器およびデコーダネットワークに種々のチューニングを施して分類精度の評価を行った。CapsNet ではデコーダによって入力画像の再構成を行うため、再構成画像の精度向上によっても分類精度の向上、および欠陥位置推定精度の向上

が可能となることが期待された。そこで、高精細疑似欠陥パターンデータセットを作成するとともに画像再構成精度に対する評価尺度を提案して実験を行った。

4. 研究成果

(1) 少数の既知実欠陥位置情報に基づく LSI レイアウト画像クリップの欠陥リスク推定

まず、ある実製造デバイスにおける 30 個の実欠陥データに基づいて実験を行った。まず、LSI レイアウト画像を固定寸法・固定ピクセルサイズにてタイル状に切り出し、画像クリップを作成した。30 個の欠陥位置を含むクリップを欠陥クリップ、それ以外を正常クリップとして CNN (VGG16) に入力させ学習させた。図 1 に、学習用データ数を変化させた場合の欠陥検出率 DTR (DeTectioN rate of Risk images: 30 個の欠陥のうちリスクと推定された割合) およびリスク画像分類率 (Risk-image Classification Rate: テスト画像中リスクと分類された割合) を示す。RCR が 0 の場合、30 個の既知欠陥以外に新たな欠陥位置が推定されなかったことを示し、これは我々の目的に合致しない。一方、RCR が大きすぎる場合、欠陥位置候補としての精度に懸念が生じる。RCR が 0 ではない小さい値になり、少数の新たな欠陥位置候補が報告されることが望ましい。

より精度の高い欠陥リスク推定を行うためには、十分な数の実欠陥データが必要である。しかし実欠陥位置の特定は欠陥デバイスの入手および物理解析が必要なため高コストである。そこで、少数のリスク画像を元に、疑似欠陥画像を生成する手法について提案しその精度評価を行った。ICCAD'14 CAD Contest にて公開されたレイアウトデータの M2 層および M3 層画像クリップをそれぞれ正常および欠陥画像として用い、GAN によって生成された欠陥画像に対して CNN による分類評価を行った。図 2 に LWGAN および反転によるデータ拡張を行った場合の結果を示す。欠陥画像 100 枚に対して LWGAN を適用することによって、400 枚の欠陥画像を用いた場合とほぼ同等の分類精度を達成できることが確認された。

次に、実際の欠陥により即した疑似欠陥画像として図 3 に示すようなモデル画像を適用することとし、FSGAN によって、さらに少ない欠陥画像数での画像生成を試みた。FSGAN はクロドメイン学習によって少数データの特徴を捉えることを可能とする GAN であり、まず多量の正常画像を使って学習を行い、その後少数の欠陥画像から、正常画像と欠陥画像の差異を学習する。表 1 に、生成画像の精度をフレイッシュ開始位置(FID)によって評価した結果を示す。20 枚の欠陥画像から FSGAN によって生成された欠陥画像は、200 枚の画像から LWGAN によって生成された画像とほぼ同等の精度を持つことが示された。

ウェハマップ欠陥パターン分類手法の開発および高精度化

本研究では、実欠陥ウェハマップデータセット WM-811K に存在する 9 クラスの基本欠陥パターン、およびそれらの複合欠陥を対象として、画像分類 AI を用いた分類実験および高精度化を行った。図 4 に対象としたウェハマップ欠陥パターンの例を示す。

図 5 に本研究で検討した CapsNet ベース分類器の初期バージョン (CapsNet-V1) の構成図を示す。

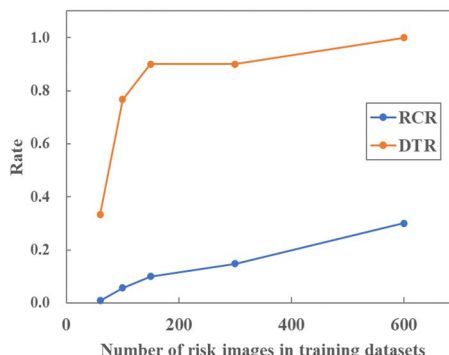


図 1 欠陥検出率 DTR およびリスク画像分類率 RCR

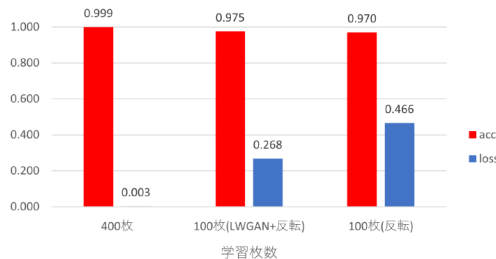


図 2 LWGAN によって生成された疑似欠陥画像の精度

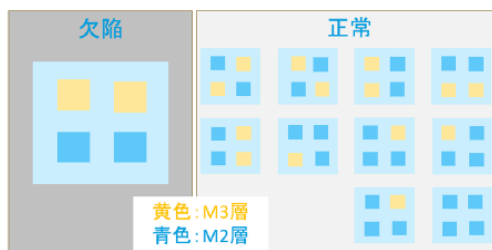


図 3 疑似欠陥モデル画像のレイアウト配置

表 1 FSGAN および LWGAN による生成疑似欠陥画像評価結果

	正常画像と欠陥画像の混同行列	FID
FSGAN 20枚	$\begin{bmatrix} 1159 & 0 \\ 314 & 845 \end{bmatrix}$	94.0181
LWGAN 20枚	$\begin{bmatrix} 0 & 1159 \\ 0 & 1159 \end{bmatrix}$	200.0630
LWGAN 100枚	$\begin{bmatrix} 1159 & 0 \\ 601 & 558 \end{bmatrix}$	152.3035
LWGAN 200枚	$\begin{bmatrix} 1159 & 0 \\ 0 & 1159 \end{bmatrix}$	81.4640

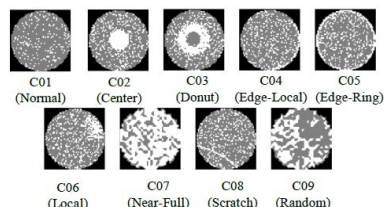


図 4 ウェハマップ欠陥パターン

Normal を除く 8 クラスの分類器として構成した。複合欠陥に対しては、複数のラベルが予測値として出力される。予測結果のカプセル出力はさらにマスクを通してデコーダに送られ、画像再構成が行われる。デコーダは5段の転置畳込みとして実装された。

研究期間内にこの初期構成に対してさらにチューニングを行い、分類精度の向上を試みた。チューニングにあたっては、Scratch 画像を人為的に生成した高精細疑似ウェハマップ欠陥画像データセットを作成し、その分類精度および画像再構成精度の向上を念頭に段数およびハイパーパラメータの変更を試みた。図 6 に 38 カテゴリの複合欠陥に対する、CapsNet-V1 および V4 の分類精度の算出結果を示す。分類精度は Partial Match (部分一致)、すなわち複合欠陥において検出された各基本欠陥クラスを考慮して算出した。ほぼ全てのカテゴリに対して分類精度が改善した。さらに、従来分類が困難とされてきた Scratch 欠陥(基本欠陥カテゴリ C7)を含むカテゴリに対して特に顕著な改善を確認した。V1 では C7 の分類精度は唯一 70% 台であったが、V4 では 90% 以上の分類精度となった。

また、デコーダによって出力された画像の再構成精度として、出力画像の 1 ピクセル毎を予測結果とみなす評価尺度 PPP (Per-Pixel Precision), PPR (Per-Pixel Recall), PPF1 (Per-Pixel F1 score)を提案し、再構成画像の評価を行った。表 2 に算出結果を示す。チューニングを行った CapsNet-V4 は、初期構成である CapsNet-V1 に対して、分類精度だけでなく再構成された画像の精度においても顕著な改善がみられることが判る。

(2)消費電力制約下におけるテストパターン生成法

実速度スキャンテストにおいて、過度なキャプチャ時消費電力が設計時に想定された通常動作時の消費電力を超過した場合、非欠陥回路であるにも関わらずテストフェールとなり歩留り損失が発生する可能性がある。従って、テスト時の消費電力に制約を与えつつ、カバレッジやテストパターン数を最適化するようなテストパターン生成法が重要である。本研究ではまず、Partial MaxSAT を用いて、消費電力を考慮せずに生成されたテストパターンに対する低消費電力指向 X 判定・割当てを同時に最適化する手法を提案した。実験結果から、従来手法と比較して、キャプチャアンセーフテストベクトル数を平均 31.63%、アンセーフ故障数を平均 31.84% 削減できた。

次に、論理ゲート内に発生するモデル化困難な欠陥に対する、より少ないパターン数での検出率の向上を目的として、ゲート網羅テストのための多重目標故障テスト生成法について検討を行った。ゲート網羅テストとは、各論理ゲートに対して可能な全入力パターンを与え、その応答を観察するテストである。テストパターン数が通常の縮退故障と比較して大幅に増大するため、1 テストパターンでより多くの論理ゲートの故障を励起することが重要である。本研究ではまず静的ゲート網羅テストを対象として、Partial MaxSAT を用いて未検出故障の必須割り当てを最大化するアルゴリズムについて検討した。その後、2 サイクルゲート網羅テストを対象に、疑似ブール最適化(PBO)を導入し、消費電力制約下におけるテストパターン生成アルゴリズムを提案し評価を行った。表 3 に、ISCAS'89 ベンチマーク回路に対するテストパターンの生成結果を示す。提案手法では、消費電力を考慮しない場合と比較して平均 77% テストベクトル数が増加したが、生成された 2 サイクルゲート網羅テストパターンセットはテスト時の消費電力制約を保証するため、歩留り損失を発生させず、モデル化困難な欠陥の検出が可能になると考えられる。

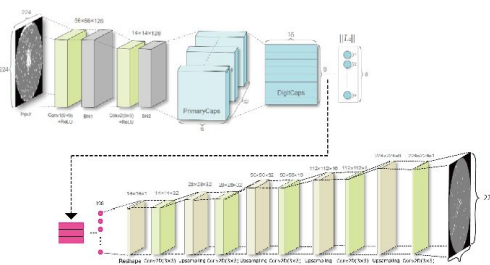


図 5 CapsNet ベースウェハマップ欠陥パターン分類器の初期構成

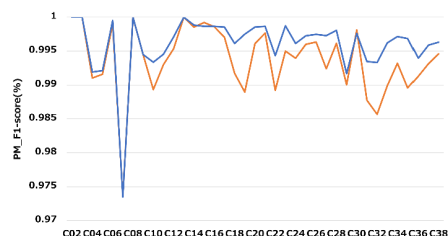


図 6 CapsNet-V1 および V4 における欠陥パターン分類精度 (複合欠陥・部分一致)

表 2 CapsNet-V1 および V4 における再構成画像の評価

	CapsNet-V1 (%)	CapsNet-V4 (%)	improvement (%)
PPP	76.35	87.53	11.18
PPR	35.73	40.13	4.41
PPF1	46.99	52.79	5.81

表 3 2 サイクルゲート網羅テストパターン生成結果

回路名	テストベクトル数		キャプチャセーフテストベクトル数		キャプチャアンセーフテストベクトル数		テスト生成時間	
	ON	OFF	ON	OFF	ON	OFF	ON	OFF
s5378	672	555	672	0	0	555	38.21	1.00
s9234	1363	1014	1363	53	0	961	33.15	1.00
s13207	1165	931	1165	1	0	930	96.44	1.00
s15850	304	239	304	78	0	161	44.96	1.00
s35932	191	64	191	0	0	64	6.97	1.00
s38417	1643	600	1643	0	0	600	0.64	1.00
s38584	1186	1110	1186	618	0	492	3.09	1.00

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Yoshikazu Nagamura, Koji Arima, Masayuki Arai, Satoshi Fukumoto	4. 巻 34
2. 論文標題 Layout Feature Extraction using CNN Classification in Root Cause Analysis of LSI Defects	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Semiconductor Manufacturing	6. 最初と最後の頁 153 - 160
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TSM.2021.3056717	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yoshikazu Nagamura, Takashi Ide, Masayuki Arai, Satoshi Fukumoto	4. 巻 33
2. 論文標題 CNN-based Layout Segment Classification for Analysis of Layout-induced Failures	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Semiconductor Manufacturing	6. 最初と最後の頁 597-605
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TSM.2020.3029049	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計12件（うち招待講演 0件 / うち国際学会 6件）

1. 発表者名 山中祐輝, 永村美一, 新井雅之, 福本聡
2. 発表標題 CapsNetを用いた高解像度ウェハマップの欠陥パターン分類法におけるScratch再構成に関する考察
3. 学会等名 組込み技術とネットワークに関するワークショップ (ETNET2023)
4. 発表年 2023年

1. 発表者名 杉岡拓海, 永村美一, 新井雅之, 福本聡
2. 発表標題 レイアウト起因LSI欠陥検出のためのFSGANを用いたデータ拡張に関する検討
3. 学会等名 電子情報通信学会ディベンダブルコンピューティング研究会
4. 発表年 2023年

1. 発表者名 山中祐輝, 永村美一, 新井雅之, 福本聡
2. 発表標題 CapsNetを用いた高解像度ウェハマップの欠陥パターン分類法に関する考察
3. 学会等名 電子情報通信学会ディベンドブルコンピューティング研究会, コンピュータシステム研究会, 情報処理学会システム・アーキテクチャ研究会合同研究会(HotSPA2022)
4. 発表年 2022年

1. 発表者名 Natsuki Ohta, Toshinori Hosokawa, Koji Yamazaki, Yukari Yamauchi and Masayuki Arai
2. 発表標題 An Estimation Method of Defect Types for Suspected Logical Faulty Lines Using Artificial Neural Networks and Fault Detection Information of Universal Logical Fault Model
3. 学会等名 IEEE Workshop on RTL and High Level Test (WRTL 2021) (国際学会)
4. 発表年 2021年

1. 発表者名 Itsuki Fujita, Yoshikazu Nagamura, Masayuki Arai, Satoshi Fukumoto
2. 発表標題 Note on CapsNet-Based Wafer Map Defect Pattern Classification
3. 学会等名 IEEE Asian Test Symposium
4. 発表年 2021年

1. 発表者名 Yoshikazu Nagamura, Masayuki Arai and Satoshi Fukumoto
2. 発表標題 Evaluation of CNN-Based Defect Location Estimation on LSI Layouts
3. 学会等名 IEEE Workshop on RTL & High Level Testing (WRTL 2020) (国際学会)
4. 発表年 2020年

1. 発表者名 Ryuki Asami, Toshinori Hosokawa, Masayoshi Yoshimura, Masayuki Arai
2. 発表標題 Multiple Target Test Generation Method for Gate-Exhaustive Faults to Reduce the Number of Test Patterns Using Partial MaxSAT
3. 学会等名 The 33rd IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT 2020) (国際学会)
4. 発表年 2020年

1. 発表者名 Yutaro Yoshikawa, Masayuki Arai
2. 発表標題 A Fine-Grained SDN Rule Table Partitioning and Distribution
3. 学会等名 IEEE Pacific Rim International Symposium on Dependable Computing (PRDC 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Kenichiro Misawa, Toshinori Hosokawa, Hiroshi Yamazaki, Masayoshi Yoshimura and Masayuki Arai
2. 発表標題 A Don't Care Identification-Filling Co-Optimization Method for Low Capture Power Testing Using Partial MaxSAT
3. 学会等名 IEEE Workshop on RTL & High Level Testing (WRTLTL 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 T. Hosokawa, K. Misawa, Y. Hirama, H. Yamazaki, M. Yoshimura and M. Arai
2. 発表標題 A Low Capture Power Oriented X-filling Method Using Partial MaxSAT Iteratively
3. 学会等名 The 32nd IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 山崎紘史, 石山悠太, 松田竜馬, 細川利典, 吉村正義, 新井雅之, 四柳浩之, 橋爪正樹
2. 発表標題 パーシャルMAX-SATを用いた抵抗性オープン故障に対するテスト生成法
3. 学会等名 電子情報通信学会ハードウェアセキュリティ研究会
4. 発表年 2020年

1. 発表者名 好川雄太郎, 新井雅之
2. 発表標題 SATを用いたSDNルールテーブル分割法の高速化に関する検討
3. 学会等名 電子情報通信学会ディベンダブルコンピューティング研究会
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------