

令和 4 年 6 月 5 日現在

機関番号：34315

研究種目：基盤研究(C)（一般）

研究期間：2019～2021

課題番号：19K11889

研究課題名（和文）CMOS互換な超低消費電力不揮発性メモリとこれを用いたセンサノードチップ

研究課題名（英文）CMOS-compatible ultra-low-power non-volatile memory and its application to sensor node chip

研究代表者

越智 裕之（Ochi, Hiroyuki）

立命館大学・情報理工学部・教授

研究者番号：40264957

交付決定額（研究期間全体）：（直接経費） 3,400,000円

研究成果の概要（和文）：FiCCとMOSトランジスタからなる不揮発性メモリ素子について研究した。ここでFiCCは標準CMOS技術の集積回路上に実現可能なキャパシタである。閾値電圧シフトの測定結果より、2線式の読出し方式を使えば13日以上以上の保持時間が得られることを示した。このメモリ素子に必要なチャージポンプ回路のためのPDC発振回路を提案した。このメモリセルを用いた面積効率の良いFPGAを考案した。またこのメモリセルを用いた不揮発性Dフリップフロップを提案した。

研究成果の学術的意義や社会的意義

電源切断中もデータの保持が可能な不揮発性メモリは、近年、稼働中のシステムの電源を遮断することで低消費エネルギー化を図るために必要なデータ退避媒体として重要性が高まっている。しかし、既存の不揮発性メモリは製造の際に特殊な工程が必要であり、コストの増大が課題であった。本研究課題で扱ったFiCCを用いた不揮発性メモリは標準CMOS製造工程で製造可能であり、消費電流も小さく、不揮発性メモリの可能性を広げると期待される。

研究成果の概要（英文）：We studied a non-volatile memory element consisting of a FiCC and a MOS transistor. Here, FiCC is an on-chip capacitor compatible with standard CMOS technology. From the measurement results of the threshold voltage shift, we showed that a retention time of 13 days or more can be obtained by using the dual-rail readout scheme. We proposed a PDC oscillator circuit for the charge pump circuit required for our memory element. Using our memory cell, we devised an FPGA with high area efficiency. We also proposed a non-volatile D flip-flop using our memory cell.

研究分野：情報理工学

キーワード：プログラマブルROM メタルフリンジキャパシタ フローティングゲート マイクロエナジーハーベスティング 電源自給型センサノードチップ

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

電源切断中もデータの保持が可能な不揮発性メモリは、半導体メモリの中で重要な位置を占めてきた。近年、不揮発性メモリは (1)ハードディスク等よりも高速、低消費電力、高信頼なデジタルデータの保存媒体(いわゆる USB メモリや SSD など) および、(2)低消費エネルギー化を目指した normally-off computing (稼働中のシステムであっても全ての構成要素が常に動作する必要がないことに着目し、そのような構成要素が再び必要になった時に速やかに回復できる備えをした上で電源を遮断すること) [a]のための一時記憶素子などとして注目を集めつつある。表 1 に、主な不揮発性メモリ素子(および比較のため SRAM)の特徴を示す。

表 1. メモリ素子の比較

	SRAM	フラッシュ	FeRAM	STT-MRAM	PRAM	ReRAM
不揮発性	×	○	○	○	○	○
CMOS プロセスとの互換性	○	× フローティングゲート	× 強誘電体キャパシタ	× 磁気抵抗効果素子	× 相変化膜	× CER 素子
必要な電源	揮発性なので記憶保持に電源が必要。リーク電流が大。	書き込み電圧 $\approx 12V$ 。書き込み電流 $\approx 100\mu A$ (CHEI 書き込みの場合)	1.5~3V	CMOS と同じ	1.5~3V	1.6~2V

他方で近年、環境から微小なエネルギーを獲得するマイクロエナジーハーベスティングにより外部からの電源供給無しで半永久的に動作する電源自給型センサノードチップの実現に向けた研究が活発に行われつつある [b]。エナジーハーベスタとしては太陽電池(光)、アンテナ(電磁波)、圧電素子(振動)、ペルチェ素子(温度差)等が挙げられるが、通常の CMOS プロセスのチップに混載できるのは太陽電池に限られる。オンチップ太陽電池の出力電圧は 0.5V 程度であり、素子分離(同一チップ上の素子同士が干渉しあわないようにすること)が困難なため直列接続して効率よく高電圧を得ることはできない。最大電力は 20kLUX 照射時に  $225\mu W/mm^2$  程度と小さい [c]。更に太陽光は照度が不安定であり、夜は発電できない。電源自給型センサノードチップの実現には、このような不安定な電源供給に対応することが課題であり、十分な容量の蓄電池を搭載しない限り、夜間等はセンサノードとしての機能を停止させる必要がある。

オンチップ太陽電池を用いた電源自給型センサノードチップにバックアップ用の不揮発性メモリを搭載することができれば、容量の大きな蓄電池を前提とせず観測データや学習パラメータなどの保持が可能となり、小型化や低コスト化、応用範囲の拡大などが期待できる。しかし、オンチップ太陽電池で駆動される超低消費電力センサノードチップに表 1 のような既存の不揮発性メモリを搭載する場合、(a)不揮発性メモリ混載チップの製造に特殊工程が必要なためコストがかかる、(b)不揮発性メモリの書き込みに大きな電圧や電流を要する、といった課題がある。

上記(a)に対し、標準 CMOS プロセス上で MOS トランジスタのゲートに MOS キャパシタ [d] もしくは MIM キャパシタ [e] を接続して疑似的にフローティングゲートを実現してフラッシュメモリと同じ原理の不揮発性メモリを実現することが提案されているが、これらはメモリセル 1 ビットあたりの面積が大きいことや、書き込みに必要な電圧や電流が大きいためオンチップ太陽電池による駆動が難しいなどの課題がある。

2. 研究の目的

1. で述べた制約に対応するため本研究では、通常の CMOS 製造プロセスで製造可能であり、かつ、書き込み時の消費電流が極めて小さい不揮発性メモリ素子として、研究代表者らが開発した新しい不揮発性メモリ素子 [1] とそれを応用した電力自給型センサノードチップについて検討する。この不揮発性メモリ素子の特長は以下の 2 点である。

- (a) 先行研究 [e] で用いられていた MIM キャパシタに代えて、研究代表者らが提案したメタルフリンジキャパシタ FiCC を使用する。MIM キャパシタはオプション工程を要し、費用増加につながるうえ、設計規則の制約からトランジスタ 1 個と同程度の面積の小容量キャパシタは使用できない。FiCC はメタルフリンジキャパシタなので、小容量キャパシタの設計の自由度が高く、外側電極が内側電極を囲む構造になっているためフローティングゲートがノイズの影響を受けにくい (図 1)。

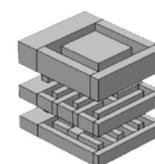


図 1. FiCC

- (b) 5V 程度の低電圧での FN トンネリングで書き込みや消去を行う。CHEI 方式の書き込みは大きな消費電流を要するため、オンチップ太陽電池では駆動できない。一方、FN トンネリングで通常使用される 7~12V 程度の電圧は、出力電圧 0.5V 程度のオンチップ太陽電池で駆動されるチャージポンプ回路で得るのは困難である。

### 3. 研究の方法

#### (1) FiCC を用いた不揮発性メモリセルアレイの方式検討と評価

FiCC を用いた不揮発性メモリセルを集積した不揮発性メモリブロックを実現するため、このメモリセルをアレイ状に配置して書き込み、消去、読み出しを行うのに最適なデコーダやセンス回路等の周辺回路を検討した。

#### (2) FiCC を用いた不揮発性メモリセルを応用した電力自給型センサノードチップの検討

FiCC を用いた不揮発性メモリセルと、その他の要素技術（オンチップ太陽電池、チャージポンプ回路、温度センサ、照度センサ等）を組み合わせた電力自給型センサノードチップの実現に向けた検討を行った。

#### (3) FiCC を用いた不揮発性メモリセルを用いたプログラマブルロジックの検討

FiCC を用いた不揮発性メモリセルを利用することで、構成情報が不揮発なプログラマブルロジック（FPGA 等）を実現することが可能になる。既存の SRAM 型 FPGA に比べ不揮発性や小面積などの付加価値を持った新たな FPGA の実現可能性について検討した。

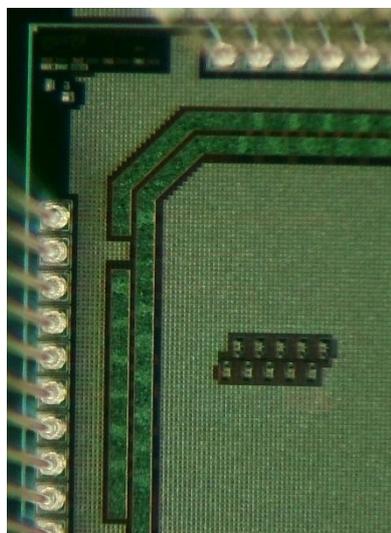
#### (4) FiCC を用いた不揮発性スタンダードセルメモリの検討と評価

当初の計画にはなかったが、FiCC を用いた不揮発性メモリセルと D フリップフロップを組み合わせた不揮発性フリップフロップや不揮発性スタンダードセルメモリについて、その有用性を明らかにした。

### 4. 研究成果

#### (1) FiCC を用いた不揮発性メモリセルアレイの方式検討と評価

まず、FiCC を用いた不揮発性メモリセルの書き込み、消去、保持特性を明らかにするため、不揮発性メモリセルの閾値電圧変動を測定できる回路を搭載したチップを用い、測定を行った。測定に用いたチップの顕微鏡写真を図 2(a)に、測定環境を図 2(b)に示す。



(a) 測定用チップの顕微鏡写真



(b) 恒温槽などの測定環境

図 2. FiCC を用いた不揮発性メモリセルの閾値電圧変動特性の測定

この測定によって得られた結果を図 3 に示す。図 3(a)は、書き込み電圧 5V の場合の書き込み時間と閾値電圧の関係を示す。このグラフより、書き込み時間 5 秒程度で閾値電圧は 4V 程度に収束することが読み取れる。図 3(b)は、消去電圧 3V の場合の消去時間と閾値電圧の関係を示す。このグラフより、消去時間 100 秒程度で閾値電圧は 2V 以下に下がることが読み取れる。図 3(c)は、5V-5 秒の書き込みと 3V-100 秒の消去の反復を 25,000 回繰り返す前(赤い丸)と後(緑の三角)の閾値電圧保持特性を示しており、横軸は書き込み後の経過時間、縦軸は閾値電圧である。このグラフより、25,000 回の書き込み・消去の繰り返しによる閾値電圧の低下は 0.2V 程度にとどまっていることが読み取れる。図 3(d)は、さらに長時間に渡る閾値電圧保持特性を示している。図中の赤の破線は、書き込み前の閾値電圧よりも 0.1V 高い電圧を示している。このグラフより、読み出し回路が 0.1V の閾値電圧差を判別することが出来るならば、 $10^6$  秒（約 13 日）後までデータの読み出しができることがわかる。

以上の通り、FiCC を用いた不揮発性メモリセルは 0.1V の閾値電圧差を判別可能な読み出し回路があれば 13 日程度までデータの読み出しが可能であることがわかるが、図 3(b)の通り、消去操作によって閾値電圧を短時間で初期の値まで下げることは困難であることがわかる。このため、FiCC を用いた不揮発性メモリセルで長期間のデータ保持を行うための読み出し回路は、予め決められた閾値電圧と比較するのではなく、0 が書き込まれたセルと 1 が書き込まれたセルの相対的な閾値電圧差を読み出す差動増幅回路を用いる必要があることがわかった。図 4(a)に示す相補的メモリセルは、FiCC を用いた不揮発性メモリセル 2 個からなっており、右のセルと左のセルに逆の値を書き込む。図 4(b)は SRAM の読み出しで一般に使用されている差動増幅回路であ

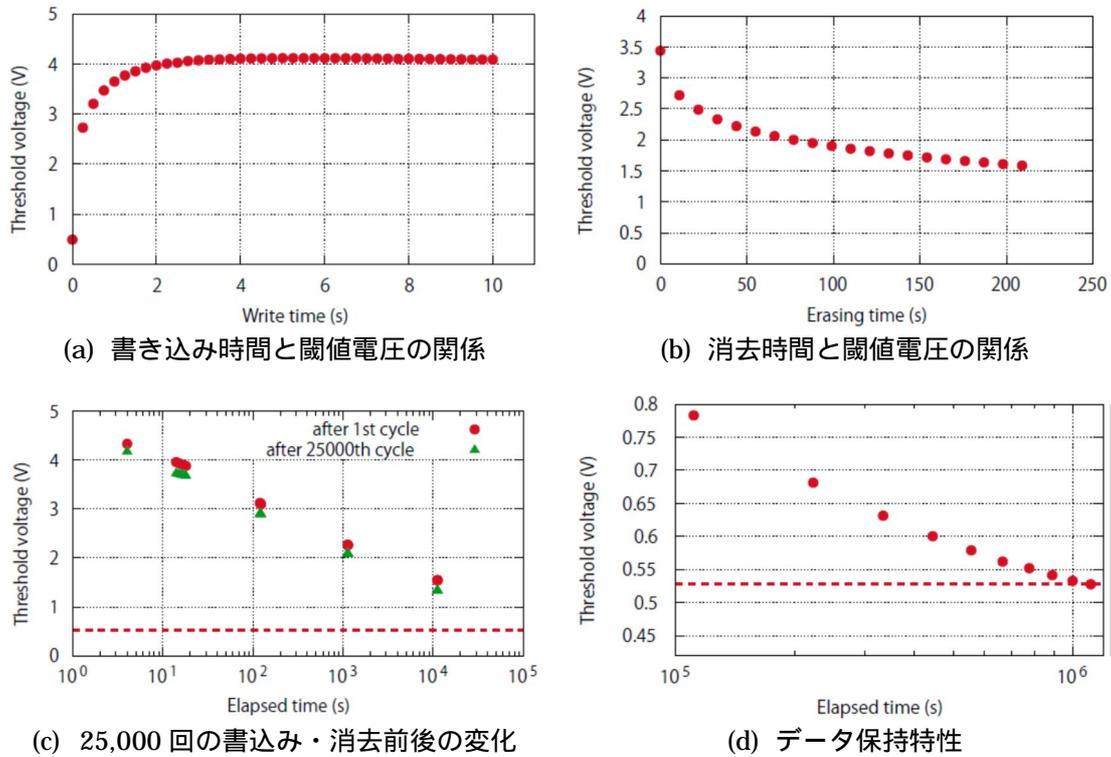


図 3. FiCC を用いた不揮発性メモリセルの閾値電圧特性

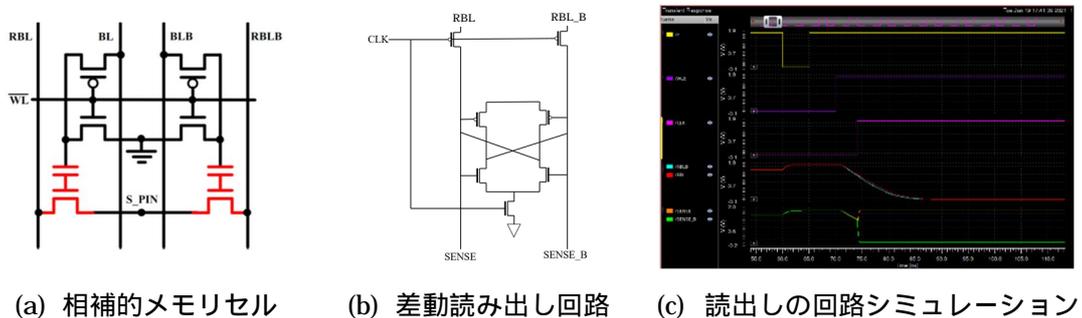


図 4. 相補的読み出し方式

り、図 4(a)の読み出しビット線 RBL および RBL\_B をこの増幅回路に接続する。図 4(c)は差動増幅回路による読み出しの回路シミュレーション結果であり、閾値電圧差 740mV でも正しく読み出せることが確認できた。

(2) FiCC を用いた不揮発性メモリセルを応用した電力自給型センサノードチップの検討

(1)で述べたような FiCC を用いた不揮発性メモリセルを電力自給型センサノードチップに搭載するためには、オンチップ太陽電池で得られる 0.5V 程度の電圧を 3~5V 程度まで昇圧するチャージポンプ回路が必要である。しかし、0.5V 程度の低い電圧を 0.18 $\mu$ m プロセスのチャージポンプ回路で効率よく昇圧することは MOS トランジスタの閾値電圧による損失のため、容易ではない。電力効率のよい昇圧回路はこれまで多く提案されてきたが、それらはクロック周波数を低くすることで高い効率を得ており、概してチャージポンプの 1 段あたり 200pF ものオンチップキャパシタを使用するものである。このような大面積のオンチップキャパシタを使用すると、同一チップ上に十分な面積のオンチップ太陽電池を搭載できなくなる問題がある。

我々は、同じチップ面積で昇圧後の出力電力を最大とするための設計方法論を構築し、最適な太陽電池とキャパシタの面積比や、その時のチャージポンプ回路のクロック周波数などを得る指針を明らかにした。またその中で、入射光の強さに応じて適応的にチャージポンプ回路のクロック周波数を調整するための Photo-Diode/Capacitor (PDC)発振回路 (図 5) を考案した。

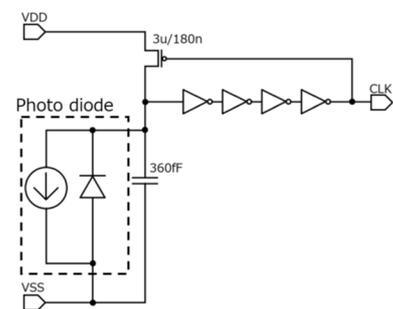


図 5. PDC 発振回路

### (3) FiCC を用いた不揮発性メモリセルを用いたプログラマブルロジックの検討

FiCC を用いた不揮発性メモリセルで長期間のデータ保持を行うためには図4で示したような相補的メモリセルを採用する必要があると考えられるが、より短時間の使用に特化するならば、図6のように単一のメモリセルで1ビットのデータ保持を行うことが可能である。この図で VDD1 は書き込み用の高電圧電源、VDD3 は読出し時の CG 電位を与える電源、VDD2 は読出しインバータの電源である。VDD2 および VDD3 を 0.5V とすれば極めて小さな閾値電圧シフトを判別することが可能となるため、VDD1 を 2.0V 程度としても必要な閾値電圧シフトを発生させることが可能になると考えられ、面積の大きな高耐圧トランジスタを使用する必要がなくなり、小面積化が期待される。

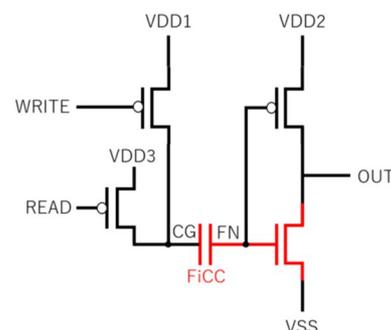


図6. 4トランジスタメモリセル

このメモリセルの用途として FPGA のようなプログラマブルロジックの構成情報メモリが考えられる。一般的な SRAM 型 FPGA は構成情報メモリとして SRAM セルを用いているが、SRAM セルは 1 ビットあたり 6 個のトランジスタが必要である。これに代えて図5のメモリセルを採用すれば、トランジスタ数は4個となるため、面積効率の良い FPGA の実現が期待される。

### (4) FiCC を用いた不揮発性スタンダードセルメモリの検討と評価

Internet of Things (IoT) 機器ではしばしば、normally-off computing による低消費エネルギー化が求められるが、電源を遮断するためには電源遮断前の状態を保持するための不揮発性メモリが必要である。この目的のため FiCC を用いた不揮発性 D フリップフロップや不揮発性スタンダードセルメモリを提案した[3]。提案された不揮発性 D フリップフロップの不揮発性メモリセルは面積オーバーヘッドを抑えるため相補的ではない構造を採用しており、通常の D フリップフロップと比べ、29%の面積オーバーヘッドにより不揮発性を持たせることができる。書き込み電圧 5V、書き込み時間 0.5 秒の場合、データ保持時間は約 60 分となる。待機時間が動作時間の 100 倍である場合の消費エネルギーは、通常の D フリップフロップと比べ 80%以上削減される。つまり、1 時間間隔で 30 秒程度稼働する IoT 機器に適用すれば 80%以上の消費エネルギー削減が期待される。

#### <引用文献>

- [a] 中村宏, 中田尚, 三輪忍, “ノーマリーオフコンピューティング: 1. ノーマリーオフコンピューティング 期待と課題,” 情報処理, vol.54, no.7, pp.654-660, 2013.
- [b] S.-Y. Park, K. Lee, H. Song, and E. Yoon, “Simultaneous Imaging and Energy Harvesting in CMOS Image Sensor Pixels,” IEEE Electron Device Letters, vol.39, no.4, pp.532-535, 2018.
- [c] N.J. Guilar, T.J. Kleeburg, A. Chen, D.R. Yankelevich, and R. Amirtharajah, “Integrated Solar Energy Harvesting and Storage,” IEEE Trans. Very Large Scale Integration (VLSI) Systems, vol.17, no.5, pp.627-637, 2009.
- [d] J. Raszka, M. Advani, V. Tiwari, et al. “Embedded flash memory for security applications in a 0.13  $\mu\text{m}$  CMOS logic process,” 2004 IEEE Intl Solid-State Circuits Conference Dig. of Technical Papers (ISSCC 2004), pp.46-47, 2004.
- [e] K.-Y. Na and Y.-S. Kim, “High-performance single polysilicon EEPROM with stacked MIM capacitor,” IEEE electron device letters, vol.27, no.4, pp.294-296, 2006.
- [1] 田中一平, 宮川尚之, 木村知也, 今川隆司, 越智裕之, “FiCC を用いた CMOS 互換な超低消費電力不揮発性メモリ素子の特性測定回路の設計と試作,” 信学技報, vol.118, no.334, pp.183-188, 2018.
- [2] 田中一平, 宮川尚之, 木村知也, 今川隆司, 越智裕之, “FiCC を用いた CMOS 互換な不揮発性メモリ素子の閾値電圧特性の測定ならびに読み出し方式検討,” DA シンポジウム 2019, pp.9-14, 2019.
- [3] 阿部佑貴, 小林和淑, 塩見準, 越智裕之, “間欠動作を行う IoT 向けプロセッサに適した FiCC を用いた不揮発スタンダードセルメモリの実測評価,” DA シンポジウム 2021, pp.3-8, 2021.

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計7件(うち招待講演 0件/うち国際学会 2件)

1. 発表者名 田中 一平, 宮川 尚之, 木村 知也, 今川 隆司, 越智 裕之
2. 発表標題 FiCCを用いたCMOS互換な不揮発性メモリ素子の閾値電圧特性の測定ならびに読み出し方式検討
3. 学会等名 情報処理学会DAシンポジウム2019, pp.9-14
4. 発表年 2019年

1. 発表者名 田中 一平, 宮川 尚之, 木村 知也, 今川 隆司, 越智 裕之
2. 発表標題 FiCCを用いたCMOS互換な不揮発性メモリ実現に向けた素子特性測定
3. 学会等名 信学技報, vol. 119, no. 282, VLD2019-36, pp. 63-68
4. 発表年 2019年

1. 発表者名 阿部佑貴, 小林和淑, 塩見準, 越智裕之
2. 発表標題 間欠動作を行うIoT向けプロセッサに適したFiCCを用いた不揮発スタンダードセルメモリの実測評価
3. 学会等名 情報処理学会DAシンポジウム2021, pp.3-8
4. 発表年 2021年

1. 発表者名 Yuki Abe, Kazutoshi Kobayashi, Jun Shiomi, Hiroyuki Ochi
2. 発表標題 Zero-standby-power Nonvolatile Standard Cell Memory Using FiCC for IoT Processors with Intermittent Operations
3. 学会等名 IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips 25) (国際学会)
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分担 者	今川 隆司  (Imagawa Takashi)  (90771395)	明治大学・理工学部・助教   (32682)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------