

令和 5 年 6 月 13 日現在

機関番号：11301

研究種目：基盤研究(C) (一般)

研究期間：2019～2022

課題番号：19K11998

研究課題名(和文)大規模量子アニーリングのための超高速FPGAシミュレーター

研究課題名(英文)High Speed FPGA Simulator for Large Scale Quantum Annealing Simulations

研究代表者

Waidyasooriya Ha (Waidyasooriya, Hasitha)

東北大学・情報科学研究科・准教授

研究者番号：60723533

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：(1) 大規模量子アニーリングシミュレーション：スピンの数が増えると結合係数が急増し大容量のメモリが必要になる。結合係数をあらかじめ保存せずに、FPGA内に生成する提案手法で20万スピン以上のシミュレーションに成功した。(2) 高速化：シミュレーションに用いる量子モンテカルロ法は並列化が難しい手法である。トロッタ並列性を提案し、CPUの直列実装の290倍の高速化を達成できた。(3) 高精度化：データの依存関係を守りながら高並列化を行うため演算結果の精度は非常に良くなる。MQLibベンチマークを使って評価した結果D-Wave量子コンピュータの結果と99%以上一致することは確認できた。

研究成果の学術的意義や社会的意義

量子アニーリングは最適化において重要な手法であり、交通量シミュレーション、工場の作業の最適化、避難経路最適化などの様々な実用的な問題を効率的に解くことができると知られている。しかしながら、実問題は大規模であり、D-Waveなどの量子アニーラーを用いる事は難しい。本研究プロジェクトでは20万スピン以上に全結合シミュレーションができており、複数FPGAを使う場合はさらに大規模化ができる可能性を示した。さらにCPUの290倍以上の高速性を99%以上の高い計算制度で達成できた。また、GPUやマルチコアCPUを用いた高速化も提案されており、社会的な最適化問題に応用できる可能性は十分示している。

研究成果の概要(英文)：(1) Large scale quantum annealing simulation: The connections among spins (coefficients) increases exponentially with the number of spins. This increases the required memory capacity and prevents large-scale simulation. This research proposes a method to generate the coefficients efficiently, without storing the pre-generated coefficients in the memory. As a result, large memory requirement has been eliminated, and we were able to run simulations with over 200,000 spins using a single FPGA. (2) Acceleration: Quantum Monte-Carlo method used for the simulations is very difficult to parallelize. We proposed a method to execute the computations among multiple Trotter slices in parallel while maintaining the data dependency. As a result, we achieved over 290 times speed-up compared to CPU serial implementation. (3) High accuracy: Since we protect the data dependency in parallel computation, the accuracy is very high. Compared to D-Wave using MQLib benchmark suit, the accuracy is over 99%.

研究分野：計算機アーキテクチャ

キーワード：量子アニーリングシミュレーション FPGA カスタムアクセラレータ 組合せ最適化問題

1. 研究開始当初の背景

大規模組合せ最適化問題を高速に解くことは交通量シミュレーション，グラフ処理，集積回路設計，人工知能，機械学習などの図 1 に示すような異種分野において重要である．近年，量子アニーリングシミュレーションが最適解を見つける手法として注目されている．その実装方法として従来，図 2(a)に示す量子コンピュータや図 2(b)に示す CPU/GPU クラスタが用いられている．量子コンピュータ(D-wave) では極低温での冷却が必要であったり，量子効果を維持するためにチップサイズの大規模化が難解であったりし，気軽に使うことが難しい．現状では，有効に利用できるのが小規模問題に限られている．従来の CPU で量子アニーリングシミュレーションを行うことも可能であるが，高速化が難しく膨大な処理時間がかかる．

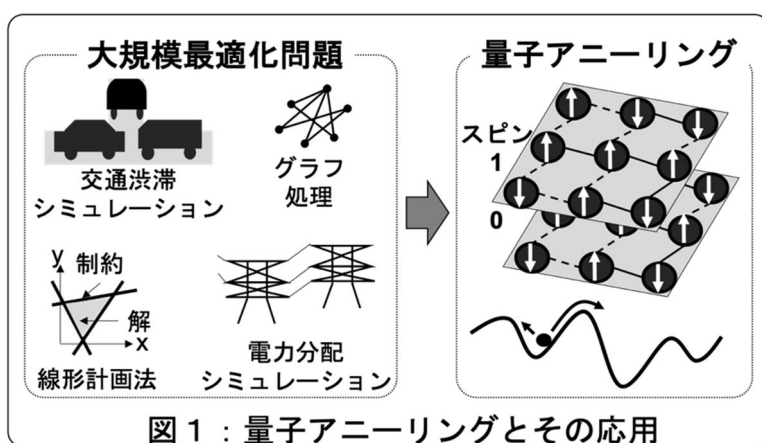


図 1 : 量子アニーリングとその応用

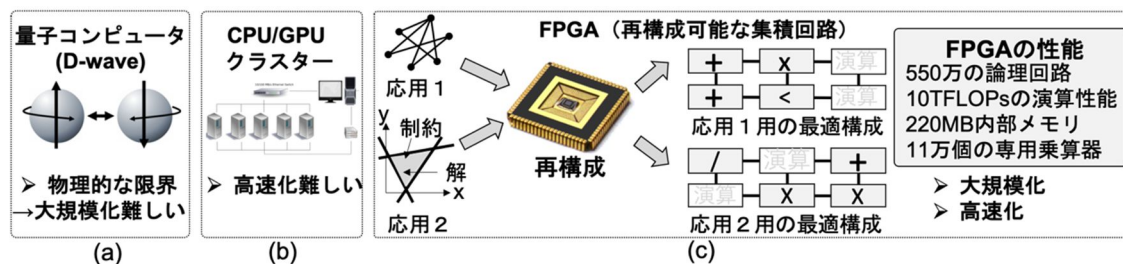


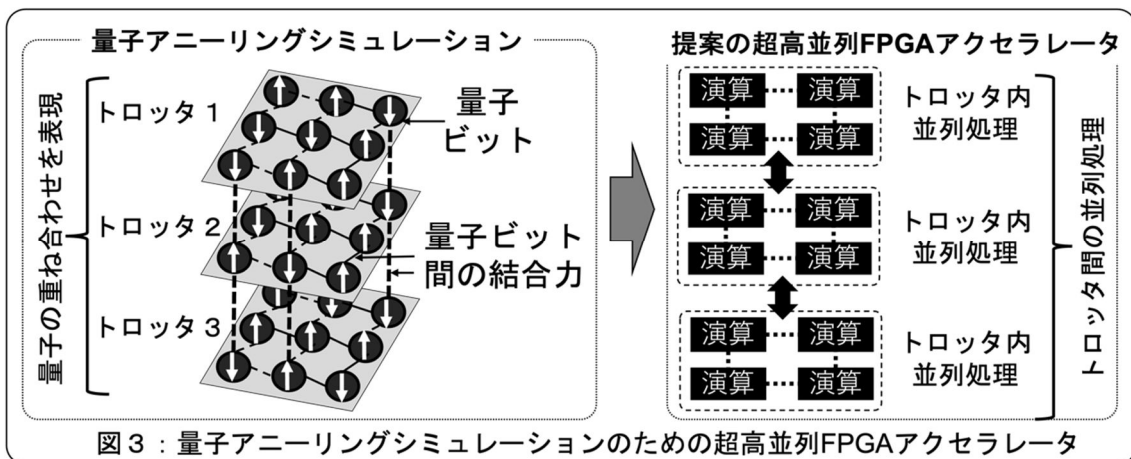
図 2 : 量子アニーリングを可能な計算機

2. 研究の目的

本研究では，大規模量子アニーリングシミュレーションのための FPGA アクセラレータを提案し性能向上を達成することを目的とする．FPGA とは図 2(c) に示すように応用により回路構成を変更可能なプログラマブル集積回路であり，大量の演算器を柔軟に接続し最適な回路構成を構築することにより高並列な処理を実現できる．FPGA を用いることで量子アニーリングアルゴリズムに特化した高速かつ高並列なカスタムアクセラレータアーキテクチャを設計する．さらに，スケーラビリティの高いアーキテクチャを提案することにより，複数 FPGA を用いることにより，並列性を向上し更なる高速化をめざす．また，提案アクセラレータではデータの依存関係を守り，並列化のため演算精度の削減を行わないため，非常に高い精度の解を見つけられる．

3. 研究の方法

量子アニーリングはマルコフ連鎖モンテカルロ法に基づいており、図3(左)にその概要を示す。各量子ビット(ノード)が他の全てのノードと結合され、そのノード群のレプリカ(トロッタ)を複数用意することで量子の重ね合わせを表現する。各ノードがその上下のトロッタとも結合されている。本研究では、図3(右)のように、「トロッタ間・トロッタ内・ノード内」という多段階の並列性を達成するための演算器構成とデータパスをFPGAを用いて設計し、各応用に適する回路アーキテクチャの最適設計理論を提案する。提案アーキテクチャをOpenCLという高位設計ツールを用いてFPGA上に実装する。そのアクセラレータを用いて実問題やベンチマークを解き、その解の精度を量子コンピュータの解と比較し評価する。



4. 研究成果

本研究プロジェクトで開発した複数FPGAを用いたアクセラレータアーキテクチャを図4に示す。提案アーキテクチャはスケーラブルなPEアレイで構成されている。アレイサイズを変更することで並列度を変更できる。また、複数FPGAを接続することにより並列度を高くし、高速化できる。さらに、途中結果を再利用することにより外部メモリとのやり取りを削減し、低消費電力なアクセラレータを実現する。

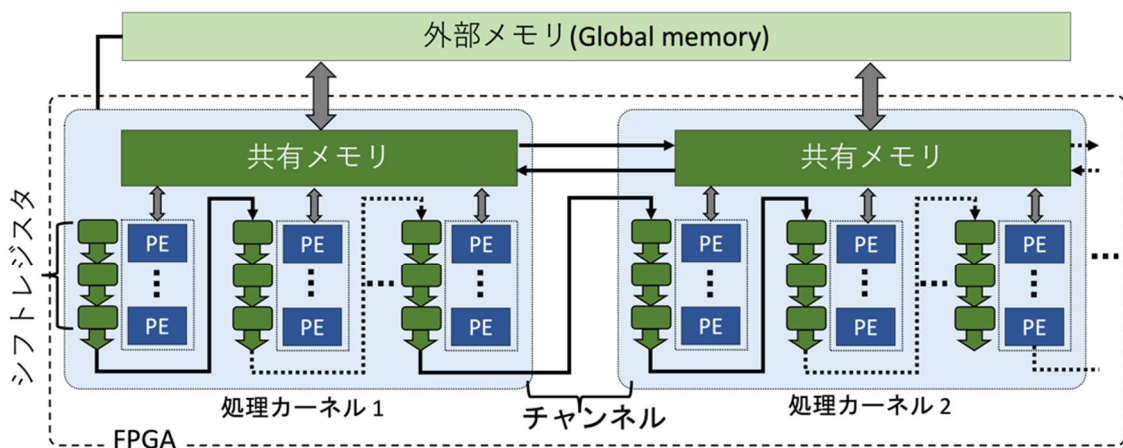


図4：FPGAアーキテクチャ

図5では提案アーキテクチャのFPGA実装を示す。複数のFPGAを高速光ファイバネットワークで接続することにより、スケーラビリティの高いアクセラレータを実現されている。また、FPGA間を400Gbpsという非常に高速なデータ転送が行うため、転送遅延が最小限にな

り、ほぼ FPGA の数に比例した高速性を達せてくる。提案アクセラレータでは3万を超えるスピンの計算ができる。FPGA の外部メモリの容量を増やすことで処理可能なスピン数を向上できる。また、スピン間の結合係数をメモリに保存するのではなく FPGA 内に高速に生成することにより、記憶容量ボトルネックを解消しスピン数を向上できる。本研究プロジェクトでは、分割問題を対象にアクセラレータを設計した結果、20万を超えるスピン数の実装は可能になった。

図6ではFPGAアクセラレータの性能を示す。2つのFPGAを利用する場合CPU1コアの性能に比較し、290倍高い性能を達成できていることがわかる。また、FPGAを1つ使う時よりも2つを使うことで計算速度は2倍になっていることがわかる。そのようにFPGAの数を増やすことで、線形的にスピード向上できる。

図7では“D-wave”量子コンピュータとの比較を示す。この比較はMQLibという最適化問題ベンチマークを実装した結果である。比較は3つの結合密度と異なるスピン数に対して行った。その結果全ての問題に対して94%を超えた精度が達成できた。さらに、密結合問題という並列化が難しい問題に対して99%を超えた結果が出ていることがわかる。提案のアクセラレータは密結合問題に特化しているため、このように非常にいい解を高速に見つけることができる。

FPGAだけでなくGPUやCPUを用いた高速シミュレーション手法も提案されている。コスト、高速生、大規模化、高精度、消費電力などのさまざまな観点から最も適したデバイスを選択し高速な量子アニーリングシミュレーションを行うことに利用できる。

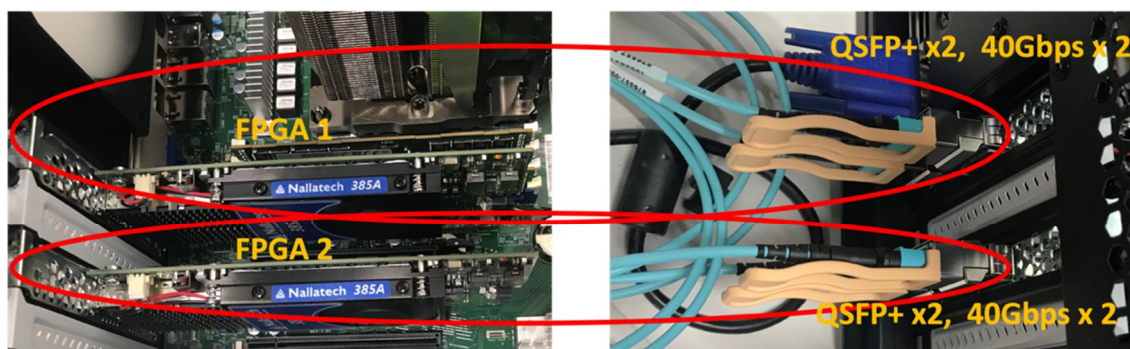


図5：複数FPGAアクセラレータからなるシステム

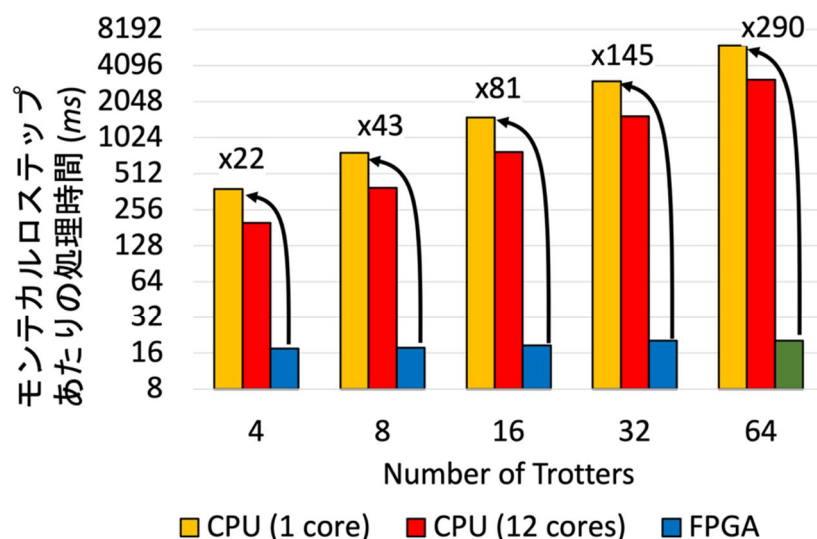


図6：8,192スピンの場合の高速化

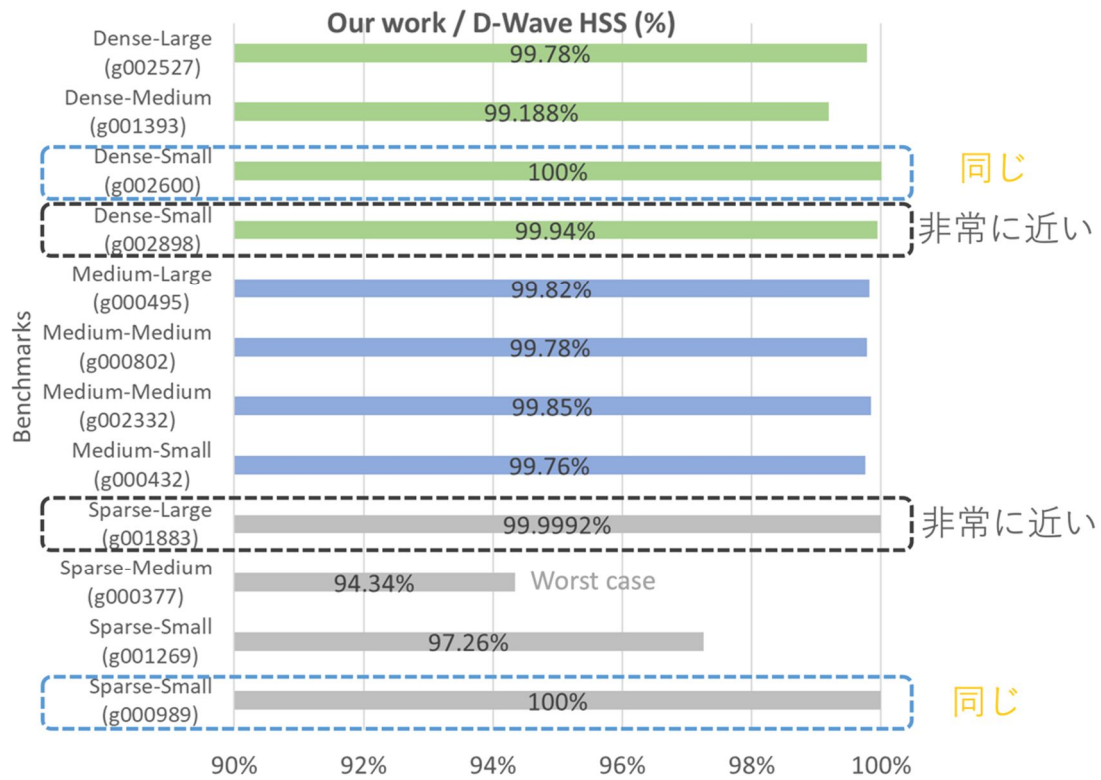


図7：量子コンピュータとの比較

5. 主な発表論文等

〔雑誌論文〕 計7件（うち査読付論文 7件/うち国際共著 7件/うちオープンアクセス 4件）

1. 著者名 Waidyasooriya Hasitha Muthumala, Hariyama Masanori	4. 巻 78
2. 論文標題 Temporal and spatial parallel processing of simulated quantum annealing on a multicore CPU	5. 発行年 2022年
3. 雑誌名 The Journal of Supercomputing	6. 最初と最後の頁 8733 ~ 8750
掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/s11227-021-04242-0	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Liu Chia-Yin, Waidyasooriya Hasitha Muthumala, Hariyama Masanori	4. 巻 78
2. 論文標題 Design space exploration for an FPGA-based quantum annealing simulator with interaction-coefficient-generators	5. 発行年 2021年
3. 雑誌名 The Journal of Supercomputing	6. 最初と最後の頁 1 ~ 17
掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/s11227-021-03859-5	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Waidyasooriya Hasitha Muthumala, Hariyama Masanori	4. 巻 8
2. 論文標題 A GPU-Based Quantum Annealing Simulator for Fully-Connected Ising Models Utilizing Spatial and Temporal Parallelism	5. 発行年 2020年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 67929 ~ 67939
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ACCESS.2020.2985699	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する
1. 著者名 Waidyasooriya Hasitha Muthumala, Hariyama Masanori	4. 巻 7
2. 論文標題 Multi-FPGA Accelerator Architecture for Stencil Computation Exploiting Spacial and Temporal Scalability	5. 発行年 2019年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 53188 ~ 53201
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ACCESS.2019.2910824	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Waidyasooriya Hasitha, Hariyama Masanori	4. 巻 -
2. 論文標題 Highly-Parallel FPGA Accelerator for Simulated Quantum Annealing	5. 発行年 2019年
3. 雑誌名 IEEE Transactions on Emerging Topics in Computing	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TETC.2019.2957177	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Okada Mitsuhiro, Suzuki Takayuki, Nishio Naoya, Waidyasooriya Hasitha, Hariyama Masanori	4. 巻 -
2. 論文標題 FPGA-accelerated Searchable Encrypted Database Management Systems for Cloud Services	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Cloud Computing	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TCC.2020.2969655	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Waidyasooriya Hasitha Muthumala, Oshiyama Hiroki, Kurebayashi Yuya, Hariyama Masanori, Ohzeki Masayuki	4. 巻 10
2. 論文標題 A Scalable Emulator for Quantum Fourier Transform Using Multiple-FPGAs With High-Bandwidth-Memory	5. 発行年 2022年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 65103 ~ 65117
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ACCESS.2022.3183993	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

〔学会発表〕 計13件 (うち招待講演 2件 / うち国際学会 12件)

1. 発表者名 Hasitha Muthumala Waidyasooriya
2. 発表標題 FPGA-based Custom Supercomputing for Intelligent Systems
3. 学会等名 2021 Bilateral Workshop between Tohoku University and National Tsing Hua University (招待講演)
4. 発表年 2021年

1 . 発表者名 Taisuke Ono, Tomoki Shoji, Hasitha Muthumala Waidyasooriya, Masanori Hariyama. Yuichiro Aoki, Yuki Kondoh, and Yaoko Nakagawa
2 . 発表標題 FPGA-Based Acceleration of Word2vec using OpenCL
3 . 学会等名 International Symposium on Circuits and Systems (ISCAS 2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 Benchmarks for FPGA-Targeted High-Level-Synthesis
2 . 発表標題 Hasitha Muthumala Waidysooriya, Yasuaki Imura, and Masanori Hariyama
3 . 学会等名 7th International Symposium on Computing and Networking (CANDAR) (国際学会)
4 . 発表年 2019年

1 . 発表者名 Chia-Yin Liu, Hasitha Muthumala Waidysooriya, and Masanori Hariyama
2 . 発表標題 Data-Transfer-Bottleneck-Less Architecture for FPGA-Based Quantum Annealing Simulation
3 . 学会等名 7th International Symposium on Computing and Networking (CANDAR) (国際学会)
4 . 発表年 2019年

1 . 発表者名 Tomoki Shoji, Taisuke Ono, Hasitha Muthumala Waidyasooriya, Masanori Hariyama. Yuichiro Aoki, Yuki Kondoh, and Yaoko Nakagawa
2 . 発表標題 A Memory-Bandwidth-Efficient Word2vec Accelerator Using OpenCL for FPGA
3 . 学会等名 7th International Symposium on Computing and Networking (CANDAR) (国際学会)
4 . 発表年 2019年

1. 発表者名 Chia-Yin Liu, Hasitha Muthumala Waidysooriya, Masanori Hariyama
2. 発表標題 Quantitative evaluation of an FPGA-based SQA accelerator exploiting Trotter-slice parallelism
3. 学会等名 Adiabatic Quantum Computing Conference 2021 (AQC 2021) (国際学会)
4. 発表年 2021年

1. 発表者名 Hasitha Muthumala Waidyasooirya
2. 発表標題 FPGA Acceleration of Quantum Annealing Simulations
3. 学会等名 2022 Japan-Taiwan Advanced Quantum Technology Research and Development Workshop (招待講演) (国際学会)
4. 発表年 2022年

1. 発表者名 Mizuki Harasawa, Hasitha Muthumala Waidyasooirya and Masanori Hariyama
2. 発表標題 Direct Mapping of Neural Circuits on FPGA
3. 学会等名 23rd International Conference on Parallel and Distributed Computing, Applications and Technologies (PDCAT'22) (国際学会)
4. 発表年 2022年

1. 発表者名 Hasitha Muthumala Waidyasooirya, Takuro Fukuda and Masanori Hariyama
2. 発表標題 Scalable Architecture Targeting HBM-Based FPGAs for Complex Matrix Multiplication
3. 学会等名 23rd International Conference on Parallel and Distributed Computing, Applications and Technologies (PDCAT'22) (国際学会)
4. 発表年 2022年

1. 発表者名 Obata Kosiro, Waidyasooriya Hasitha Muthumala, Hariyama Masanori
2. 発表標題 Implementation of an FPGA-Oriented Complex Number Computation Library Using Intel OneAPI DPC++
3. 学会等名 IEEE International Midwest Symposium on Circuits and Systems (MWSCAS) (国際学会)
4. 発表年 2022年

1. 発表者名 Waidyasooriya Hasitha Muthumala, Hariyama Masanori, Iwasaki Hiroe, Kobayashi Daisuke, Omori Yuya, Nakamura Ken, Nitta Koyo, Sano Kimikazu
2. 発表標題 OpenCL-Based Design of an FPGA Accelerator for H.266/VVC Transform and Quantization
3. 学会等名 IEEE International Midwest Symposium on Circuits and Systems (MWSCAS) (国際学会)
4. 発表年 2022年

1. 発表者名 Hasitha Muthumala Waidyasooriya, Shutaro Ishihara and Masanori Hariyama
2. 発表標題 Word2Vec FPGA Accelerator Based on Spatial and Temporal Parallelism
3. 学会等名 Parallel and Distributed Computing, Applications and Technologies. PDCAT 2022. Lecture Notes in Computer Science, vol 13798 (国際学会)
4. 発表年 2022年

1. 発表者名 Hasitha Muthumala Waidyasooriya, Yuta Ohma and Masanori Hariyama
2. 発表標題 FPGA-based Prototype of a Quantum Annealing Simulator for Sparse Ising Model
3. 学会等名 15th IEEE International Symposium on Embedded Multicore/Many-coreSystems-on-Chip (国際学会)
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究協力者	張山 昌論 (Hariyama Masanori)		

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------